

А.Г. Алексенко
И.И. Шагурин

МИКРО- СХЕМОТЕХНИКА

2-е издание,
переработанное
и дополненное

Допущено Государственным комитетом СССР по народному образованию в качестве учебного пособия для студентов вузов, обучающихся по специальностям: «Физика и технология материалов и компонентов электронной техники», «Микроэлектроника и полупроводниковые приборы»



Москва
«Радио и связь»
1990

ББК 32.852
А 46
УДК 621.3.049.77

Рецензенты: Доктор физ.-мат. наук. В. Д. Вернер и канд. техн. наук
В. В. Баринов

Редакция литературы по электронике

Алексенко А. Г., Шагурин И. И.

А 46 Микросхемотехника: Учеб. пособие для вузов. — 2-е изд.,
перераб. и доп. — М.: Радио и связь, 1990. — 496 с.: ил.

ISBN 5-256-00693-2.

Изложены основы схемотехнического проектирования цифровых и аналоговых микросхем и микроэлектронных устройств на их основе. Рассмотрены вопросы разработки структурных и схемных решений для аналоговых и цифровых устройств, реализуемых в виде БИС и СБИС, и типовые варианты их использования в аппаратуре. По сравнению с первым изданием (1982 г.) значительно расширены разделы, посвященные вопросам схемотехнического проектирования. Особое внимание уделено описанию микропроцессоров и микропроцессорных систем.

Для студентов, обучающихся по специальностям радиоэлектронного профиля; будет также полезна широкому кругу специалистов, связанных с разработкой интегральных микросхем.

А $\frac{23202030700-194}{046(01)-90}$ 86-90

ББК 32.852

Учебное издание

АЛЕКСЕНКО АНДРЕЙ ГЕННАДЬЕВИЧ
ШАГУРИН ИГОРЬ ИВАНОВИЧ

МИКРОСХЕМОТЕХНИКА

Учебное пособие

Заведующий редакцией Ю. Н. Рысев
Редактор Г. Н. Астафуров
Переплет художника В. Я. Вигант
Художественный редактор Н. С. Шенн
Технический редактор И. Л. Ткаченко
Корректор З. Г. Галушкина

ИБ № 1774

Слано в набор 2.03.90.

Формат 60×90^{1/16}

Печать высокая

Уч.-изд. л. 31,93

Зак. № 66

Бумага писчая № 1

Усл. печ. л. 31,0

Тираж 20 000 экз.

Цена 1 р. 40 к.

Подписано в печать 29.10.90

Гарнитура литературная

Усл. кр.-отг. 31

Изд. № 22419

Издательство «Радио и связь». 101000 Москва, Почтамт, а/я 693

Типография издательства «Радио и связь». 101000 Москва, ул. Кирова, д. 40

ISBN 5-256-00693-2

© Алексенко А. Г., Шагурин И. И., 1990.

ПРЕДИСЛОВИЕ

Создание новых типов интегральных микросхем, являющихся основной элементной базой современной РЭА различного назначения, требует от разработчиков хорошего знания физических, конструктивно-технологических и схмотехнических аспектов микроэлектроники. В настоящем учебном пособии рассмотрены схмотехнические вопросы микроэлектроники: схмотехнические решения, используемые в современных цифровых и аналоговых микросхемах, и методы их проектирования. При этом предполагается, что читатель знаком с основами физики, технологии и схмотехники микросхем. Такое знакомство можно выполнить с помощью ряда учебных пособий по основам микроэлектроники (например: Степаненко И. П. Основы микроэлектроники. — М.: Сов. радио, 1980). Вопросы конструктивно-технологической реализации разработанных схем в интегральном виде рассматриваются в ряде других монографий и учебных пособий (например: Березин А. С., Мочалкина О. Р. Технология и конструирование интегральных микросхем. — М.: Радио и связь, 1983). Список рекомендуемой литературы, приведенный в конце книги, поможет читателю познакомиться с основами микроэлектроники, а также более глубоко изучить отдельные вопросы микросхемотехники.

Следует отметить, что в процессе развития микроэлектроники все более сложные электронные устройства реализуются в виде БИС. Крупные узлы и блоки вычислительных машин, систем управления и другой РЭА, которые ранее создавались на микросхемах малой и средней степени интеграции, теперь выпускаются в виде БИС и сверхБИС. Методы проектирования таких сложнофункциональных микросхем можно использовать для разработки устройств аналогичного назначения на микросхемах малой степени интеграции. Таким образом, многие методы проектирования и структурные решения, описанные в данном учебном пособии, применимы для разработки как микросхем, так и РЭА.

Основой настоящего пособия послужили лекции по курсу «Микросхемотехника», читаемые авторами в течение многих лет студентам Московского инженерно-физического института и специалистам промышленности. Авторы надеются, что данное учебное пособие будет полезно для освоения ряда схмотехнических курсов, читаемых для специальностей радиоэлектронного профиля.

Предлагаемое учебное пособие в первую очередь рассчитано на студентов, специализирующихся по микроэлектронике в рамках специальностей 20.02, 20.03 и ряда других, а также инженеров, повышающих свою квалификацию в этой области. Оно будет полезно специалистам по вычислительной технике, автоматике, радиотехнике, измерительной технике и другим, связанным с разработкой электронной аппаратуры на интегральных микросхемах.

Главы 1—8 написаны доктором техн. наук И. И. Шагуриным, гл. 9—12 — доктором техн. наук А. Г. Алексенко, предисловие и введение — совместно обоими авторами.

Микроэлектроника является одной из наиболее быстро развивающихся областей науки и техники. Непрерывно улучшаются технические характеристики и расширяются функциональные возможности микроэлектронных изделий — интегральных микросхем. Совершенствование микросхем достигается благодаря прогрессу во всех трех основных разделах микроэлектроники: физике, технологии и схемотехнике. Настоящее учебное пособие посвящено схемотехническому разделу микроэлектроники — микросхемотехнике.

Микросхемотехника (интегральная схемотехника) — раздел микроэлектроники, охватывающий исследования и разработку схемотехнических решений (электрических и структурных схем), используемых в интегральных микросхемах и радиоэлектронной аппаратуре на их основе.

Интегральная микросхема (интегральная схема — ИС) — микроэлектронное изделие, выполняющее определенную функцию преобразования электрических сигналов, которое представляет собой совокупность электрических соединенных компонентов¹ (транзисторов, диодов, резисторов и др.), изготовляемых в едином технологическом цикле на общей диэлектрической или полупроводниковой основе (подложке).

Основными активными компонентами микросхем являются биполярные или МДП-транзисторы. В некоторых типах микросхем совместно используются биполярные и МДП-транзисторы. В микросхемах на основе арсенида галлия активным компонентом чаще всего служит полевой транзистор с барьером Шотки.

Основной функцией интегральных микросхем является обработка (преобразование) информации, заданной в виде электрического сигнала: напряжения или тока. Электрические сигналы могут представлять информацию в *непрерывной* (аналоговой) или *дискретной* (цифровой) форме. Микросхемы, выполняющие обработку

¹ Компоненты, входящие в состав ИС, принято называть *элементами микросхемы*. Однако применение этого термина при описании цифровых ИС вызывает появление стилистических погрешностей («элемент логического элемента») и может привести к ошибкам в восприятии материала из-за путаницы в понятиях «логический элемент» (обычно называют просто «элемент») и «элемент микросхемы» (обычно также просто «элемент»). Поэтому для ясности изложения в настоящем учебном пособии определение «компонент микросхемы» используется как синоним понятия «интегральный элемент».

этой информации, называются *аналоговыми* или *цифровыми* соответственно.

Параметром, определяющим уровень сложности микросхем, является *степень компонентной интеграции*, которая количественно характеризуется величиной $K_k = \lg N_k$, где N_k — общее число компонентов, расположенных на кристалле микросхемы. По уровню сложности микросхемы¹ условно подразделяются на малые (МИС, $K_k \leq 1 \dots 2$), средние (СИС, $2 \leq K_k \leq 3 \dots 4$), большие (БИС, $3 \dots 4 \leq K_k < 5$) и сверхбольшие (СБИС, $K_k \geq 5$). Если микросхема содержит сложнофункциональные (интегрированные) компоненты, занимающие большую площадь на кристалле, то при оценке сложности они заменяются эквивалентным количеством простых компонентов.

Современные интегральные микросхемы являются сложными электронными устройствами, поэтому используются различные уровни их схмотехнического представления. Наиболее детальный уровень представления — *электрическая схема* в виде соединения отдельных компонентов. Следующий, более общий уровень — *структурная схема*, представляющая собой соединение отдельных логических элементов и триггеров (для цифровых микросхем) или аналоговых каскадов (для аналоговых микросхем). Эти элементы и каскады выполняют элементарные логические (И—НЕ, ИЛИ—НЕ и др.) или аналоговые (усиление, фильтрация и др.) операции, с помощью которых можно реализовать любую цифровую, аналого-цифровую или аналоговую функцию. Они имеют относительно простую электрическую схему, которая обычно содержит не более десяти — двадцати компонентов. Еще более высокий уровень используется для представления сложнофункциональных БИС и СБИС: микропроцессоров, микро-ЭВМ, аналого-цифровых и цифро-аналоговых преобразователей и др. Их структура представляется в виде соединения функциональных узлов и блоков. Такое представление называется *функциональной схемой*. Структура входящих в ее состав функциональных узлов и блоков может состоять из десятков и сотен простейших логических элементов или аналоговых каскадов.

Важнейшей задачей, решаемой с помощью методов и средств микросхемотехники, является схмотехническая разработка новых типов интегральных микросхем. Исходное техническое задание на проектирование микросхемы содержит описание функций, которые она должна выполнять в электронной аппаратуре, и требования к ее основным параметрам (мощность, быстродействие и др.). Процесс разработки можно представить как последовательное преобразование исходного описания микросхемы во все более детальные формы ее представления: функциональную, структурную, электрическую схемы и т. д. Конечным результатом проектирования является такое представление микросхемы, используя которое

¹ Классификация цифровых микросхем по степени функциональной интеграции (§ 1.5) соответствует данному делению.

можно изготовить ее образцы. Такой формой представления служат чертежи фотошаблонов и комплект конструкторской документации, необходимые для изготовления микросхемы.

Таким образом, разработка микросхемы представляет собой процесс нисходящего проектирования: от общего описания к детальному представлению. Основные этапы этого процесса, которые выполняются при разработке СИС и не очень сложных БИС, показаны на рис. В.1. Аналогично проектируются узлы и блоки, входящие в состав сложнфункциональных БИС и СБИС.

В современной микросхемотехнике используются различные варианты схем логических элементов и аналоговых каскадов, основные типы которых анализируются в настоящем пособии. Поэтому на первом этапе схемотехнического проектирования микросхемы обычно производится выбор элементной базы из числа уже

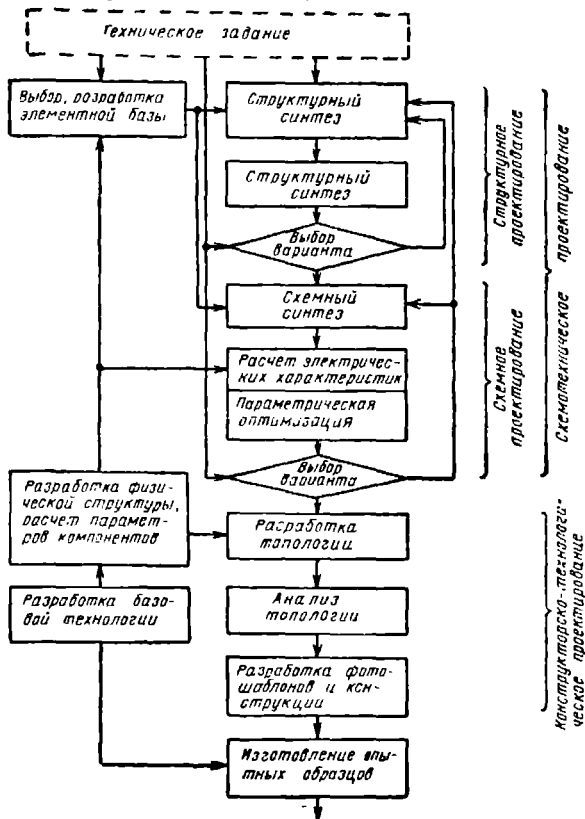


Рис. В.1. Основные этапы проектирования БИС

разработанных вариантов схем логических элементов или аналоговых каскадов. В случае необходимости выполняется разработка новых вариантов этих элементов и каскадов, которые имеют преимущества по отдельным параметрам по сравнению с ранее предложенными схемами.

Стадия структурного проектирования микросхем состоит из структурного синтеза, в ходе которого на той или иной элементной базе создается структурная схема, которая обеспечивает выполнение функций, определенных техническим заданием, и структурного анализа, в процессе которого проверяется правильность функционирования синтезированной структуры при различных рабочих условиях и производится приближенная сравнительная оценка ее основных параметров. Обычно при проектировании микросхем создается несколько структурных вариантов. На основании результатов сравнения их параметров производится выбор одного или нескольких наилучших вариантов. Если же полученные варианты не удовлетворяют требованиям технического задания, то выполняются синтез новых структурных вариантов.

Для выбранных структурных вариантов производится схемное проектирование, в результате которого получается электрическая схема разрабатываемой микросхемы. Эта стадия проектирования состоит из этапов схемного синтеза, в ходе которого получается электрическая схема, соответствующая выбранному варианту структуры, и электрического анализа полученной схемы, в результате которого определяются ее основные электрические параметры. При анализе обычно выполняется также параметрическая оптимизация схемы, т. е. определение значений параметров компонентов, при которых обеспечиваются наилучшие электрические параметры проектируемой микросхемы. В процессе схемного проектирования как правило разрабатывается несколько вариантов электрических схем, которые отличаются структурой, элементной базой и значениями основных параметров. По результатам анализа и сравнения разработанных вариантов электрических схем выбирается один из них, наилучшим образом удовлетворяющий требованиям технического задания.

Структурное и схемное проектирование являются двумя основными стадиями процесса схемотехнического проектирования микросхем. При разработке микросхем малой интеграции выполняются только этапы схемного проектирования (см. рис. В.1). Методы разработки структурных и электрических схем, их типовые варианты, наиболее широко используемые в современных микросхемах, и являются предметом изучения в настоящем учебном пособии.

На стадии конструкторско-технологического проектирования важнейшим этапом является разработка технологии, на базе которой будут изготавливаться микросхемы. На основе базовой технологии разрабатывается физическая структура компонентов схемы, определяются их параметры, которые используются при расчете электрических характеристик. В процессе проектирования в соответствии с электрической схемой разрабатывается топология мик-

рхемы, т. е. производится размещение компонентов на кристалле и выполняется трассировка электрических соединений (металлических проводников) между ними. В процессе топологического проектирования может выполняться физическое совмещение (интеграция) отдельных компонентов, в результате чего могут образовываться *интегрированные компоненты*: многоэмиттерные и многоколлекторные транзисторы, совмещенные *p-n-p-n* структуры и др. Далее производится анализ полученной топологии с целью проверки ее правильности; получение рисунков фотошаблонов, необходимых для ее изготовления; конструктивная разработка (выбор типа корпуса, тепловой расчет и обеспечение необходимого теплоотвода и др.).

После топологического проектирования требуется уточнить параметры компонентов с учетом их реальных размеров и размещения на кристалле. С использованием полученных уточненных параметров выполняется повторный электрический анализ схемы. Если окажется, что электрические характеристики и параметры микросхемы, рассчитанные с учетом ее реальной физической структуры и топологии, не удовлетворяют требованиям технического задания, то необходимо либо изменение структурной или электрической схемы, либо изменение топологии или физической структуры микросхемы.

Характерной особенностью микросхемотехники является широкое использование ЭВМ практически на всех этапах проектирования микросхем. Необходимость применения ЭВМ обусловлена ограниченными возможностями экспериментального моделирования интегральных микросхем с изменением различных параметров их компонентов. Ведь для получения экспериментальных образцов микросхем необходимо выполнить весь трудоемкий и дорогостоящий процесс проектирования и изготовления, который занимает несколько месяцев. Поэтому экспериментальное моделирование обычно заменяют «машинным» моделированием, анализируя влияние различных факторов на параметры микросхем с помощью их математических моделей, расчет которых производится на ЭВМ. Наиболее эффективно выполняются с помощью ЭВМ этапы структурного анализа, электрического анализа и параметрической оптимизации (см. рис. В.1). Ведется также разработка формальных методов и алгоритмов для реализации с помощью ЭВМ этапов функционального и структурного синтеза и разработки электрической схемы. Однако пока эти этапы выполняются в основном разработчиками-схемотехниками.

Таким образом, в настоящее время специалисты-схемотехники выполняют этапы проектирования, связанные с творческой деятельностью и требующие определенного опыта и интуиции. Это этапы выбора или разработки элементной базы, синтеза структурной и электрической схемы, сравнительной оценки и отбора синтезируемых вариантов. При этом разработчик производит как качественные, так и приближенные количественные оценки параметров полученных схем. Методы получения таких оценок при-

водятся в настоящем пособии. Подробный анализ и параметрическая оптимизация схем, отобранных по результатам приближенных расчетов, производится с помощью ЭВМ, для чего разработаны достаточно эффективные программы. В настоящее время с помощью ЭВМ выполняются анализ функциональных и структурных схем, содержащих до $10^4 \dots 10^5$ логических элементов, анализ электрических схем, содержащих до $10^2 \dots 10^3$ компонентов, параметрическая оптимизация схем, содержащих до 10^2 компонентов.

При разработке сложнофункциональных БИС и СБИС используется другая процедура проектирования, так как электрический расчет и непосредственное получение топологии схем, содержащих десятки тысяч и более компонентов, оказываются чрезмерно трудоемкими даже с помощью современных ЭВМ. Такие БИС и СБИС проектируются методом *функциональных библиотек* (ФБ), при котором их функциональная схема синтезируется из стандартного набора цифровых или аналоговых блоков, узлов и элементов (каскадов). Для каждого из них с помощью описанной выше процедуры (см. рис. В.1) разрабатываются электрическая схема и топология, определяются все основные параметры. Так формируется библиотека схемотехнических и топологических решений, которые компонуются в процессе проектирования БИС (СБИС), образуя ее функциональную (структурную), электрическую схемы и топологию. Для определения параметров БИС (СБИС) выполняется ее моделирование с учетом параметров используемых функциональных блоков, узлов, элементов, приведенных в библиотеке. Топология реализуется путем размещения на кристалле и соединения готовых топологических фрагментов, имеющих в ФБ. В результате трудоемкость проектирования значительно сокращается.

На практике используются различные варианты метода ФБ. В *матричных БИС*, реализованных на базовых матричных кристаллах (БМК), элементы и узлы ФБ проектируются на основе одной или нескольких ячеек, расположенных на БМК в виде прямоугольной матрицы. Каждая ячейка содержит набор компонентов (от 4...5 до 30...40), различные варианты соединения которых позволяют получать те или иные элементы и узлы ФБ. Таким образом, номенклатура, параметры и топология элементов и узлов ФБ, используемых для реализации матричных БИС, определяются топологией и компонентным составом ячеек БМК.

При проектировании *БИС на стандартных ячейках* используются ФБ, в которых топология всех элементов и узлов имеет вид прямоугольников с одинаковой величиной одной из сторон. Такая топологическая реализация и называется стандартной ячейкой. В этом случае БМК не используется и стандартная ячейка может быть изготовлена в любом месте кристалла. При разработке БИС (СБИС) обеспечиваются достаточная плотность компоновки стандартных ячеек и относительная простота трассировки соединений между ними, что позволяет получать меньшую площадь кристалла и более высокое быстродействие, чем для матричных БИС.

Оба описанных метода предусматривают автоматизированное проектирование БИС с интерактивным участием специалиста-разработчика на этапах оценки результатов, выбора варианта решения или его коррекции. Наиболее высокую степень автоматизации обеспечивает метод *кремниевой компиляции*, при котором исходное описание проектируемой БИС (СБИС) автоматически транслируется во все более детальное представление ее фрагментов (блоков, узлов, элементов). После ряда этапов трансляции получают электрические схемы и топология всех фрагментов, соединение которых представляет БИС (СБИС), реализующую заданные функции. Необходимые схемные и топологические решения для фрагментов синтезируются в процессе проектирования либо получаются путем модификации готовых решений, имеющихся в используемой ФБ.

Таким образом, при проектировании новых типов интегральных микросхем микросхемотехника решает задачу разработки схемных и структурных решений, учитывающих и использующих специфические особенности интегральной технологии для наилучшего выполнения требований технического задания. Развитие микросхемотехники и технологии изготовления микросхем обеспечивает улучшение характеристик радиоэлектронной аппаратуры и расширение ее функциональных возможностей, стимулируя дальнейшее внедрение микроэлектроники во все сферы человеческой деятельности: производственную, управленческую, научную, культурно-бытовую.

В современной науке и технике важнейшую роль играют цифровые методы обработки информации. В связи с этим непрерывно расширяется область применения *цифровых систем* — технических средств, выполняющих законченный процесс обработки цифровой информации, включающей ее прием, хранение, необходимые преобразования и выдачу.

Быстрое развитие цифровых систем началось в 40-х годах, когда были построены первые цифровые вычислительные машины на электромеханических реле, а затем на электронных лампах. Прогресс электроники открыл перед цифровыми системами новые возможности, сделав их незаменимыми помощниками человека практически во всех сферах его деятельности. Вслед за электронными вычислительными машинами (ЭВМ) 1-го поколения, построенными на электронных лампах, в 50-х годах появились ЭВМ 2-го поколения на транзисторах. Эти ЭВМ обладали существенно расширенными функциональными возможностями, повышенными быстродействием и надежностью. Возникла новая отрасль науки и техники — *цифровая техника*, изучающая принципы построения, методы проектирования и способы технической реализации цифровых систем. При этом цифровая техника использует достижения смежных фундаментальных и прикладных наук, таких как математическая логика, кибернетика, электроника и др.

Микроэлектроника способствовала дальнейшему развитию цифровой техники. Микросхемы малой и средней степени интеграции (ИС и СИС) стали технической базой электронных цифровых систем, в том числе ЭВМ 3-го поколения, разработанных в 60—70 годах. Развитие технологии, обеспечивая непрерывное повышение степени интеграции микросхем, позволило создать на одном кристалле полупроводника цифровые устройства, по своей сложности и выполняемым функциям превосходящие ЭВМ, изготавливавшиеся ранее на дискретных компонентах. Такие микросхемы, называемые *большими интегральными схемами* (БИС), являются базой ЭВМ 4-го поколения, выпуск которых начался в конце 70-х годов. К этому поколению относятся современные микро-ЭВМ, в том числе персональные компьютеры, реализованные

на базе микропроцессоров, а также высокопроизводительные большие ЭВМ, построенные из специализированных («заказных») БИС. В настоящее время ведутся интенсивные разработки ЭВМ 5-го поколения, которые отличаются сверхвысокой производительностью, расширенными возможностями ввода и вывода информации в звуковой (человеческая речь) и графической (рисунки, письменный текст) форме, рядом признаков искусственного интеллекта; способностью самостоятельно составлять программу своих действий для решения определенных классов задач, находить оптимальные решения в сложных ситуациях и др. Эти ЭВМ будут реализованы на базе *сверхбольших интегральных схем* (СБИС) с применением новых материалов (например, арсенид галлия, сверхпроводящая керамика), с широким использованием новых принципов и способов представления и обработки информации (оптические, акустоэлектрические и др.).

На стыке микроэлектроники и цифровой техники развивается самостоятельная область науки и техники — *цифровая микросхемотехника*, предметом которой являются принципы и методы схемотехнического проектирования цифровых интегральных микросхем, которое включает разработку их структуры (функционально-логическое проектирование) и электрической схемы (схемное проектирование). Непрерывное повышение степени интеграции проектируемых микросхем, обеспечивающее реализацию на одном кристалле целых цифровых систем, требует от специалиста-микросхемотехника не только знания основ цифровой техники, но и освоения таких ее разделов, как архитектура цифровых систем, микропрограммирование и др.

Цифровые интегральные микросхемы выполняют в цифровых системах функции приема, хранения, преобразования (обработки) и выдачи информации. Преобразование информации, представленной в цифровой форме, осуществляется путем выполнения определенной последовательности арифметических и логических операций. В этой главе приводятся способы цифрового представления информации, рассматриваются основные арифметические и логические операции, выполняемые при ее обработке, описывается типовая структура современных цифровых систем.

1.1. СПОСОБЫ ПРЕДСТАВЛЕНИЯ ИНФОРМАЦИИ

При выполнении различных операций в современных цифровых системах числа обычно представляются в *двоичной системе счисления*, основанием которой является число 2. При этом целое k -разрядное десятичное число A_{10} записывается в виде n -разрядного двоичного числа A_2 :

$$A_{10} = \sum_{i=0}^{k-1} a_i (10^i) = A_2 = \sum_{j=0}^{n-1} a_j (2^j), \quad (1.1)$$

где $a_i = 0, 1, \dots, 9$ — цифра в i -м разряде десятичного числа: $a_j =$

Мантисса и порядок представляются в двоичном коде. Обычно число дается в нормализованном виде, когда его мантисса является правильной дробью, причем первая значащая цифра (единица) следует непосредственно после запятой: например, $A_2 = 0,1010 \cdot 2^{10} = 10,10$, где $m = 0,1010$; $p = 10$; $q = 2$

При использовании фиксированной запятой число представляется в виде единого целого, причем положение запятой в используемой разрядной сетке жестко фиксировано. Обычно числа с фиксированной запятой даются в виде правильной дроби. Для этого все числа умножают на масштабный коэффициент, чтобы перевести их в правильную дробь. Цифровые системы, использующие числа с плавающей запятой, сложнее систем, использующих числа с фиксированной запятой, так как при этом требуется выполнение операций как над мантиссами, так и над порядками. Однако диапазон представляемых чисел при одинаковом числе разрядов в системах с плавающей запятой значительно больше.

Для представления знака числа используется знаковый разряд z , который обычно располагается перед числовыми разрядами. Для положительных чисел значение знакового разряда $z = 0$, для отрицательных чисел $z = 1$. Для чисел с плавающей запятой вводятся отдельные знаковые разряды для мантиссы и для порядка чисел.

Последовательность из восьми двоичных разрядов называется байтом. Большинство современных цифровых систем обрабатывает числа, содержащие целое число байтов. Наиболее широкое приме-

Таблица 1.1

Наиболее распространенные двоичные коды чисел от 0 до 15

Десятичное число	Форма представления															
	Двоичное счисление				Обратный код				Дополнительный код				Циклический код Грея			
A_{10}	a_3	a_2	a_1	a_0	b_3	b_2	b_1	b_0	c_3	c_2	c_1	c_0	d_3	d_2	d_1	d_0
0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0
1	0	0	0	1	1	1	1	0	1	1	1	1	0	0	0	1
2	0	0	1	0	1	1	1	0	1	1	1	0	0	0	1	0
3	0	0	1	1	1	1	0	0	1	1	0	1	0	0	1	0
4	0	1	0	0	1	0	1	1	1	1	0	0	0	1	1	0
5	0	1	0	1	1	0	1	0	1	0	1	1	0	1	1	1
6	0	1	1	0	1	0	0	0	1	1	0	1	0	1	0	1
7	0	1	1	1	1	0	0	0	1	0	0	1	0	1	0	0
8	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	0
9	1	0	0	1	0	1	1	0	0	1	1	1	1	1	0	1
10	1	0	1	0	0	1	0	1	0	1	1	0	1	1	1	1
11	1	0	1	1	0	0	0	0	0	1	0	1	1	1	1	0
12	1	1	0	0	0	0	1	1	0	1	0	0	1	0	1	0
13	1	1	0	1	0	0	1	0	0	0	1	1	1	0	1	1
14	1	1	1	0	0	0	0	1	0	0	1	0	1	0	0	1
15	1	1	1	1	0	0	0	0	0	0	0	1	1	0	0	0

нение имеют системы, оперирующие одно-, двух- или четырехбайтовыми числами (8, 16 или 32 разряда соответственно). Высокопроизводительные ЭВМ работают с числами, содержащими до 8... 10 байтов. В то же время для выполнения относительно простых задач, не требующих высокой скорости решения, часто используются системы с четырехразрядным представлением чисел.

Разрядность определяет диапазон представляемых чисел. Так, диапазон однобайтовых чисел составляет от 0 до $(2^8-1)=255$, двухбайтовых — от 0 до $(2^{16}-1)=65535$. Если один разряд (бит) выделяется для указания знака, то с помощью одного байта представляются числа в диапазоне $\pm(2^7-1)=\pm 127$, с помощью двух байтов — в диапазоне $\pm(2^{15}-1)=\pm 32767$. Для представления чисел с плавающей запятой чаще всего используется четыре байта. При этом один двоичный разряд определяет знак числа, 23 разряда — мантиссу, восемь разрядов — знак и значение порядка. В результате диапазон представляемых чисел составляет от $\pm 2^{127}$ до $\pm 2^{-127}$, что вполне достаточно для большинства решаемых задач.

Для представления чисел со знаком в цифровых системах используется обратный¹ или дополнительный² код (табл. 1.1). При этом положительные числа представляются в обычном двоичном коде. Обратный код отрицательного числа A_2 образуется путем замены 0 во всех разрядах исходного двоичного числа A_2 на 1, и наоборот. Дополнительный код отрицательного числа A_2 получается из обратного прибавлением 1 к младшему разряду.

Помимо рассмотренных в цифровых системах используются и другие способы двоичного представления чисел. В качестве примера в табл. 1.1 приведен *циклический код Грея*. Особенность этого кода в том, что при переходе к каждому последующему числу в коде изменяется значение только одного двоичного разряда. При этом двухразрядные числа образуют циклическую последовательность 00—01—11—10—00 (0—1—2—3—0), трехразрядные — последовательность 000—001—011—010—110—111—101—100—000 (0—1—2—3—4—5—6—7—0) и т. д. Такая цикличность кода является весьма удобной, например, для кодирования угловых перемещений в преобразователях угла поворота в цифровой код.

В ряде случаев для записи чисел применяется *восьмеричное* или *шестнадцатеричное* счисление:

$$A_{10} = A_8 = \sum_{r=0}^r a^8_r (8^r) = a^8_r \cdot 8^r + a^8_{r-1} \cdot 8^{r-1} + \dots + a^8_1 \cdot 8^1 + a^8_0 \cdot 8^0; \quad (1.3)$$

$$A_{10} = A_{16} = \sum_{j=0}^s a^{16}_j (16^j) = a^{16}_s \cdot 16^s + a^{16}_{s-1} \cdot 16^{s-1} + \dots + a^{16}_0 \cdot 16^0. \quad (1.4)$$

В шестнадцатеричном счислении для обозначения десятичных чисел 10, 11, 12,

¹ Обратный код \bar{A}_2 двоичного числа A_2 называется также дополнением до 1, так как для каждого разряда числа $a_j + \bar{a}_j = 1$.

² Дополнительный код \bar{A}_2 числа A_2 называется также дополнением числа до 2, так как для каждого разряда числа $a_j + \bar{a}_j = 10$ (число 2 в двоичной форме).

13, 14, 15 используются латинские буквы *A, B, C, D, E, F* соответственно. Восьмеричные и шестнадцатеричные числа легко переводятся в двоичные. При этом каждый раздел восьмеричного числа представляется тремя двоичными разрядами (триадой), а каждый разряд шестнадцатеричного числа — четырьмя двоичными разрядами (тетрадой) в соответствии с табл. 1.1. Например, $A_2 = 10011011 = A_8 = 233_8 = A_{16} = 9B_{16} = A_{10} = 155$. Восьмеричная и шестнадцатеричная формы сокращают длину представленных чисел и уменьшают количество ошибок, часто возникающих при записи или чтении оператором двоичных чисел.

Перевод десятичных чисел в двоичный код требует использования достаточно сложных схем преобразователей и занимает относительно долгое время. Более просто и быстро осуществляется перевод десятичных чисел в *двоично-десятичный код*. При этом цифра в каждом разряде десятичного числа заменяется соответствующим четырехразрядным двоичным числом (тетрадой) согласно табл. 1.2. Например, число $A_{10} = 729$ в двоично-десятичном коде записывается в виде $A_{2,10} = 0111\ 0010\ 1001$. Для выполнения сложения и вычитания двоично-десятичных чисел наиболее удобно использовать так называемые само-дополняющие коды, к числу которых относятся код Айкана, код «с избытком 3» (см. табл. 1.2) и некоторые другие. Код Айкана отличается от обычного двоично-десятичного, имеющего весовые коэффициенты разрядов в тетрадах 8—4—2—1, другими значениями весовых коэффициентов разрядов: 2—4—2—1. Код «с избытком 3» получается из обычного двоично-десятичного арифметическим прибавлением числа 3 (двоичное число 0011).

Как видно из табл. 1.2, обратный код $A'_{2,10}$ числа, представленного в каком-либо само-дополняющем двоично-десятичном коде $A'_{2,10}$, является его двоичным дополнением до 9. Например, число 5 в коде «с избытком 3» $A'_{2,10} = 1000$ имеет обратный код $\bar{A}'_{2,10} = 0111$, соответствующий числу 4 в коде «с избытком 3», которое «дополняет» число 5 до 9, так как $5 + 4 = 9$.

Двоичное кодирование используется в цифровых системах не только для обозначения числа, но и для представления букв и других знаков. Наиболее часто в современной аппаратуре использу-

Таблица 1.2

Наиболее распространенные двоично-десятичные коды чисел от 0 до 9

Десятичное число A_{10}	Двоично-десятичный код (8—4—2—1)				Код Айкана (2—4—2—1)				Код «с избытком 3»			
	a_3	a_2	a_1	a_0	b_3	b_2	b_1	b_0	c_3	c_2	c_1	c_0
0	0	0	0	0	0	0	0	0	0	0	1	1
1	0	0	0	1	0	0	0	1	0	1	0	0
2	0	0	1	1	0	0	1	0	0	1	0	1
3	0	0	1	1	0	0	1	1	0	1	1	0
4	0	1	0	0	0	1	0	0	0	1	1	1
5	0	1	0	1	1	0	1	1	1	0	0	0
6	0	1	1	0	1	1	0	0	1	0	0	1
7	0	1	1	1	1	1	0	1	1	0	1	0
8	1	0	0	0	1	1	1	0	1	0	1	1
9	1	0	0	1	1	1	1	1	1	1	0	0

Таблица 1.3

b ₃ b ₂ b ₁ b ₀	b ₆ b ₅ b ₄									
	010	011	100		101		110		111	
			Рус	Лат	Рус	Лат	Рус	Лат	Рус	Лат
0000	Пробел	0	ю	@	п	Р	Ю		П	Р
0001	!	1	а	А	я	Q	А	а	Я	q
0010	"	2	б	В	р	Р	В	в	Р	р
0011	#	3	ç	С	с	5	Ц	с	С	5
0100	¤	4	в	Д	т	Т	Д	d	Т	t
0101	%	5	е	Е	у	U	Е	е	У	u
0110	&	6	ф	Ф	ж	У	Ф	f	Ж	u
0111	'	7	г	Г	в	W	Г	g	В	w
1000	(8	х	Н	ь	Х	Х	н	Ь	x
1001)	9	и	Г	ы	У	И	i	Ы	y
1010	*	:	й	Ј	з	Z	Й	j	З	z
1011	+	;	к	К	ш	[К	k	Ш	{
1100	,	<	л	Л	э	\	Л	l	Э	
1101	-	=	м	М	щ]	М	m	Щ	}
1110	.	>	н	Н	ч	^	Н	n	Ч	~
1111	/	?	о	О	ь	_	О	o	■	■

ется двоичный код КОИ-7 (код для обмена информацией семи-разрядный)¹, с помощью которого передаются цифры от 0 до 9, прописные и строчные буквы латинского и русского алфавитов, специальные символы: знаки пунктуации, арифметических операций и др. (табл. 1.3).

Отметим, что первые 32 кода с 0000000 до 0011111 (в табл. 1.3 не приведены) служат для представления специальных команд для управления процессом обмена информацией между цифровыми системами и устройствами ввода-вывода и хранения (дисплеи, принтеры, накопители на магнитных лентах или дисках). Например, код 0001110 обеспечивает представление текста в русском алфавите, код 0001111 — в латинском (см. табл. 1.3). Отдельные управляющие коды служат запросом на обмен информацией (0000101) и подтверждением готовности к обмену (0000110), указывают на начало (0000010) и конец (0000011) текста, вызывают переход на новую строку (0001010) и другие действия. Код 0100000 вызывает пропуск одного символа в тексте (правом), а код 1111111 — уничтожение символа (забой). Числа от 0 до 9 представляются кодами от 0110000 до 0111001. Так как в русском алфавите больше букв, чем в латинском, то при его использовании

¹ В зарубежных источниках аналогичный код называется ASCII (American Standard Code for Information Interchange).

некоторые специальные символы, например [, {, Λ и др., исключаются (см. табл. 1.3).

Для проверки правильности передачи и приема информации в цифровых системах широко используется *контроль четности*. При этом для каждого байта числа определяется количество единиц в его разрядах и формируется дополнительный *контрольный разряд* (*бит четности*), который принимает значение $p=1$, если число единиц четное, или $p=0$, если число единиц нечетное. Например: $p=1$ для числа 10110010, $p=0$ для числа 01001010.

Контрольный разряд передается вместе с соответствующим байтом информации. Принимающее устройство проверяет четность каждого принятого байта и сравнивает ее со значением принятого контрольного разряда. Если обнаруживается различие в значениях четности, то это указывает на ошибку при передаче информации. Контроль четности позволяет выявить единичные сбои, т. е. изменение значения одного разряда числа, а также те многократные сбои, которые вызывают изменение четности. Как показывает практика, контроль четности позволяет выявить до 80...90% ошибок, возникающих при передаче информации из-за действия помех, нарушения контактов в соединениях и других причин.

1.2. ВЫПОЛНЕНИЕ АРИФМЕТИЧЕСКИХ ОПЕРАЦИЙ

С целью упрощения цифровых систем для выполнения арифметических операций над двоичными числами применяются специальные алгоритмы. Так, операцию вычитания в цифровых системах реализуют с помощью операции сложения, представляя вычитаемое в обратном или дополнительном коде (см. табл. 1.1). Если представить вычитаемое в обратном коде, то можно получить разность путем арифметического сложения уменьшаемого (в обычном двоичном коде) и вычитаемого (в обратном коде). Если в знаковом разряде образуется перенос, то эта 1 прибавляется к младшему разряду суммы. Такое прибавление 1 называют *циклическим переносом*. Примеры сложения и вычитания чисел приведены ниже. Исходные числа и результат операций представлены в обратном коде: положительные числа ($z=0$) в прямом, отрицательные ($z=1$) — в инверсном виде:

$\begin{array}{r} z_A \rightarrow 0 \quad \quad 01100 \leftarrow A_2 = A_{10} = 12, \\ + \\ z_B \rightarrow 1 \quad \quad 11011 \leftarrow \bar{B}_2 = B_{10} = -4, \\ \hline -10 \quad \quad 00111 \quad \text{циклический} \\ \quad \quad \text{перенос} \\ \quad \rightarrow 1 \\ \hline z_S \rightarrow 1 \quad \quad 01000 \leftarrow S_2 = S_{10} = 8 \end{array}$	$\begin{array}{r} z_A \rightarrow 1 \quad \quad 101010 \leftarrow \bar{A}_2 = A_{10} = -21 \\ - \\ z_B \rightarrow 1 \quad \quad 10001 \leftarrow \bar{B}_2 = B_{10} = -14 \\ \hline + \quad 1 \quad \quad 01010 \leftarrow A_2 \\ \quad 0 \quad \quad 01110 \leftarrow B_2 \\ \hline z_S \rightarrow 1 \quad \quad 11000 \leftarrow S_2 = S_{10} = -7. \end{array}$
--	--

Недостатком использования обратного кода является образование циклического переноса, который приводит к повторению операции сложения, что существенно увеличивает время выполнения действий. Поэтому чаще используются перевод вычитаемого в дополнительный код (см. табл. 1.1) и его сложение с уменьшаемым. При этом перенос, который может возникать в старшем разряде числа, не учитывается, т. е. отпадает необходимость в циклическом переносе. Вычитание с применением дополнительного кода выполняется быстрее, хотя преобразование чисел в дополнительный код несколько сложнее, чем в обратный. Ниже даны примеры сложения и вычитания чисел со знаком, представленных в дополнительном коде. Полученный результат также представлен в дополнительном коде, т. е. в обычном коде, если $z_S=0$ (положительное число), или в преобразованном виде, если $z_S=1$ (отрицательное число):

$z_A \rightarrow 0$	00110	$\leftarrow A_2 = A_{10} = 12$	$z_A \rightarrow 1$	01011	$\leftarrow \bar{A}_2 = A_{10} = -21$
+			-		
$z_B \rightarrow 1$	11100	$\leftarrow B_2 = B_{10} = -4$	$z_B \rightarrow 1$	10010	$\leftarrow \bar{B}_2 = B_{10} = -14$
	10	01000		1	01011
	01000	$\leftarrow S_2 = S_{10} = 8$	+	0	01110
				11001	$\leftarrow \bar{S}_2 = S_{10} = -7$

Умножение или деление двоичного числа на $2^k=2, 4, 8$ и т. д. производится путем сдвига цифр числа соответственно, вправо или влево на $k=1, 2, 3$ и т. д. разрядов.

Для умножения произвольных двоичных чисел A и B используются различные варианты *метода частичных произведений*. Один из вариантов данного метода иллюстрируется ниже на примере. При этом последовательно анализируются значения разрядов множителя B и формируются частичные произведения. Первое частичное произведение $R_1=0$ при значении младшего разряда $b_0=0$ или $R_1=A$ при $b_0=1$. Далее рассматриваются разряды b_1, b_2 и т. д. Если $b_i=1$, то очередное частичное произведение R_{i+1} образуется путем прибавления к предыдущему множимому A , сдвинутого влево на i разрядов. Если $b_i=0$, то частичное произведение не меняется: $R_{i+1}=R_i$ (прибавляется 0). Последнее частичное произведение R_n является результатом умножения $P=A \times B = R_n$:

$$\begin{array}{r}
\times \begin{array}{l} 1101 : A_2 \\ 1011 : B_2 \end{array} \\
\hline
1101 : R_1 \\
+ 1101 \\
2A : \hline
100111 : R_2 \\
+ 100111 : R_3 \\
+ 1101 \\
8A : \hline
10001111 : R_4 = P_2
\end{array}
\qquad
\begin{array}{r}
\times \begin{array}{l} 1101 \leftarrow A_2 = A_{10} = 13, n_A = n_B = 4 \\ 1011 \leftarrow B_2 = B_{10} = 11 \end{array} \\
\hline
00001101 \rightarrow a_0 = 1 \text{ (суммирование и} \\
\text{сдвиг)} \\
+ \hline
10110000 \leftarrow B_2 \cdot 2^{n_A} \\
10111101 \rightarrow \text{сдвиг суммы} \\
R_1 \rightarrow 01011110 \rightarrow (r_0)_1 = 0 \text{ (сдвиг)} \\
R_2 \rightarrow 00101111 \rightarrow (r_0)_2 = 1 \text{ (суммирование} \\
\text{и сдвиг)} \\
+ \hline
10110000 \leftarrow B_2 \cdot 2^{n_A} \\
11011111 \rightarrow \text{сдвиг суммы} \\
R_3 \rightarrow 01101111 \rightarrow (r_0)_3 = 1 \text{ (суммирова-} \\
\text{ние и сдвиг)} \\
+ \hline
10110000 \leftarrow B_2 \cdot 2^{n_A} \\
10001111 \rightarrow \text{сдвиг суммы} \\
R_4 \rightarrow 10001111 \rightarrow P_2 = P_{10} = 143.
\end{array}$$

Второй пример иллюстрирует вариант реализации метода частичных произведений, при котором умножение выполняется со старших разрядов. При этом множитель B_2 предварительно сдвигается влево на n_A разрядов, где n_A — число разрядов множимого A_2 . Затем проверяется значение младшего разряда множимого a_0 . Если $a_0 = 1$, то первое частичное произведение R_1 образуется путем арифметического сложения A и $B \cdot 2^{n_A}$ (множитель, сдвинутый на n_A разрядов) и последующего сдвига суммы вправо на один разряд. При этом крайний правый разряд суммы выходит за пределы разрядной сетки и не учитывается. Если $a_0 = 0$, то частичное произведение образуется только сдвигом вправо на один разряд с потерей крайнего правого разряда. Далее проверяется значение младшего разряда $(r_0)_1$ полученного частичного произведения и образуется второе частичное произведение R_2 суммированием R_1 и $B \cdot 2^{n_A}$ со сдвигом суммы вправо на один разряд (при $(r_0)_1 = 0$). Аналогичная процедура получения частичных произведений повторяется n_B раз, где n_B — число значащих разрядов множителя. Последнее частичное произведение является результатом умножения: $P = A \times B = R_n$.

Таким образом, умножение двоичных чисел производится путем последовательного выполнения операций сложения и сдвига. Поэтому умножение требует существенно большего времени работы цифрового устройства, чем сложение и вычитание.

Для деления двоичных чисел в цифровых системах чаще всего используется метод деления с восстановлением. Если делимое A_2 больше делителя B_2 , то предварительно производится масштабирование делимого A_2 путем его сдвига

вправо на l разрядов, чтобы получить $A'_2 < B_2$. Затем сдвигом A'_2 влево на один разряд образуют число $2A'_2$ и выполняют вычитание $2A'_2 - B_2$. Если получаемый в результате промежуточный остаток $R_1 = 2A'_2 - B_2$ имеет отрицательный знак ($z_{R_1} = 1$), то старший разряд частного $s_{-1} = 0$, если положительный знак ($z_{R_1} = 0$), то $s_{-1} = 1$. При $s_{-1} = 1$ остаток R_1 удваивается сдвигом влево, при $s_{-1} = 0$ вместо остатка используется число $2A'_2$, которое также удваивается. Из полученного значения $2R_1$ или $4A'_2$ снова вычитается B_2 . Если результат R_2 отрицательный, то следующий разряд частного $s_{-2} = 0$, если положительный, то $s_{-2} = 1$. Вычитание выполняется с помощью одного из описанных выше методов. Для получения частного S'_2 с точностью до k -го знака данная процедура повторяется k раз. При этом анализируется знак каждого промежуточного остатка z_{R_i} и следующий остаток определяется как разность $R_{i+1} = 2X_i - B_2$, где $X_i = R_i$ при $z_{R_i} = 0$, $X_i = 2R_{i-1}$ при $z_{R_i} = 1$, где $i = 0, 1, \dots, k$; $X_0 = 2A_2$. В результате получают частное от деления A_2 на B_2 в виде правильной дроби $S'_2 = 0, s_{-1}, s_{-2}, \dots, s_{-k}$ и остаток деления $P'_2 = R_k \cdot 2^{-k}$. Значения частного S_2 и остатка P_2 образуются в результате восстановления масштаба с помощью сдвига S'_2 и P'_2 влево на l разрядов.

Пример. Деление $A_2 = 0,0111$ на $B_2 = 0,1100$: так как $A_2 < B_2$, то масштабирование не требуется

$$X_0 = 2A_2 \rightarrow 0,1110$$

$$\underline{B_2 \rightarrow 0,1100}$$

$$R_1 = (2A_2 - B_2) \rightarrow +0,0010 > 0, s_{-1} = 1,$$

$$X_1 = 2R_1 \rightarrow 0,0100$$

$$\underline{B_2 \rightarrow 0,1100}$$

$$R_2 = (2R_1 - B_2) \rightarrow -0,1000 < 0, s_{-2} = 0,$$

$$X_2 = 4R_1 \rightarrow 0,1000$$

$$\underline{B_2 \rightarrow 0,1100}$$

$$R_3 = (4R_1 - B_2) \rightarrow -0,0100 < 0, s_{-3} = 0,$$

$$X_3 = 8R_1 \rightarrow 1,0000$$

$$\underline{B_2 \rightarrow 0,1100}$$

$$R_4 = (8R_1 - B_2) \rightarrow 0,0100 > 0, s_{-4} = 1.$$

Получаем частное $S_2 = 0,1001$ и остаток $R_2 = 0,01 \cdot 2^{-3} = 0,000001$.

Таким образом, деление чисел осуществляется путем последовательного выполнения операций вычитания¹ и сдвига. Знак результата при умножении в делении получается суммированием знаковых разрядов без учета переноса, получающегося при $z_A = z_B = 1$.

Описанные выше методы выполнения арифметических операций, рассмотренные для чисел с фиксированной запятой, применяются и для операций над мантиссами чисел с плавающей запятой. Однако при этом требуется еще выполнение определенных операций с порядками чисел. При сложении и вычитании чисел с плавающей запятой предварительно производится выравнивание

¹ Можно заменить вычитание сравнением двух чисел $2X_i$ и B_2 , последовательно получая значения разрядов частного: $s_{-(i+1)} = 1$ при $2X_i > B_2$; $s_{-(i+1)} = 0$ при $2X_i < B_2$.

порядков p_A и p_B обоих чисел путем сдвига мантиссыс одного из них, например B_2 , на $p_A - p_B$ разрядов вправо, если $p_A > p_B$, либо влево, если $p_A < p_B$. Порядок результатов при этом будет $p_S = p_A$. При умножении или делении чисел с плавающей запятой порядок результата равен соответственно сумме или разности порядков: $p_S = p_A \pm p_B$.

При использовании самодополняющих двоично-десятичных кодов вычитание заменяется сложением аналогично тому, как это производится для двоичных чисел в случае применения обратного кода. При этом все отрицательные числа представляются в обратном самодополняющем коде. При вычитании вычитаемое преобразуется в обратный код и производится его суммирование с уменьшаемым. В случае образования переноса в старшем (знаковом) разряде выполняется его прибавление к младшему разряду младшей тетрады (циклический перенос). Затем производится дополнительная операция — коррекция кода в каждой из тетрад.

Рассмотрим выполнение операции сложения-вычитания с применением кода «с избытком 3». Исходные данные и результат операции при этом представляются в коде «с избытком 3»: положительные числа ($z=0$) в прямом, а отрицательные ($z=1$) — в обратном (инверсном) виде. При сложении суммируются соответствующие тетрады двоичных разрядов. При вычитании вычитаемое сначала переводится в обратный код, а затем производится суммирование. Если при суммировании в тетраде не образуется перенос из старшего разряда, то сумма, полученная в данной тетраде, превышает на 3 действительное значение результата в коде «с избытком 3». Поэтому для коррекции значения суммы, полученной в этой тетраде, необходимо вычесть 3, что эквивалентно прибавлению 1101 (3 в дополнительном коде). Если в тетраде образуется перенос, т. е. десятичное число 16, то 10 поступает в виде двоичной 1 в младший разряд следующей тетрады, а 6 необходимо добавить к сумме, полученной в данной тетраде. Но так как для коррекции кода необходимо вычесть 3, то достаточно добавить $(6-3)=3$, т. е. 0011. Переносы, возникающие при коррекции, не учитываются. Знаковые разряды чисел также суммируются. Перенос, образуемый в знаковом разряде, циклически переносится в младший разряд младшей тетрады. Выполнение этих операций иллюстрируется следующими примерами:

$ \begin{array}{r} z_A: \quad 0 \mid 0110 \mid 0111 \quad A_{2/10} = A_{10} = 34 \\ z_B: \quad + \mid 1 \mid 1011 \mid 0011 \quad B_{2/10} = B_{10} = -19 \\ \hline 1 \ 0 \leftarrow 0001 \mid 1010 \\ \hline \rightarrow 1 \text{ циклический перенос} \\ \hline 0 \mid 0001 \mid 1011 \\ + \mid 0011 \mid 1101 \quad \text{коррекция} \\ \hline 0 \mid 0100 \mid 1000 \\ \text{ — перенос не учитывается} \end{array} $	$ \begin{array}{r} z_A: \quad 0 \mid 0100 \mid 1100 \quad A'_{2/10} = A_{10} = 19 \\ z_B: \quad 0 \mid 0110 \mid 0111 \quad B'_{2/10} = B_{10} = 34 \\ \hline 0 \mid 0100 \mid 1100 \quad A'_{2/10} \\ + \mid 0110 \mid 0111 \quad B'_{2/10} \\ \hline 1 \mid 1110 \mid 0100 \\ \\ \quad \text{коррекция} \\ \hline 1 \mid 1011 \mid 0111 \quad S'_{2/10} = S_{10} = -15 \\ \text{ — перенос не учитывается} \end{array} $
---	--

Выполнение арифметических операций при двоично-десятичном представлении сложнее, чем при двоичном, из-за необходимости коррекции. Однако при обработке большого количества данных этот недостаток компенсируется простотой перевода чисел в двоично-десятичную форму.

1.3. ОСНОВЫ БУЛЕВОЙ АЛГЕБРЫ

Теоретической основой проектирования цифровых систем является *булева алгебра*, названная по имени ее основоположника Д. Буля. В булевой алгебре различные логические выражения (высказывания) могут иметь только два значения: «истинно» или «ложно». Это условие называется законом «исключенного третьего». Для обозначения истинности или ложности высказываний пользуются символами 1 или 0.

В общем случае логические выражения являются функциями логических переменных A, B, C и др., каждая из которых может иметь значения 0 или 1. Если имеется k логических переменных, то они образуют 2^k возможных логических наборов из 0 и 1. При $k=1$ $A=0$ и $A=1$; при $k=2$ $AB=00, 01, 10, 11$ и т. д. Для каждого набора переменных логическая функция F может принимать значение 0 или 1. Поэтому для k переменных можно образовать $l_k = 2^{2^k}$ различных логических функций. Таким образом, при $k=2$ можно получить $l_2 = 16$ функций и далее при увеличении k число l_k растет чрезвычайно быстро: $l_3 = 256, l_4 = 65\,536$ и т. д.

Все возможные логические функции k переменных можно образовать с помощью трех основных операций: логическое отрицание (инверсия, операция НЕ), обозначаемое символом « \neg » над соответствующей переменной; логическое сложение (дизъюнкция, операция ИЛИ), обозначаемое символом « \vee », логическое умножение (конъюнкция, операция И), обозначаемое символом « \wedge », который для простоты записи обычно опускается. Для обозначения эквивалентности логических выражений используется знак « $=$ ». В табл. 1.4 и 1.5 дано табличное представление логических операций отрицания, сложения, умножения для переменных A, B .

Для рассмотренных логических операций справедлив ряд аксиом (тождеств) и законов, основные из которых даны в табл.

Таблица 1.4

Табличное представление операции инверсии

A	$F = \bar{A}$
0	1
1	0

Таблица 1.5

Табличное представление операций дизъюнкции и конъюнкции

A	B	$F = A + B$	$F = A \cdot B$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	1	1

Аксиомы (тождества)	$1 \vee A = 1$	(1.5)
	$0 \cdot A = 0$	
	$0 \vee A = A$	(1.6)
	$1 \cdot A = A$	
	$A \vee A = A$	(1.7)
	$A \cdot A = A$	
	$A \vee \bar{A} = 1$	(1.8)
	$A \cdot \bar{A} = 0$	
	$\bar{\bar{A}} = A$	(1.9)
	Законы коммутативности	$A \vee B = B \vee A$
$A \cdot B = B \cdot A$		
Законы ассоциативности	$A \vee (B \vee C) = (A \vee B) \vee C$	(1.11)
	$A \cdot (B \cdot C) = (A \cdot B) \cdot C$	
Законы дистрибутивности	$A \cdot (B \vee C) = (A \cdot B) \vee (A \cdot C)$	(1.12)
	$A \vee (B \cdot C) = (A \vee B) \cdot (A \vee C)$	
Законы дуальности (теоремы де Моргана)	$\overline{A \vee B} = \bar{A} \cdot \bar{B}$	(1.13)
	$\overline{A \cdot B} = \bar{A} \vee \bar{B}$	
Законы поглощения	$A \vee A \cdot B = A$	(1.14)
	$A \cdot (A \vee B) = A$	

1.6. Используя их, можно получать новые логические выражения, а также доказывать справедливость тех или иных законов на основании других. Например, с помощью второго закона дистрибутивности (1.12) и тождества (1.8) получаем соотношение

$$A \vee \bar{A}B = (A \vee \bar{A})(A \vee B) = A \vee B. \quad (1.15)$$

Используя первый закон дистрибутивности (1.12), тождества (1.5), (1.7) и закон ассоциативности (1.10), получаем доказательство справедливости закона поглощения (1.14):

$$A(A \vee B) = AA \vee AB = A \vee AB = A(1 \vee B) = A.$$

Инверсия любой логической функции может быть получена путем замены в исходном выражении операций конъюнкции дизъюнкцией, дизъюнкции конъюнкцией, а каждой логической переменной ее инверсным значением. Например: $\overline{AB \vee \bar{A}CD} = (\bar{A} \vee B) \cdot (A \vee \bar{C} \vee \bar{D})$. Данная теорема является обобщением приведенных в табл. 1.6 законов дуальности.

Применение данных тождеств и законов позволяет производить упрощение логических функций, т. е. находить для них выражения, имеющие наиболее простую форму.

Используя законы ассоциативности, любую логическую функцию многих переменных ($k > 2$) можно представить в виде комбинаций функций двух переменных. Полный набор $2^{2k} = 16$ логических функций двух переменных дан в табл. 1.7. Каждая функция обозначает одну из 16 возможных логических операций над двумя переменными A, B и имеет собственное название и условное обозначение (табл. 1.7). Например, при выполнении операции Искключающее ИЛИ вырабатывается сигнал неравенства двух перемен-

Таблица 1.7

Полный набор логических функций двух переменных

A B	0	0	1	1	Условное обозначение и алгебраическое выражение	Название функции
	0	1	0	1		
F_0	0	0	0	0	$F_0=0$	Постоянный 0
F_1	0	0	0	1	$F_1=AB$	Конъюнкция
F_2	0	0	1	0	$F_2=A\bar{\rightarrow}B=AB$	Запрет
F_3	0	0	1	1	$F_3=A$	Тождественность A
F_4	0	1	0	0	$F_4=B\bar{\rightarrow}A=\bar{A}B$	Запрет
F_5	0	1	0	1	$F_5=B$	Тождественность B
F_6	0	1	1	0	$F_6=A\oplus B=AB+\bar{A}\bar{B}$	Исключающее ИЛИ (неравнозначность)
F_7	0	1	1	1	$F_7=A+B$	Дизъюнкция
F_8	1	0	0	0	$A_8=A\downarrow B=A+B$	Операция Вебба (ИЛИ—НЕ)
F_9	1	0	0	1	$F_9=A\sim B=AB+\bar{A}\bar{B}$	Равнозначность (эквивалентность)
F_{10}	1	0	1	0	$F_{10}=\bar{B}$	Инверсия B
F_{11}	1	0	1	1	$F_{11}=\bar{B}\rightarrow A=A+B$	Импликация от B к A
F_{12}	1	1	0	0	$F_{12}=\bar{A}$	Инверсия A
F_{13}	1	1	0	1	$F_{13}=\bar{A}\rightarrow B=\bar{A}+B$	Импликация от A к B
F_{14}	1	1	1	0	$F_{14}=\bar{A}/\bar{B}=\bar{A}\bar{B}$	Операция Шеффера (И—НЕ)
F_{15}	1	1	1	1	$F_{15}=1$	Постоянная 1

ных: $F_6=1$ при $A\neq B$; $F_6=0$ при $A=B$. При выполнении операции Равнозначность вырабатывается сигнал равенства переменных: $F_6=1$ при $A=B$; $F_6=0$ при $A\neq B$. Для более сложных функций: Запрет, Импликация, Равнозначность, Исключающее ИЛИ, операции Вебба и Шеффера — даны их выражения с помощью элементарных операций инверсии, дизъюнкции, конъюнкции.

Укажем некоторые соотношения между функциями двух переменных, используемые при преобразованиях логических выражений:

$$F_2=A\bar{\rightarrow}B=AB=F_{13}=\overline{A\rightarrow B}=\overline{A}\bar{V}B; \quad (1.16)$$

$$F_4=B\bar{\rightarrow}A=\bar{A}B=F_{11}=\overline{B\rightarrow A}=\bar{A}\bar{V}B; \quad (1.17)$$

$$F_6=A\oplus B=AB\bar{V}\bar{A}B=F_9=\overline{A\sim B}=\overline{AB\bar{V}\bar{A}B}. \quad (1.18)$$

Справедливость этих соотношений следует из табл. 1.6, а также легко доказывается с помощью законов дуальности.

Логические функции могут иметь различные формы представления: словесное, табличное, алгебраическое, графическое. Например, функцию $F_9=f(A, B)$, заданную в виде словесного описания: $F_9=1$, когда значения переменных $A=B$, и $F_9=0$, когда $A\neq B$, можно представить в виде таблицы истинности (табл. 1.8) или в алгебраической форме $F_9=AB\bar{V}\bar{A}B$ (см. табл. 1.7). Таблица истинности содержит все 2^k возможных наборов значений логических переменных и значения функции, соответствующие каждому из наборов.

Таблица 1.8

Табличные истинности функции равнозначности F_0

A	B	F_0
0	0	1
0	1	0
1	0	0
1	1	1

Таблица 1.9

Минтермы, макстермы и значения функция F_0

A	B	Минтермы	Макстермы	Значения функции
0	0	$m_0 = \bar{A}\bar{B}$	$M_0 = \bar{A}\bar{B}$	$f_0 = 1$
0	1	$m_1 = \bar{A}B$	$M_1 = \bar{A}B$	$f_1 = 0$
1	0	$m_2 = A\bar{B}$	$M_2 = A\bar{B}$	$f_2 = 0$
1	1	$m_3 = AB$	$M_3 = AB$	$f_3 = 1$

Чтобы осуществить переход от табличного представления к алгебраическому, каждому набору переменных ставится в соответствие *минтерм* (конституента единицы) — конъюнкция всех переменных, которые входят в прямом виде, если значение данной переменной в наборе равно 1, либо в инверсном виде, если значение переменной равно 0. Для k переменных составляется $q = 2^k$ минтермов¹: m_0, m_1, \dots, m_{q-1} . Все минтермы двух переменных даны в табл. 1.9. Значения функции F , соответствующие согласно таблице истинности данному i -му набору переменных, будем обозначать f_i (см. табл. 1.9). Как видно из табл. 1.8 и 1.9, алгебраическое представление функции F_0 является дизъюнкцией минтермов, соответствующих наборам переменных, для которых $f_i = 1$: $F_0 = f_0 m_0 \vee f_1 m_1 \vee f_2 m_2 \vee f_3 m_3 = 1 \cdot (\bar{A}\bar{B}) \vee 0 \cdot (\bar{A}B) \vee 0 \cdot (A\bar{B}) \vee 1 \cdot (AB) = \bar{A}\bar{B} \vee AB$.

В общем случае алгебраическое выражение любой логической функции можно представить в следующей форме:

$$F = \sum_{i=0}^{q-1} f_i m_i, \quad (1.19)$$

где f_i, m_i — значение функции (0 или 1) и минтерм, соответствующие i -му набору переменных. Такое представление функции называется ее *совершенной дизъюнктивной нормальной формой* (СДНФ).

Другая алгебраическая форма представления функции получается при использовании макстермов. *Макстермом* (конституентой 0) называется дизъюнкция всех переменных, которые входят в прямом виде, если значение данной переменной равно 1, либо в инверсном виде, если значение переменной равно 0 (см. табл. 1.9). Число макстермов, как и минтермов, для функции k переменных равно $q = 2^k$. Алгебраическое выражение функции получается в виде произведения

$$F = \prod_{i=0}^{q-1} (f_i \vee M_i), \quad (1.20)$$

¹ Номер (индекс) минтерма равен значению двоичного числа, которое образуется соответствующим набором переменных (см. табл. 1.9).

где f_i , M_i — значение функции и макстерм, соответствующие i -му набору переменных. Такое представление функции называется ее *совершенной конъюнктивной нормальной формой* (СКНФ). Например, для функции F_9 , используя табл. 1.9, получаем СКНФ в виде

$$F_9 = (f_0 \vee M_0) (f_1 \vee M_1) (f_2 \vee M_2) (f_3 \vee M_3) = (1 \vee \bar{A} \vee \bar{B}) \times \\ \times (0 \vee \bar{A} \vee B) (0 \vee A \vee \bar{B}) (1 \vee A \vee B) = (\bar{A} \vee \bar{B}) (A \vee \bar{B}).$$

На практике часто используется сокращенная форма записи СДНФ и СКНФ, при которой указываются только номера минтермов (макстермов), входящих в выражение функции

$$F = \Sigma(x_1, \dots, x_k) = \Pi(y_1, \dots, y_l), \quad (1.21)$$

где (x_1, \dots, x_k) — номера (индексы) минтермов, соответствующих значениям $f_i=1$; (y_1, \dots, y_l) — номера (индексы) макстермов, соответствующих значениям $f_i=0$; Σ , Π — обозначения логического сложения и умножения. При этом функция F_9 (см. табл. 1.7 и 1.8), которую можно представить как дизъюнкцию минтермов m_0 , m_3 или конъюнкцию макстермов M_1 , M_2 , задается в виде: $F_9 = \Sigma(0, 3)$ или $F_9 = \Pi(1, 2)$. Используя законы булевой алгебры (см. табл. 1.6), нетрудно доказать эквивалентность полученных СДНФ и СКНФ функции F_9 .

Если в выражениях (1.19) и (1.20) вместо f_i использовать \bar{f}_i — инверсии значений функции, то получается СДНФ и СКНФ для функции, являющейся инверсией заданной. Например, из табл. 1.9 получаем $\bar{F}_9 = \bar{A} \sim \bar{B} = \bar{A} \bar{B} \vee A \bar{B} = (\bar{A} \vee \bar{B}) (A \vee \bar{B}) = F_6 = A \oplus B$.

Таким образом осуществляется переход от таблицы истинности к алгебраическому представлению логической функции, и любая логическая функция может быть представлена в виде СДНФ или СКНФ.

Обратный переход от алгебраического к табличному представлению функции выполняется путем последовательной подстановки в данное алгебраическое выражение всех q возможных наборов переменных, определения соответствующих значений $F=f_i$ для каждого i -го набора ($0 \leq i \leq q-1$) и заполнения таблицы истинности.

При относительно небольшом числе переменных ($k \leq 6$) весьма удобным и наглядным является графическое представление логических функций в виде так называемых карт минтермов. Наиболее распространенной их формой являются карты Карно. На рис. 1.1 показаны карты Карно для функций $k=2, 3, 4, 5$ переменных. Карта Карно содержит $q=2^k$ клеток, причем каждой клетке соответствует один из q минтермов. Для иллюстрации этого на рис. 1.1, а—в в клетках карт Карно записаны соответствующие им минтермы. Если требуется представить на карте Карно логическую функцию, заданную в виде СДНФ, то в клетках карты соответствующих минтерм, входящих в СДНФ, ставятся 1. Остальные клетки остаются незаполненными или заполняются 0. Примеры графич-

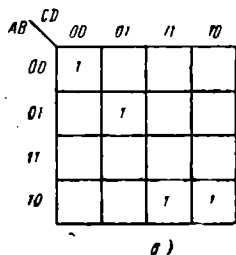
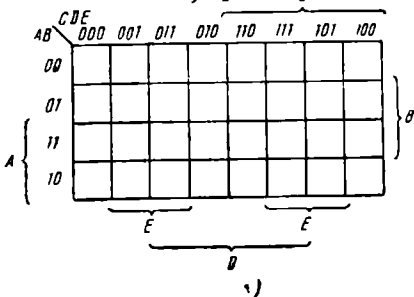
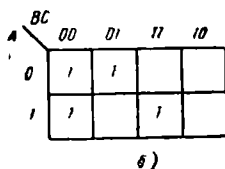
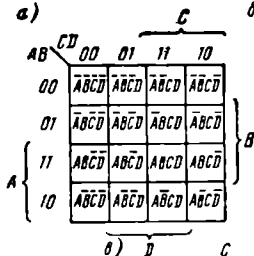
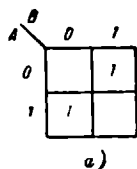
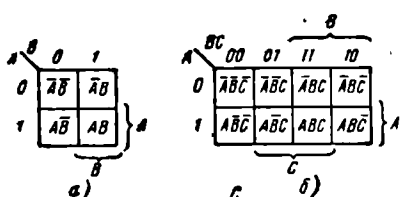


Рис. 1.1. Карты Карно и расположение в них минтермов для функций двух (а), трех (б), четырех (в), и пяти (г) переменных

Рис. 1.2. Примеры представления функций на карты Карно:

$$\begin{aligned}
 a - F &= A\bar{B}\bar{V}\bar{A}\bar{B}; & б - F &= \\
 & & &= \bar{A}\bar{B}\bar{C} \vee \bar{A}\bar{B}\bar{C} \vee A\bar{B}\bar{C} \vee \\
 & & & \vee A\bar{B}\bar{C}; & в - F &= \bar{A}\bar{B}\bar{C}\bar{D} \vee \\
 & & & & & \vee \bar{A}\bar{B}\bar{C}D \vee A\bar{B}\bar{C}D \vee A\bar{B}\bar{C}\bar{D}
 \end{aligned}$$

ческого представления функций, заданных в виде СДНФ, показаны на рис. 1.2, а-в.

Каждой клетке карты поставлен также в соответствие один из наборов логических переменных, который определяется номером столбца и строки, на пересечении которых расположена клетка. Например, на рис. 1.1, в на пересечении столбца с номером $AB=01$ и строки с номером $CD=10$ расположена клетка, соответствующая набору переменных $ABCD=0110$ (минтерм $\bar{A}B\bar{C}\bar{D}$). Благодаря этому удобно представлять на карте Карно функции, заданные таблицами истинности. Если при i -м наборе переменных значение функции в таблице истинности $F=f_i=1$, то в соответ-

вующей клетке карты Карно ставится 1 (т. е. соответствующий минтерм m_i входит в СДНФ функции). Если же $F=f_i=0$, то клетка оставляется пустой либо ставится 0 (т. е. соответствующий минтерм не входит в СДНФ функции). Таким образом, между представлением функции в табличной (таблица истинности), алгебраической (в виде СДНФ) и графической (на карте Карно) формах имеется однозначное соответствие.

Логическая функция F на карте Карно представляется совокупностью клеток, заполненных 1, инверсия функции F представляется совокупностью пустых клеток (или заполненных 0). На рис. 1.2,а дано представление в виде карты Карно функции Исключающее ИЛИ F_6 в соответствии с ее таблицей истинности (см. табл. 1.7). Инверсия $F_6=F_9=AB\sqrt{AB}$ (см. табл. 1.8) представляется на этой карте совокупностью пустых клеток.

Для логических функций с числом переменных $k > 6$ карты Карно становятся громоздкими (число клеток $q > 64$) и неудобными для практического применения. Поэтому использование карт Карно можно рекомендовать при числе переменных $k \leq 6$.

Рассмотренные выше (см. табл. 1.7) логические функции были определены, т. е. имели определенное значение $f_i=0$ или $f_i=1$ при всех возможных наборах логических переменных. Такие логические функции называются полностью определенными. Кроме них имеется большой класс функций, значение которых определено только для части логических наборов переменных. Такие функции называются частично определенными. Наборы переменных, для которых функция определена, называются рабочими, а для которых не определена — безразличными. Значения функции, соответствующие безразличным наборам, будем обозначать в таблицах истинности и на картах Карно знаком «X». Если частично определенная функция представляется в виде СДНФ или СКНФ, то указываются также минтермы (макстермы), соответствующие безразличным наборам. При этом форма записи (1.19), (1.20) дополняется указанием минтермов (макстермов) с неопределенным значением функции:

$$F = \Sigma(x_1, \dots, x_k) + \Sigma_n(x'_1, \dots, x'_n); \quad (1.22)$$

$$F = \Pi(y_1, \dots, y_l) \Pi_n(y'_1, \dots, y'_m), \quad (1.23)$$

где x', y' — номера минтермов, для которых значение функции не определено. В качестве примера на рис. 1.3,г представлена частично определенная функция $F = \Sigma(0, 4, 5, 9, 10, 12, 13), \Sigma_n(1, 2, 3, 8)$.

На практике безразличными являются также наборы значений логических переменных, которые при работе данного цифрового устройства никогда не реализуются. Частично определенную функ-

¹ Имеются специальные приемы, позволяющие выполнять с помощью карт Карно представление и преобразование функций с числом переменных до $k=8 \dots 9$. Однако изучение этих приемов выходит за рамки настоящего пособия.

цию можно сделать полностью определенной (доопределить), приписав безразличным наборам какие-либо значения функции: $f_i = 0$ или 1. Доопределение функции проводится таким образом, чтобы упростить ее алгебраическое выражение и практическую реализацию.

Как указано выше, любую логическую функцию можно представить в виде СДНФ или СКНФ, т. е. с помощью соответствующей комбинации простейших логических функций И, ИЛИ, НЕ. Набор простейших функций, с помощью которого можно выразить любые другие, сколь угодно сложные логические функции называется *функционально полным* или логическим базисом. Таким образом, набор функций И, ИЛИ, НЕ является одним из логических базисов.

Логический базис называется *минимальным*, если удаление хотя бы одной из входящих в него функций превращает этот набор в функционально неполный. Логический базис И, ИЛИ, НЕ не является минимальным, так как с помощью законов дуальности можно исключить из логических выражений функцию И либо ИЛИ. В результате получаем минимальные базисы: И, НЕ и ИЛИ, НЕ. Имеются минимальные логические базисы, содержащие только одну функцию: Шеффера (И—НЕ) или Вебба (ИЛИ—НЕ) (см. табл. 1.7). Функциональная полнота этих наборов функций следует из того, что с их помощью можно реализовать все функции логических базисов {И, НЕ}, {ИЛИ, НЕ} в соответствии с выражениями

$$A | A = \bar{A}, A \cdot B = \overline{A | B} = (A | B) | (A | B),$$

$$A \downarrow A = \bar{A}, A + B = \overline{A \downarrow B} = (A \downarrow B) \downarrow (A \downarrow B).$$

Электронные схемы, выполняющие простейшие логические операции, называются *логическими элементами*. Для реализации в цифровых системах разнообразных логических функций достаточно иметь логические элементы, реализующие операции того или иного минимального базиса. Этот набор логических элементов называется *минимальным элементным базисом* (или базой). В современной микроэлектронике таким базисом чаще всего служат элементы И—НЕ либо ИЛИ—НЕ.

Реализация цифровых систем с использованием только элементов минимального базиса часто приводит к излишней сложности устройств и ухудшает их основные эксплуатационные параметры. Поэтому для улучшения характеристик систем при их построении обычно используют расширенные (избыточные) элементные базисы, в которых кроме элементов И—НЕ, ИЛИ—НЕ входят схемы, выполняющие функции И—ИЛИ—НЕ, Исключающее ИЛИ и др. (см. гл. 2).

1.4. ПРЕОБРАЗОВАНИЯ ЛОГИЧЕСКИХ ФУНКЦИЙ

Используя законы и тождества булевой алгебры, можно получить для каждой логической функции множество эквивалентных представлений. Чем проще логическое выражение функции, тем меньше элементов требуется для ее реализации. В результате микросхема, выполняющая эту функцию, будет иметь лучшие показатели по быстродействию, потребляемой мощности, площади кристалла. Сложность логической функции $\{F\}$ определяется количеством переменных, входящих в ее алгебраическое выражение в прямом или инверсном виде. *Минимальным* называется такое эквивалентное представление функции, которое имеет минимальную сложность. Процедура получения минимального представления функции называется *минимизацией*. В данном параграфе рассмотрены методы минимизации функций, заданных в дизъюнктивной нормальной форме (ДНФ). Используя законы дуальности, эти методы можно применить и для упрощения функций в конъюнктивной нормальной форме (КНФ).

Представление функции в виде СДНФ (1.19) в большинстве случаев не является минимальным. Используя для понижения сложности операции *склеивания* $AB\bar{A}B = A$ и *поглощения* $A\bar{A}B = A$, его часто можно существенно упростить. В результате получается *сокращенная ДНФ*, которая является дизъюнкцией конъюнктивных членов, которые могут не содержать всех переменных, т. е. не быть минтермами. Эти конъюнктивные члены называются *импликантами*. Для примера рассмотрим процедуру упрощения функции

$$\begin{aligned} F_1 &= ABC\bar{A}BC\bar{A}BC\bar{A}B\bar{C}\bar{A}B\bar{C} = \\ &= ABC\bar{A}(B\bar{A}B)(C\bar{C}) = ABC\bar{A}B\bar{A}B = \\ &= ABC\bar{A}(B + \bar{B}) = ABC\bar{A} = BC\bar{A}. \end{aligned}$$

Исходная СДНФ, имеющая сложность $\{F_1\} = 15$, преобразуется в ряд сокращенных ДНФ различной сложности: $\{F_1\} = 15 \rightarrow 7 \rightarrow 4 \rightarrow 3$. В результате получена ДНФ, содержащая всего две импликанты: \bar{A} и BC . Полученная ДНФ имеет минимальную сложность, т. е. является *минимальной ДНФ (МДНФ)*.

При проектировании цифровых устройств исходные логические функции, заданные в виде СДНФ или сокращенной ДНФ, преобразуются для получения МДНФ с помощью одного из разработанных методов минимизации.

Для минимизации функций относительно небольшого числа переменных ($k \leq 6$) наиболее простым и наглядным является графический метод, использующий *карты Карно*. При использовании этого метода исходная функция представляется на картине Карно (рис. 1.3). Минтермы, соответствующие двум соседним (в столбце или ряду) клеткам карты Карно, отличаются значениями только одной переменной. Поэтому дизъюнкция этих минтермов дает

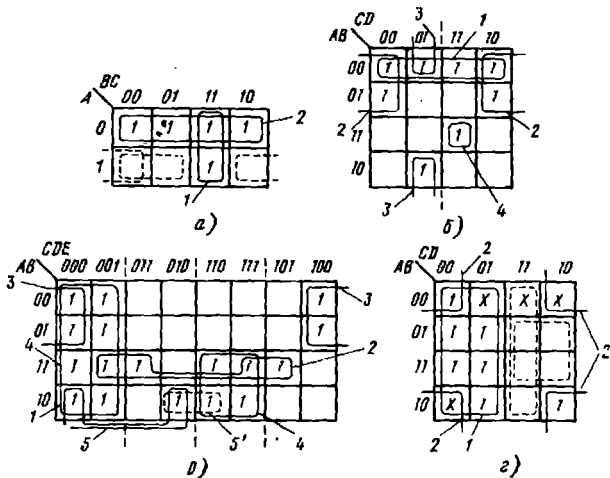


Рис. 1.3. Примеры минимизации логических функций $F_1(a)$, $F_2(b)$, $F_3(c)$ и $F_4(d)$ с помощью карт Карно

одну импликанту, в которой исключена переменная, имеющая взаимноисключающие значения. Например, для минтермов, соответствующих двум соседним клеткам, занятым 1, в третьем столбце карты Карно на рис. 1.3,а получаем $\bar{A}BC \vee ABC = (\bar{A} \vee A) \cdot BC = BC$. Таким образом, импликанта BC включает в себя два минтерма: $\bar{A}BC$ и ABC .

Чтобы выделить на карте Карно клетки, представляющие одну импликанту, их графически объединяют (обводят тонкой линией). Импликанта BC представляется на картах Карно двумя объединенными клетками. Такое объединение клеток на картах Карно эквивалентно выполнению операции склеивания минтермов и позволяет получать более простое выражение логической функции. Поэтому для минимизации логических выражений вместо их алгебраических преобразований можно выполнять соответствующее объединение клеток на картах Карно. Объединенные клетки будут соответствовать импликантам, дизъюнкция которых даст сокращенную ДНФ или МДНФ заданной функции.

В качестве примера на рис. 1.3,а представлена карта Карно функции F_1 , получение МДНФ которой алгебраическим методом показано выше. Первый член МДНФ соответствует объединению 1 на рис. 1.3,а. Все клетки объединения 2 соответствуют минтермам, которые имеют одну общую переменную \bar{A} . Дизъюнкция этих минтермов, как показано выше, равна \bar{A} , т. е. второй член МДНФ соответствует объединению 2 на рис. 1.3,а. Чем больше клеток входит в объединение, тем меньше переменных входит в соответствующую импликанту, т. е. проще получаемая ДНФ.

Таким образом, минимизацию логических выражений можно выполнять графическим объединением на карте Карно клеток, занятых 1, и последующим получением алгебраического выражения функции в виде сокращенной ДНФ, каждая импликанта которой соответствует объединению нескольких клеток (минтермов) или одной необъединенной клетке. Процесс получения алгебраического выражения функции, представленной на карте Карно, т. е. переход от графического представления к алгебраическому, называется считыванием. При этом каждое объединение клеток считается в виде импликанты, в которую входят переменные или их инверсии, общие для всех минтермов, соответствующих этим клеткам. Необъединенные клетки считаются в виде соответствующих минтермов.

Полученные на основании законов булевой алгебры правила минимизации путем объединения на картах Карно клеток, занятых 1, формулируются для функций $k \leq 4$ переменных следующим образом.

1. Объединяются две соседние клетки в столбце или ряду (объединение 1 на рис. 1.3,а), четыре соседние клетки, составляющие квадраты (объединение 4 на рис. 1.3,в).

2. Объединяются клетки (объединение 3 на рис. 1.3,б) или пары клеток (объединение 2 на рис. 1.3,б), крайние в столбцах или рядах.

3. Объединяются полные столбцы или ряды (объединение 2 на рис. 1.3,а), пары рядом расположенных столбцов или рядов (объединение 1 на рис. 1.3,г), а также крайние столбцы или ряды на карте.

Карты Карно функций пяти (рис. 1.3,в) или шести переменных можно представить как две или четыре рядом размещенные карты для четырех переменных. В пределах каждой половины карты Карно пяти переменных (рис. 1.3,в) и каждой четверти карты шести переменных клетки объединяются по тем же правилам 1, 2, 3, как и для функции четырех переменных. Объединение клеток, расположенных в разных половинах и четвертях, выполняется в соответствии со следующим правилом (оно справедливо и для функций четырех и менее переменных).

4. Объединяются клетки, пары соседних клеток (объединения 2, 3 на рис. 1.3,в), квадраты, столбцы, ряды, пары соседних столбцов и рядов, расположенные симметрично относительно вертикальной или горизонтальной оси карты Карно.

Количество импликант в получаемой сокращенной ДНФ равно сумме числа объединений и необъединенных клеток. Для получения МДНФ следует включать в каждое объединение максимальное возможное число клеток и выбирать такой вариант объединения клеток, чтобы общее число объединений и оставшихся необъединенных клеток было минимально. При этом одна и та же клетка может входить в несколько объединений (см. рис. 1.3).

На рис. 1.3,б,в приведены примеры минимизации функций:

$$F_2 = \overline{A}\overline{C}\overline{B}\overline{D} \vee \overline{A}B\overline{C}\overline{D} \vee \overline{A}B\overline{C}D \vee \overline{A}B\overline{C}D \vee \overline{A}B\overline{C}D \vee \overline{A}B\overline{C}D \vee \overline{A}B\overline{C}D \vee \overline{A}B\overline{C}D = \\ = \overline{A}\overline{B} \vee \overline{A}\overline{D} \vee \overline{B}\overline{C}D \vee \overline{A}BCD,$$

$$F_3 = \overline{C}B\overline{D}E \vee \overline{A}\overline{C}\overline{B}\overline{D} \vee \overline{A}B\overline{C}D \vee \overline{A}B\overline{C}D \vee \overline{A}B\overline{C}D \vee \overline{A}B\overline{C}D \vee \overline{A}B\overline{C}D \vee \overline{A}B\overline{C}D = \\ \vee \overline{A}B\overline{C}D \vee \overline{A}B\overline{C}D \vee \overline{A}B\overline{C}D \vee \overline{A}B\overline{C}D = \\ = \overline{C}B \vee \overline{A}BE \vee \overline{A}\overline{D}E \vee \overline{A}CD \vee \overline{A}B\overline{C}E,$$

где номер объединения на карте совпадает с порядковым номером соответствующей импликанты в полученных МДНФ.

Используя различные варианты объединений для некоторых функций, можно получать несколько различных МДНФ, одно из которых выбирается для реализации в цифровом устройстве. Например, на рис. 1.3,в вместо объединения 5 можно сделать объединение 5' (показано штриховой линией). При этом пятая импликанта в МДНФ функции будет иметь вид $\overline{A}\overline{B}\overline{C}E$ вместо $\overline{A}B\overline{C}E$.

Если для заданной функции имеются безразличные наборы входных переменных, которые обозначаются знаком X в соответствующих клетках карты Карно, то, как указано в § 1.3, можно доопределить функцию, чтобы получить более простую МДНФ. В этом случае при минимизации функции с помощью карт Карно в объединения включаются те клетки, отмеченные знаком X , которые дают расширение объединений и уменьшение их количества. На рис. 1.3,г приведен пример минимизации функции F_4 , имеющей четыре безразличных набора переменных $ABCD$: 0001, 0010, 0011 и 1000. Доопределив функцию таким образом, чтобы она имела значения $F_4=1$ при $ABCD=0001, 0010, 1000$ и $F_4=0$ при $ABCD=0011$, выполним объединение клеток, как показано на рис. 1.3,г, и получим МДНФ в виде $F_4=C\vee B\overline{D}$. Перебором других вариантов доопределения и минимизации заданной функции нетрудно убедиться, что полученное выражение является МДНФ.

Как отмечено в § 1.3, клетки карты Карно, не занятые 1, соответствуют минтермам, входящим в состав СДНФ инверсии \overline{F} заданной функции. Поэтому, объединяя клетки, не занятые 1, согласно приведенным выше правилам можно получить МДНФ для инверсии функции. На рис. 1.3,а штриховой линией показан пример такого объединения клеток, в соответствии с которым $\overline{F}_1 = \overline{A}\overline{C}\vee \overline{A}\overline{B}$. На рис. 1.3,г штриховой линией показан пример объединения с доопределением безразличных комбинаций, в результате которого $\overline{F}_4 = \overline{B}\overline{C}\vee \overline{C}\overline{D}$. Инвертированием полученных выражений и их преобразованием с помощью теорем де Моргана получаем минимизированные конъюнктивные нормальные формы (МКНФ) функций

$$\overline{F}_1 = F_1 = \overline{A}\overline{C}\vee \overline{A}\overline{B} = (\overline{A}\overline{C}) (\overline{A}\overline{B}) = (A\vee C) (A\vee B);$$

$$\overline{F}_4 = F_4 = \overline{B}\overline{C}\vee \overline{C}\overline{D} = (\overline{B}\overline{C}) (\overline{C}\overline{D}) = (B\vee C) (C\vee D).$$

Для функций $k > 6$ карты Карно становятся чрезмерно громоздкими и малоэффективными. Наиболее часто для минимизации таких функций используется табличный метод Квайна — Маккласки. Исходную функцию при этом удобнее представить в виде таблицы соответствия, хотя можно использовать и другие способы ее задания. Рассмотрим данный метод на примере минимизации функции (рис. 1.3,з)

$$F_4 = \Sigma(0, 4, 5, 9, 10, 12, 13) + \Sigma_n(1, 2, 3, 8).$$

Процедура минимизации содержит два последовательно выполняемых этапа: нахождение всех простых импликант заданной функции; определение минимального набора простых импликант, обеспечивающих реализацию функции.

Табличный способ поиска простых импликант иллюстрируется для функции F_4 в табл. 1.10. В левой части таблицы выписываются двоичные коды всех минтермов, входящих в СДНФ функции, и коды минтермов, соответствующих неопределенным наборам переменных (их номера обведены кружками). Эти минтермы объединяются в группы, каждая из которых содержит коды с определенным числом единиц: 0, 1, 2, 3 и т. д. Для рассматриваемого примера коды минтермов делятся на четыре группы. Затем производится объединение строк, соответствующих минтермам из соседних групп. Объединяются (склеиваются) минтермы, отличающиеся значением только одной переменной (одного разряда кода). В результате объединения получаются импликанты, в которых исключена эта переменная (прочерк в соответствующем разряде i -го объединения строк). Объединяемые минтермы помечаются знаком « \vee » в столбце меток M . Импликанты, полученные склеиванием неопределенных минтермов, выделяются тем, что номера их строк обводятся кружком.

Таблица 1.10

N минтерм	Коды минтермов				M	N строк	Коды импликант (1-е объединен)				M	N строк	Коды импликант (2-е объединен)				M	N строк	Коды импликант (3-е объединен)				M
	A	B	C	D			A	B	C	D			A	B	C	D			A	B	C	D	
0	0	0	0	0	\vee	0,1	0	0	0	—	\vee	0,1,2,3	0	0	—	—	P_1	0,1,4,5	— — 0 —	P_3			
1	0	0	0	1	\vee	0,2	0	0	—	0	\vee	0,1,4,5	0	—	—	\vee	0,1,4,5						
2	0	0	1	0	\vee	0,4	0	—	0	0	\vee	0,1,8,9	—	0	—	\vee	0,1,8,9						
4	0	1	0	0	\vee	0,8	—	0	0	0	\vee	0,2,1,3	0	0	—	—	0,5,12,13						
8	1	0	0	0	\vee	1,3	0	0	—	1	\vee	0,2,8,10	—	0	—	0	0,4,8,11						
5	0	0	1	1	\vee	1,5	0	0	—	1	\vee	0,4,1,5	0	—	—	0	1,5,9,13						
9	0	1	0	1	\vee	1,9	—	0	0	1	\vee	0,4,8,12	—	—	0	0	—						
10	1	0	0	1	\vee	2,3	0	0	1	—	\vee	0,8,1,9	—	0	0	—	—						
12	1	0	1	0	\vee	2,10	—	0	1	0	\vee	0,8,2,10	—	—	0	0	—						
13	1	1	0	0	\vee	4,5	0	1	0	—	\vee	0,8,4,12	—	—	0	0	—						
						4,12	—	1	0	0	\vee	1,5,9,13	—	—	0	1	\vee						
						8,9	1	0	0	—	\vee	1,9,5,13	—	—	0	1	\vee						
						8,10	1	0	—	0	\vee	4,5,12,13	—	1	0	—	\vee						
						8,12	1	—	0	0	\vee	4,12,5,13	—	1	—	0	—						
						5,13	—	1	0	1	\vee	8,9,12,13	1	—	0	—	\vee						
						9,13	1	—	0	1	\vee	8,12,9,13	1	—	0	—	—						
						12,13	1	1	0	—	\vee												

После выполнения всех возможных склеиваний минтермов получаем набор импликант 1-го объединения, коды которых заносятся в следующий раздел таблицы импликант. Эти импликанты также разбиты на группы, отличающиеся числом единиц; число этих групп на одну меньше, чем групп минтермов. Затем происходит объединение (склеивание) импликант из соседних групп, отличающихся значением только одного из разрядов. Правила объединения такие же, как при склеивании минтермов на предыдущем шаге; объединяемые минтермы помечаются знаком « \surd ». Путем последовательного выполнения шагов объединения получаем новые наборы импликант с уменьшающейся сложностью. Коды этих импликант заносятся в соответствующие разделы таблицы импликант. Если при объединении разных строк образуются одинаковые импликанты, то оставляется одна из них, а остальные вычеркиваются (см. табл. 1.10). Процесс заканчивается, когда на очередном шаге объединение импликант становится невозможным. Для функции n переменных число шагов может составить от 0 (если невозможно объединение минтермов) до n , в зависимости от вида функции.

Импликанты или минтермы, оставшиеся неотмеченными знаком « \surd », т. е. не вошедшие в какую-либо импликанту меньшей сложности, называются *простыми*, так как они не подлежат дальнейшему упрощению. Обозначим их P_1, P_2, \dots, P_i (см. табл. 1.10). Неотмеченные минтермы или импликанты, выделенные на таблице импликант кружками, не являются простыми импликантами, так как соответствуют неопределенным комбинациям переменных.

Нетрудно убедиться, что простые импликанты полностью представляют заданную функцию. Для доказательства этого составим таблицу покрытия минтермов исходной функции полученными простыми импликантами (табл. 1.11). Если данная простая импликанта включает в себя (покрывает) определенный минтерм из СДНФ функции, то в соответствующей клетке таблицы покрытий ставится 1. Как видно из табл. 1.11, простые импликанты $P_1 = \overline{A}B$, $P_2 = B\overline{D}$ и $P_3 = \overline{C}$ покрывают все минтермы исходной СДНФ, т. е. $F_4 = P_1 \vee P_2 \vee P_3$. Из этой таблицы следует также, что импликанта P_1 может быть исключена из выражения функции F_4 , так как покрываемый ее минтерм $\overline{A}B\overline{C}D$ входит в состав P_2 и P_3 . В то же время исключить импликанту P_2 или P_3 нельзя, так как

Таблица 1.11

Минтермы	0	4	5	9	10	12	13
Простые импликанты	0000	0100	0101	1001	1010	1100	1101
P_1	00--	1					
P_2	-0-0	1			1		
P_3	--0-	1	1	1		1	1

каждая из них покрывает хотя бы один минтерм, не входящий ни в одну другую простую импликанту. Такие импликанты называются *существенными*.

Для получения МДНФ необходимо с помощью таблицы покрытий сначала найти наборы из минимального числа простых импликант, покрывающих все минтермы исходной функции. Дизъюнкция импликант каждого из этих наборов даст сокращенную ДНФ, которая называется *тупиковой*, т. е. не допускающей дальнейшего склеивания и поглощения переменных. Тупиковая ДНФ минимальной сложности является МДНФ заданной функции. Для рассмотренного примера (см. табл. 1.11) имеется только одна тупиковая ДНФ, которая и является МДНФ функции $F_4 = P_2 \vee P_3 = \bar{B} \bar{D} \vee \bar{C}$. Аналогичный результат был получен выше при минимизации функции F_4 с помощью карт Карно (см. рис. 1.3,2).

Для нахождения всех тупиковых ДНФ можно использовать алгебраический *метод Петрика*. При этом для каждого столбца таблицы покрытий составляется дизъюнкция обозначений простых импликант M_i , включающих соответствующий минтерм. Затем образуется функция покрытия M_{Π} в виде конъюнкции полученных дизъюнктивных членов, которая упрощается с помощью закона поглощения $A(A \vee B) = A$. После упрощения этой функции и преобразования ее в ДНФ получаем дизъюнкцию, каждый член которой представляет собой конъюнкцию обозначений простых импликант, составляющих одну из тупиковых ДНФ исходной функции. Для рассмотренного выше примера (табл. 1.11) $M_{\Pi} = (P_1 \vee P_2 \vee P_3) P_3 P_2 = P_2 P_3$. Это показывает, что единственная тупиковая ДНФ для функции F_4 включает простые импликанты P_2 и P_3 .

Если исходная функция задана в виде сокращенной ДНФ, то ее можно преобразовать в СДНФ, представив каждую импликанту k переменных ($k < n$) в виде дизъюнкции 2^{n-k} минтермов. Для этого выполняется тождественное преобразование каждой импликанты P_i путем ее последовательного умножения на $(X_j \vee \bar{X}_j) \equiv 1$, где X_j — переменная, не вошедшая в импликанту, и раскрытия скобок:

$$P_i = P_i \prod_{j=k}^{n-1} (X_j \vee \bar{X}_j) = P_i X_j \bar{X}_{j+1} \dots \bar{X}_{n-1} \vee P_i \bar{X}_j X_{j+1} \dots X_{n-1} \vee \dots \vee P_i X_j X_{j+1} \dots X_{n-1}. \quad (1.24)$$

Для слабо определенных функций, имеющих большое число неопределенных комбинаций, поиск простых импликант описанным выше способом оказывается трудоемким из-за необходимости объединения множества минтермов и импликант, не покрывающих заданную функцию. Для таких функций нахождение простых импликант проще выполняется с помощью *таблицы различия*. При этом исходная функция может быть представлена в сокращенной ДНФ, т. е. не требуется ее предварительное преобразование в СДНФ. Рассмотрим данный метод на примере функции пяти переменных $F_5 = A \bar{C} D E \vee \bar{A} \bar{D} E \vee \bar{B} D E$, инверсия которой задана в виде $F_5 = A \bar{C} D E \vee \bar{A} \bar{C} D E \vee \bar{A} \bar{B} C D E \vee \bar{B} C D E$. Функция содержит три им-

пликанты, которые покрывают десять минтермов, ее инверсия — четыре импликанты, покрывающие семь минтермов. Эти минтермы можно легко получить, преобразовав импликанты согласно (1.24). Оставшиеся $32 - 17 = 15$ минтермов соответствуют неопределенным комбинациям переменных. Для каждой импликанты функции F_6 составляем таблицу ее различия с импликантами функции F_5 (табл. 1.12). В клетках таблицы ставится 1, если соответствующие переменные в сравниваемых импликантах F_5 и F_6 имеют взаимно инверсные значения. Если значения переменных совпадают, то клетки остаются пустыми. Отсутствующие переменные (прочерки в табл. 1.12) доопределяются так, чтобы обеспечить совпадение значений переменных, поэтому в соответствующих клетках всегда пусто. Для каждой таблицы различия находим ее минимальное покрытие, т. е. такие строки (переменные), минимальное количество которых содержит 1 во всех столбцах. Конъюнкции переменных, соответствующих этим строкам, являются простыми импликантами. Для каждого примера первая таблица различий покрывается строками A, \bar{C} , вторая таблица — строками \bar{A}, \bar{D} или \bar{D}, E , третья таблица — строками \bar{B}, E . Таким образом, простыми импликантами для функции F_5 являются: $P_1 = A\bar{C}$, $P_2 = \bar{A}\bar{D}$, $P_3 = \bar{D}E$, $P_4 = \bar{B}E$. Далее с помощью таблицы покрытия или методом Петрика нетрудно найти тупиковые ДНФ: $F_5 = (A\bar{C} \vee \bar{D}E \vee \bar{B}E)$ и $F_6 = (A\bar{C} \vee \bar{A}\bar{D} \vee \bar{B}E)$, которые оказываются минимальными.

Если таблицы различия имеют большую размерность, то для нахождения простых импликант можно использовать метод Пет-

Таблица 1.12

Таблицы различий для функции F_5

Импликанты F_6		Импликанты \bar{F}_5			
		$ABCDE$	$ABCDE$	$ABCDE$	$ABCDE$
		1-100	1-010	01011	-0110
1	A	1			
	B	—		1	
	C	0	1		1
	D	1	1		
	E	0			1
2	A	0	1		
	B	—			
	C	—			
	D	0		1	1
	E	1	1	1	1
3	A	—			
	B	0			
	C	—			1
	D	1	1		
	E	1	1	1	1

рика. Например, для второй таблицы различий (см. табл. 1.12) составляем функцию покрытия

$$M_n = (D \vee E) \bar{D} (\bar{D} \vee E) (\bar{A} \vee E) = \bar{D} (\bar{A} \vee E) = \bar{A} \bar{D} \vee \bar{D} E,$$

из которой получаем простые импликанты $P_2 = \bar{A} \bar{D}$, $P_3 = \bar{D} E$.

Как показывают приведенные примеры, минимизация функций, содержащих $n \leq 5 \dots 6$ переменных, с помощью карт Карно существенно проще, чем методом Квайна — Маккласки. В то же время метод Квайна — Маккласки легко формализуется и реализуется в виде программ минимизации, выполняемых на ЭВМ. Однако при значительном числе переменных ($n > 10 \dots 15$) данный метод требует чрезмерно больших затрат времени даже при использовании ЭВМ. В этом случае для сокращения трудоемкости используются некоторые эмпирические способы и специальные методы либо выполняется *декомпозиция* — разделение исходной функции на несколько частей, которые минимизируются отдельно методом карт Карно или Квайна — Маккласки.

Сложность полученных МДНФ в ряде случаев можно уменьшить путем вынесения за скобки общих переменных из простых импликант. Эта процедура называется *факторизацией*. Например, ранее полученную МДНФ функции F_2 (см. рис. 1.3, б) путем факторизации можно представить в виде

$$F_2 = \bar{A} \bar{B} \vee \bar{A} \bar{B} \vee \bar{B} \bar{C} \bar{D} \vee A B C D = \bar{A} (\bar{B} \vee \bar{D}) \vee D (\bar{B} \bar{C} \vee A B C).$$

В результате сложность уменьшается с $\{F_2\} = 11$ до 9. Такое представление функции называется *скобочной формой*. Минимальные скобочные формы (МСФ) могут иметь существенно меньшую сложность, чем МДНФ. При этом МСФ не всегда могут быть получены путем факторизации МДНФ или МКНФ. Однако поиск МСФ для функций $n \geq 3$ оказывается чрезмерно трудоемким. Поэтому на практике обычно ограничиваются получением МДНФ и преобразованием ее, если возможно, в скобочную форму.

Факторизация является частным случаем декомпозиции логической функции. В общем случае *декомпозицией* называется представление заданной функции n переменных в виде

$$F(X_1, \dots, X_n) = f[g_1(X_1, \dots, X_k), \dots, g_m(X_1, \dots, X_k), X_{k+1}, \dots, X_n], \quad (1.25)$$

где $g_i(X_1, \dots, X_k)$ — составляющие функции k переменных ($k < n$); f — образующая функция; X_{k+1}, \dots, X_n — выделяемые переменные, не входящие в функцию g_i . Если $m < k$, то путем декомпозиции исходная функция n переменных представляется с помощью функций g_i и f меньшего числа переменных: k , $(n+m-k) - n$. При $m = 1, 2, \dots$ получаем однократную, двухкратную и т. д. декомпозиции.

Для определения функций g_i, f можно использовать *метод Кертиса*. При этом составляется карта декомпозиции исходной функции, соответствующая карте Карно, строки в которой соответствуют комбинациям выделяемых переменных (X_{k+1}, \dots, X_n) , а

столбцы — переменным X_1, \dots, X_k , определяющим функцию g_1 . В качестве примера выполним декомпозицию функции F_6 (табл. 1.13), выделив переменные X_1, X_3 . Функция допускает m -кратную декомпозицию относительно выделенных переменных, если ее таблица декомпозиции содержит не более 2^m различных столбцов. Поэтому неопределенные комбинации, если они есть, следует доопределить 0 или 1 так, чтобы выполнялось данное условие декомпозиции. Если в табл. 1.13 доопределить функцию значениями 0 при $X_1 X_3 X_2 X_4 = 0000$ и 1101, значениями 1 при $X_1 X_3 X_2 X_4 = 0111$ и 1011, то получим два различных столбца, т. е. возможна однократная декомпозиция. Закодировав различные столбцы значениями составляющей функции $g_1 = 0$ и 1 (см. табл. 1.13), определим $g_1(X_2, X_4)$ как дизъюнкцию импlicants, соответствующих комбинациям переменных X_2, X_4 , при которых $g_1 = 1$: $g_1(X_2, X_4) = \bar{X}_2 \bar{X}_4 \vee X_2 X_4 \vee \bar{X}_2 X_4 = X_2 \vee \bar{X}_4$. Затем найдем образующую функцию $f(g_1, X_1, X_3)$ как дизъюнкцию импlicants, соответствующих комбинациям g_1, X_1, X_3 , при которых $F_6 = 1$: $F_6 = g_1 \bar{X}_1 X_3 \vee g_1 X_1 \bar{X}_3 = g_1 (\bar{X}_1 X_3 \vee X_1 \bar{X}_3)$. Таким образом, F_6 реализована с помощью функций двух и трех переменных.

Если карта декомпозиции имеет не более 2^l различных строк, то допускается ее l -кратная декомпозиция относительно переменных, соответствующих строкам карты. Декомпозиция, выполняемая относительно обеих групп переменных, называется *множественной*. При этом функция F получится в виде

$$F(X_1, \dots, X_n) = f[g_1(X_1, \dots, X_k), \dots, g_m(X_1, \dots, X_k), g_{m+1}(X_{k+1}, \dots, X_n), \dots, g_{m+l}(X_{k+1}, \dots, X_n)]. \quad (1.26)$$

Так, функция F_6 (см. табл. 1.13) имеет две различные строки, которые можно закодировать значениями функции $g_2 = 0$ и 1. Найдем функцию $g_2(X_1, X_3)$, как это сделано выше для функции g_1 : $g_2 = \bar{X}_1 X_3 \vee X_1 \bar{X}_3$. В соответствии с табл. 1.13 получим функцию $F_6 = g_1 g_2$, выраженную через функции двух переменных.

Таблица 1.13

Таблица декомпозиции функции F_6

X_1, X_3	X_2, X_4				g_1
	00	01	11	10	
00	x				0
01		1	x	1	1
11		x			0
10		1	x	1	1
g_2	0	1	1	1	

Таблица 1.14

Таблица декомпозиции функции F_7

X_1, X_2	X_3, X_4, X_5							
	000	001	011	010	110	111	101	100
00	1	x	x		x	1	x	1
01		1			1	x	x	1
11	x	1	1	x	1		1	x
10	1		1	1		1	1	
g_1	0	1	0	0	1	0	0	1
g_2	0	x	1	1	x	0	1	x

Пример двухкратной декомпозиции функции $F_7(X_1, X_2, X_3, X_4, X_5)$ дан в табл. 1.14. После доопределения функции F_7 можно получить три различных столбца, которые закодированы значениями двух составляющих функций $g_1 g_2 = 00, 01$ и $1X$. Неопределенное значение принято для упрощения этой функции. В соответствии с табл. 1.14 получаем составляющие g_1, g_2 , которые после минимизации имеют вид $g_1 = X_3 X_5 \vee X_3 X_4 X_5, g_2 = X_3 X_4 \vee X_3 X_4$. Функция F_7 после минимизации

$$F_7 = \bar{X}_1 g_1 \vee X_2 g_1 \vee X_1 \bar{g}_1 g_2 \vee X_2 \bar{g}_1 \bar{g}_2.$$

Одним из наиболее часто используемых вариантов декомпозиции является разложение функций по теореме Шеннона:

$$F(X_1, X_2, \dots, X_n) = \bar{X}_i F_0(X_1, \dots, X_{i-1}, 0, X_{i+1}, \dots, X_n) \vee X_i F_1(X_1, \dots, X_{i-1}, 1, X_{i+1}, \dots, X_n), \quad (1.27)$$

где X_i — выделяемая переменная; F_0 и F_1 — функции $(n-1)$ переменной, образующиеся из функции F подстановкой значений $X_i=0$ и $X_i=1$ соответственно. Полученные функции F_0, F_1 могут подвергаться дальнейшему разложению, на каждом этапе которого образуются функции меньшего числа переменных.

При проектировании цифровых устройств часто встает задача минимизации системы функций, чтобы обеспечить минимальную сложность их совместной реализации. При этом сначала для каждой из функций с помощью карт Карно или методом Квайна — Маккласки определяют простые импликанты, затем с помощью таблицы покрытия находят минимальное покрытие всех функций. Рассмотрим этот процесс на примере трех функций Y_1, Y_2, Y_3 , карты Карно которых приведены на рис. 1.4. Используя описанные выше методы, получаем простые импликанты:

$$P_1 = \bar{A}\bar{C}\bar{D}, P_2 = \bar{A}B\bar{D}, P_3 = \bar{A}BC, P_4 = \bar{A}B\bar{C}\bar{D},$$

$$P_5 = B\bar{C}D, P_6 = ABD, P_7 = BC$$

и составляем таблицы покрытия этих функций (табл. 1.15). Определяем для каждой функции существенные импликанты (отмечены в таблице звездочкой). Если существенные импликанты полностью покрывают функцию, то находится минимальный набор

CD	00	01	11	10
00	1			
01	1		1	1
11				
10		X	X	X

CD	00	01	11	10
00	1			
01			X	X
11			1	1
10				X

CD	00	01	11	10
00		X		
01	1		1	1
11			X	X
10	X	X		X

Рис. 1.4. Примеры совместной минимизации системы функций Y_1, Y_2, Y_3

Таблица 1.15

Простые импликан- ты	Минтермы									
	Y_1				Y_2			Y_3		
	0000	0100	0111	0110	0000	1101	1111	0100	0111	0110
P_1	0-00	1	1							
P_2^*	01-0		1	1				1		1
P_3^*	011-			1	1				1	1
P_4^*	0000	1				1				
P_5	-101						1			
P_6^*	11-1						1	1		
P_7	-11-								1	1

покрывающих ее импликант, дизъюнкция которых дает минимизированное выражение. Для рассматриваемого примера

$$Y_1 = P_2 \vee P_3 \vee P_4, Y_2 = P_4 \vee P_6, Y_3 = P_2 \vee P_3.$$

Таким образом, для реализации функций требуется всего четыре импликанты и сложность функций $\{Y_1, Y_2, Y_3\} = 13$, тогда как при отдельной минимизации функции содержат шесть импликант, а их сложность $\{Y_1, Y_2, Y_3\} = 18$. Если существенные импликанты не полностью покрывают функцию, то в набор включаются другие простые импликанты, обеспечивающие покрытие функции при минимальной суммарной сложности.

В ряде случаев общую минимизацию системы функций Y_1, \dots, Y_k можно обеспечить, если выразить некоторые наиболее сложные функции Y_j через относительно простые функции Y_i :

$$Y_j = f(X_1, X_2, \dots, X_n, Y_i). \quad (1.28)$$

При этом Y_j становится функцией $(n+1)$ -й переменной и число неопределенных комбинаций входных переменных увеличивается на 2^n . Эти избыточные комбинации используются в процессе минимизации, в результате чего можно получить более простое выражение функции.

1.5. СТРУКТУРА И ЭЛЕМЕНТНАЯ БАЗА ЦИФРОВЫХ СИСТЕМ

Современные цифровые системы выполняют самые разнообразные функции. Вычислительные системы (микро-, мини-ЭВМ, высокопроизводительные универсальные и специализированные ЭВМ и др.) производят быструю обработку больших массивов информации. Автоматизированные системы цифрового управления управляют работой различных приборов, машин и механизмов, ходом технологических процессов. Системы цифровой связи обес-

печивают обмен информацией между множеством аоонентов, реализуя высокую надежность и различные режимы обслуживания. Информационно-измерительные комплексы выполняют сбор, хранение и предварительную обработку данных, поступающих от системы датчиков, выдавая их пользователю в любой необходимой форме

Многообразие выполняемых функций приводит к большому разнообразию вариантов структурной реализации цифровых систем. Однако можно выделить ряд общих черт, характерных для большинства цифровых систем. Цифровая система выполняет прием, хранение, обработку и выдачу информации. Соответственно в структуру типовой системы входят устройства, реализующие данные функции.

Информация, поступающая от различных внешних устройств, часто представлена в форме, которая не может быть непосредственно воспринята цифровой системой. Соответственно информация, выдаваемая системой, в большинстве случаев также требует преобразования, прежде чем ее можно будет использовать для управления исполнительными устройствами (реле, электромоторами и др.) или приборами индикации (дисплеями, сигнальными лампами и др.). Необходимое преобразование осуществляют *интерфейсные устройства (ИУ)*, через которые происходит ввод и вывод информации.

Запоминающее устройство (ЗУ) служит для хранения информации, необходимой в процессе работы системы. В нем содержатся исходные данные, промежуточные и конечные результаты обработки. В программно-управляемых системах ЗУ хранит также программу обработки данных. ЗУ состоит из ячеек памяти, каждая из которых хранит одно двоичное число. Выбор требуемой ячейки обычно осуществляется подачей соответствующего кода (адреса) на адресные входы ЗУ¹. При этом в зависимости от заданного режима работы ЗУ осуществляется запись в ячейку числа, поступающего от других устройств системы, либо его считывание из ячейки и передача в другие устройства.

Обработка информации в цифровых системах производится путем выполнения над ней ряда операций в соответствии с заданным алгоритмом². Эти операции выполняются *операционным устройством (ОУ)*. Вид операций и порядок их исполнения определяются поступающими в ОУ управляющими сигналами. Во многих системах ОУ выполняет определенный набор арифметических и логических комбинаций и называется *арифметико-логическим устройством (АЛУ)*.

Последовательность сигналов, управляющих работой ОУ и других устройств системы, формируется *устройством управления*

¹ В некоторых цифровых устройствах используются также *безадресные ЗУ* (асоциативные, стековые и др.), где для выбора ячейки применяются другие принципы.

² Алгоритмом называется набор формальных правил, четко и однозначно определяющих процесс решения поставленной задачи.

(УУ). Сигналы УУ определяют порядок выполнения устройствами системы необходимых операций, реализующих заданный алгоритм обработки информации. Эти управляющие сигналы называются микрокомандами. Устройства управления формируют также адреса, в соответствии с которым при обмене информацией выбираются ячейки памяти ЗУ и внешние устройства. По способу реализации алгоритмов функционирования цифровые системы делятся на два класса:

системы, реализующие фиксированный алгоритм функционирования (системы с «жесткой» логикой управления);

системы, реализующие произвольный алгоритм функционирования (программно-управляемые системы).

Системы первого класса используются для выполнения ограниченного числа (одного или нескольких) жестко заданных алгоритмов. Электрическая схема УУ проектируется таким образом, чтобы формировать последовательности управляющих сигналов, обеспечивающие выполнение только этих алгоритмов. Изменение алгоритмов функционирования возможно только путем переработки схемы УУ.

Системы второго класса предназначены для выполнения весьма широкого класса алгоритмов. Реализация конкретного алгоритма обеспечивается путем ввода в ЗУ системы соответствующей программы. Программа представляет собой закодированную последовательность команд, которые поочередно поступают из ЗУ в УУ. После расшифровки очередной команды УУ вырабатывает последовательность управляющих сигналов, обеспечивающих ее выполнение с помощью ОУ и других устройств системы. Изменение алгоритма функционирования системы достигается путем смены программы в ЗУ. Программы могут храниться либо в том же ЗУ, где содержатся данные, либо в отдельном ЗУ программ. Если система предназначена для периодического выполнения только одной программы, то эта программа обычно заносится в постоянное ЗУ (ПЗУ), откуда она может многократно вызываться в УУ (считываться). Изменить содержание программы в этом случае можно только путем смены ПЗУ. Если система (например, универсальная ЭВМ) должна выполнять разнообразные программы, то очередная программа или ее часть через ИУ вводятся от внешних устройств в оперативное ЗУ (ОЗУ). После ее выполнения в ОЗУ загружается новая программа.

Системы с жесткой логикой обычно имеют лучшие технические характеристики (быстродействие, энергопотребление) при реализации конкретных заданных алгоритмов. Поэтому их целесообразно использовать для выполнения неизменяемых алгоритмов, например в качестве специализированных систем управления¹ для определенных объектов, выполняющих одну и ту же последовательность действий. Программно-управляемые системы отличаются большой широтой применения и простотой изменения алгорит-

¹ Такие специализированные системы обычно называют *контроллерами*.

ма функционирования. Однако эта гибкость достигается ценой усложнения структуры по сравнению с системами с жесткой логикой.

Устройство управления вместе с ОУ образуют основную обрабатывающую часть цифровой системы, называемую *процессором*. Процессор, реализованный в виде одной или нескольких БИС или СБИС, называется *микропроцессором*. Отметим, что процессор (микропроцессор) часто содержит также небольшое внутреннее ЗУ («блочная память») для хранения промежуточных данных.

Большинство микроэлектронных цифровых систем имеет магистрально-модульную структуру (рис. 1.5), при которой все устройства, входящие в состав системы, обмениваются информацией по общей магистрали (общей шине). Магистраль обычно состоит из нескольких десятков линий связи (проводников), по которым передаются обрабатываемые данные и результаты, команды (для программно-управляемых систем), адреса выбираемых ячеек памяти ЗУ или внешних устройств, специальные сигналы управления, задающие режимы работы различных устройств системы и обеспечивающие правильный и своевременный обмен информацией между ними. Управляющие сигналы микрокоманды УУ, задающие выполнение определенных операций в ОУ, а также сигналы от ОУ, информирующие УУ о выполнении определенных операций, обычно передаются по отдельным линиям связи (показаны на рис. 1.5 штриховыми линиями), не входящим в состав общей шины.

Как правило в составе общей магистрали выделяются отдельные группы линий связи — шины (магистралей) для передачи определенного вида информации. Чаще всего выделяются (см. рис. 1.5) *шина данных D*, по которой передаются данные, а в программно-управляемых системах также команды, *шина адреса A*, на которую поступает адрес выбираемой ячейки ЗУ или внешнего устройства, и *шина управления C*, служащая для обмена сигналами, задающими режимы работы процессора, ЗУ и внешних устройств.

В каждый момент времени только одно устройство может захватить магистраль для приема или выдачи информации. Остальные устройства при этом либо отключаются от магистрали, либо обслуживают устройство, захватившее магистраль, обмениваясь с

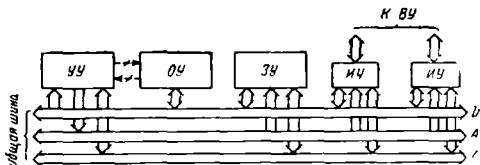


Рис. 1.5 Общая структура магистрально-модульной цифровой системы

ним информацией по его запросам. Управление магистралью обычно осуществляет УУ (процессор). Однако во многих случаях определенное внешнее устройство также может в требуемый момент времени захватить магистраль, инициируя обмен информацией между ним и цифровой системой.

Магистральный принцип построения систем позволяет достаточно просто выполнить их модернизацию путем замены отдельных устройств новыми, более совершенными или подключения дополнительных устройств, расширяющих функциональные возможности систем и улучшающих их технические характеристики. Для этого устройства системы реализуются в виде отдельных модулей, имеющих однотипную конструкцию и стандартные средства (интерфейс) для подключения к магистрали. Например, подключением дополнительных модулей ЗУ можно расширить объем памяти. Введение в систему специализированных модулей ОУ позволяет расширить набор реализуемых операций или ускорить их выполнение.

В качестве внешних устройств к системе подключается различное периферийное оборудование для ввода-вывода информации, связи системы с человеком-оператором, если это предусмотрено режимом ее применения. Таким оборудованием являются цифровые печатающие устройства, алфавитно-цифровые и графические дисплеи, клавиатура. Для увеличения объема памяти широко используются накопители на магнитных лентах, гибких или жестких магнитных дисках, которые подключаются к системе как внешние устройства. Внешними устройствами являются также наборы датчиков или исполнительные устройства (реле, магнитные заслонки, сервоприводы электромоторов и др.). Внешним устройством для данной системы может служить и другая цифровая система, подключенная через соответствующее ИУ. Так реализуются системные комплексы, например многомашинные комплексы из нескольких ЭВМ.

Реализация любых алгоритмов обработки информации производится в цифровой системе путем выполнения над двоичными числами (операндами) определенной последовательности простейших операций, называемых *микрооперациями*. К ним относятся арифметическое сложение, конъюнкция, дизъюнкция, инверсия, сдвиг влево или вправо, пересылка операндов между адресатами (ячейками памяти и устройствами системы) и др. Совокупность логических элементов, обеспечивающих выполнение определенной микрооперации, называется *функциональным узлом*. Такими узлами являются, например, сумматоры, преобразователи кодов, схемы поразрядного сдвига двоичных чисел (сдвиговые регистры и др.). Основные типы функциональных узлов цифровых систем описаны в гл. 3 и 5.

Функциональные узлы, входящие в состав одного устройства и выполняющие однотипные микрооперации, часто объединяются в *функциональные блоки*. Например, в состав ОУ обычно входят арифметико-логический блок, блок памяти для оперативного хра-

нения операндов и результатов операций и др., в состав ЗУ — блок памяти, блок формирователей сигналов выборки, блок управления и др. Функциональные узлы и блоки выполняют определенные микрооперации при поступлении соответствующей микрокоманды. По принципу логического функционирования узлы и блоки цифровых устройств делятся на два класса:

комбинационные узлы и блоки, которые не обладают памятью. Их логическое состояние однозначно определяется комбинацией входных переменных, имеющих в данный момент времени;

последовательностные узлы и блоки, которые обладают памятью. Их логическое состояние определяется комбинациями входных переменных как в настоящей, так и в предыдущие моменты времени, т. е. последовательностью поступления входных переменных¹. Последовательностные узлы и блоки содержат элементы памяти, обладающие способностью хранить двоичную информацию.

Элементарной базой цифровых систем служат микросхемы, выполняющие функции узлов, блоков или целых устройств (процессор, УУ, ОУ, ЗУ, ИУ). Уровень функциональной сложности цифровых микросхем определяется степенью интеграции

$$K_n = \lg_{10} N_{эл}, \quad (1.29)$$

где $N_{эл}$ — количество логических элементов И—НЕ либо ИЛИ—НЕ (обычно двух- или трехходовых), необходимых для реализации функций микросхемы. Микросхемы, имеющие $K_n \leq 1$, называют малыми, $K_n = 1 \dots 2$ — средними, $K_n = 2 \dots 4$ — большими, $K_n > 4$ — сверхбольшими интегральными схемами: МИС, СИС, БИС и СБИС. В виде МИС реализуются отдельные логические элементы и элементы памяти. Функциональные узлы и блоки цифровых систем выпускаются в виде СИС и БИС. Цифровые устройства (микропроцессоры, ЗУ и др. и целые системы: микро-ЭВМ, микроконтроллеры) изготавливаются в виде БИС или СБИС в зависимости от их сложности.

Цифровые устройства (узлы, блоки) подразделяются на два больших класса: синхронные и асинхронные. В *синхронных устройствах* начало выполнения каждой микрооперации четко фиксируется во времени (синхронизируется) поступлением синхронизирующего (тактового) сигнала. Эти сигналы имеют вид импульсов, последовательность которых вырабатывается специальным генератором, входящим в состав системы. Период синхронимпульсов является, таким образом, минимальным временем между выполнением в системе двух последовательных микроопераций, т. е. служит единицей машинного времени, называемой *тактом*. В зависимости от структуры системы за один такт могут выполняться одна или несколько микроопераций, если они совмещены во времени. Продолжительность такта должна быть достаточной для

¹ Комбинационные узлы и блоки часто называют *логическими автоматами без памяти*, а последовательностные — *логическими автоматами с памятью*.

выполнения соответствующим функциональным узлом (блоком) наиболее длительной микрооперации. В асинхронных устройствах отсутствуют синхронизирующие сигналы. В эти устройства включены специальные схемы, которые после окончания каждой микрооперации вырабатывают сигнал, разрешающий выполнение следующей микрооперации.

Синхронные устройства имеют меньшее быстродействие, чем асинхронные. Однако реализация асинхронной работы существенно усложняет структуру устройств из-за включения дополнительных схем — индикаторов окончания микрооперации. В зависимости от требований технического задания в микроэлектронных цифровых устройствах реализуется синхронный или асинхронный принцип работы.

Основными параметрами цифровых систем являются мощность, потребляемая от источников питания, и производительность. Потребляемая мощность определяется из выражения

$$P_n = \sum U_{\text{нп } i} I_{\text{нп } i}, \quad (1.30)$$

где $U_{\text{нп } i}$, $I_{\text{нп } i}$ — напряжение и средний ток источника питания для i -го узла (блока); сумма берется по всем узлам (блокам), входящим в систему.

Способ оценки производительности цифровых систем зависит от области их применения. Для систем обработки информации показателем производительности является скорость выполнения арифметических или других операций: число операций, выполненных в секунду (оп/с). Однако времена выполнения различных операций существенно отличаются. Например, для сложения или вычитания двоичных чисел («короткие» операции) требуется обычно 4...5 тактов машинного времени, а для умножения или деления («длинные» операции) — на 1...2 порядка больше. Поэтому при расчете производительности используются различные способы усреднения. Например, производительность универсальных ЭВМ иногда оценивается по формуле¹

$$W_{\text{пр}} = 1 / (0,7t_k + 0,3t_d) \quad (1.31)$$

где t_k , t_d — времена выполнения «коротких» и «длинных» операций; 0,7 и 0,3 — коэффициенты, учитывающие относительную частоту выполнения этих операций при реализации типовых алгоритмов (операции типа «сложение» составляют около 70%, типа «умножение» — около 30%). Производительность систем цифровой связи, ряда информационных и измерительных систем оценивается скоростью передачи ими цифровой информации (бит/с). Для оценки быстродействия систем управления, контрольно-измерительных систем часто используется время отклика, т. е. время реакции системы на поступивший входной сигнал. Применя-

¹ Для более точных оценок производительности ЭВМ используют «смеси», включающие наборы различных операций, частота использования которых определяется сферой применения ЭВМ.

ются и другие специфические способы оценки производительности систем определенного класса.

Производительность цифровых систем определяется как структурой систем, так и быстродействием используемых логических элементов. Необходимо отметить тесную взаимосвязь между потребляемой мощностью и производительностью систем. Увеличение потребляемой мощности при использовании более мощных и быстродействующих узлов и блоков или при параллельном включении нескольких блоков для одновременной обработки информации приводит к повышению производительности. Наоборот, ограничение потребляемой мощности требует сокращения числа блоков, использования маломощных и поэтому более медленных устройств, что снижает производительность систем.

Важнейшей характеристикой системы является также ее надежность, определяемая временем безотказной работы T_0 , ч, или средней частотой отказов λ , отк/ч = $1/T_0$. Для многих областей применения весьма важными являются такие параметры, как масса и габариты. Однако эти параметры определяются в основном уровнем конструкторско-технологической разработки системы, поэтому в данном учебном пособии почти не затрагиваются.

Для повышения скорости обмена информацией в системах используется многомагистральная структура. Часто используется отдельная магистраль для передачи в УУ команд от специального ЗУ программ¹. Это позволяет одновременно передавать команды и данные, совмещая при этом процессы выполнения очередной команды и выбора следующей команды. В высокопроизводительных цифровых системах для связи различных устройств используются отдельные магистрали. Это увеличивает сложность систем, но повышает скорость обмена информацией, обеспечивая сокращение времени выполнения поставленных задач.

Цифровая система может иметь несколько процессоров. Часто в состав системы кроме основного процессора вводятся специализированные процессоры, обеспечивающие ускоренное выполнение отдельных операций. Такие процессоры называются *сопроцессорами*. Они подключаются к магистрали так же, как основной процессор, и при поступлении соответствующих команд берут на себя управление системой и выполнение определенных операций. После их выполнения функции управления системой и обработки информации снова реализуются основным процессором. Цифровая система, содержащая несколько основных процессоров или микропроцессоров, называется *мультипроцессорной*. Эти процессоры могут выполнять разные задачи или часть общей задачи, работая одновременно, благодаря чему существенно повышается производительность системы. Один из процессоров может выполнять роль ведущего, распределяя общие ресурсы системы (память, магистрали) между процессорами. Такая организация системы называется *иерархической* (рис. 1.6,а). При другом варианте организации управление ресурсами может осуществлять любой из процессоров, который в течение определенного времени выполняет роль

¹ В литературе такая структура цифровых систем часто называется *гарвардской*, в отличие от ранее описанной традиционной структуры, которая называется *принстонской*.

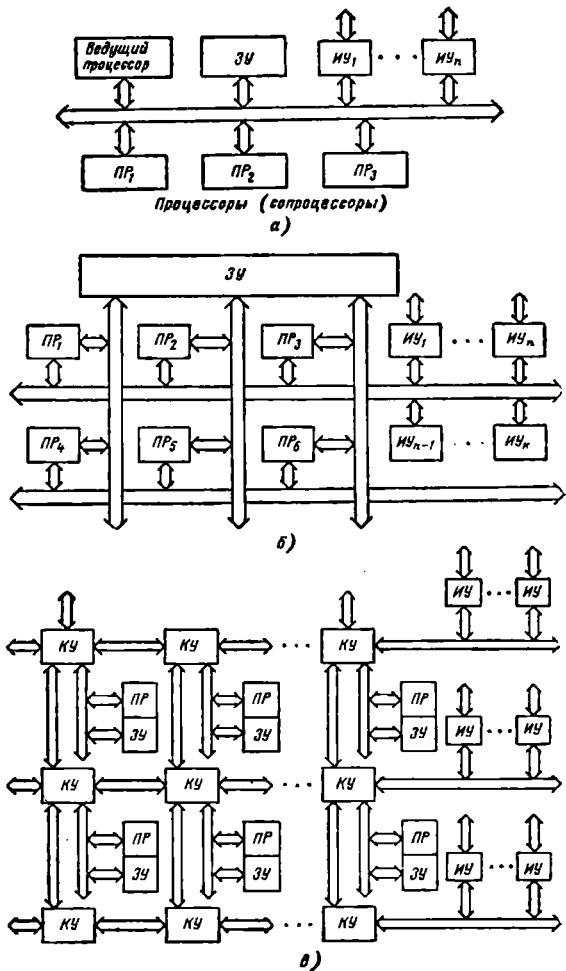


Рис. 1.6. Структурные варианты мультимикропроцессорных систем: а — иерархическая, б — однородная с общей памятью, в — однородная с распределенной памятью

ведущего. В ходе решения задачи различные процессоры становятся ведущими. Распределение функций между процессорами меняется так, чтобы обеспечить наиболее эффективное выполнение поставленной задачи. Такая мультипроцессорная система называется *однородной* (рис. 1.6,б,в).

В мультипроцессорных системах может использоваться одно общее ЗУ (структура с общей памятью на рис. 1.6,б) или несколько ЗУ. Часто используется структура с распределенной памятью (рис. 1.6,в), где каждый процессор имеет собственное ЗУ. Коммутационное устройство обеспечивает доступ к этому ЗУ соседних процессоров. В случае необходимости несколько ЗУ могут объединяться в ходе решения задачи, например, для создания общего банка данных. Конфигурация памяти, ее распределение между процессорами могут динамически меняться и соответствовать с реализуемым алгоритмом, обеспечивая оптимальное использование общего объема ЗУ.

Мультипроцессорная система может иметь одну общую магистраль. Такая структура эффективна при небольшом числе процессоров в системе (2...4). При большом числе процессоров одномагистральную структуру можно использовать для реализации ряда алгоритмов последовательной обработки информации. При использовании алгоритмов параллельной обработки необходимое число магистралей значительно возрастает. В системах, реализующих эти алгоритмы, процессоры или группы процессоров соединяются отдельными магистралями. Соединения процессоров в таких системах имеют матричную или многомерную структуру.

КОНТРОЛЬНЫЕ ВОПРОСЫ И УПРАЖНЕНИЯ

1. Каков диапазон представляемых чисел (со знаком) в 24-разрядной цифровой системе при фиксированной и плавающей точке?

2. Представьте числа 187324 и 0.003682 в стандартном формате с плавающей точкой.

3. Представьте десятичные числа 99 и 382 в двоичном, восьмеричном и шестнадцатеричном коде и двоично-десятичном коде «с избытком 3».

4. Какова должна быть разрядность чисел с фиксированной точкой, чтобы обеспечить такой же диапазон представления, как 32-разрядные числа с плавающей точкой?

5. Произведите сложение и вычитание чисел (+96 и -33), (-27 и +42) используя обратный код, дополнительный код, код «с избытком 3».

6. Выполните умножение и деление чисел (34 и 13), (22 и 43) в двоичном коде, используя методы, описанные в § 1.2.

7. Используя законы булевой алгебры, минимизируйте следующие функции:

$$Y_1 = X_1 X_2 \vee X_2 X_3 \vee X_1 X_2 X_3 \vee X_1 X_2 X_3;$$

$$Y_2 = X_1 X_3 \vee X_1 X_3 X_3 \vee X_1 X_3 \vee X_1 X_2 X_3 \vee X_2 X_3.$$

8. Используя законы булевой алгебры, проверьте справедливость следующих равенств:

$$\bar{A}(B \vee \bar{C}) = A(B \vee C) \vee B(A \vee C); (A\bar{B} \vee \bar{A}B)C = (AC \vee BC)(\bar{A}B);$$

$$AB \vee \bar{A}\bar{B} \vee \bar{A}BC = AB\bar{C} \vee \bar{A}\bar{B} \vee BC;$$

$$ABC \vee \bar{B}\bar{C}D \vee ACD = ABC \vee \bar{B}\bar{C}D \vee \bar{A}BD;$$

$$\bar{A}B(AC \vee \bar{B}) \vee (A \vee \bar{B})(A\bar{B}\bar{C} \vee \bar{A}BC) = \bar{A}C \vee \bar{B}\bar{C};$$

$$A \oplus (B \oplus C) = (A \oplus B) \oplus C, \quad A(B \oplus C) = (AB) \oplus (AC).$$

9. Используя карты Карно, минимизируйте функции:

$$Y_3 = X_1X_4 \vee X_1X_3 \vee X_2X_4 \vee X_3 \vee X_4;$$

$$Y_4 = (X_1, X_2, X_3, X_4) = \Sigma(3, 4, 5, 7, 9, 13, 14, 15);$$

$$Y_5 = (X_1, X_2, X_3, X_4) = \Sigma(2, 5, 6, 8, 12, 15) + \Sigma_n(1, 13);$$

$$Y_6 = (X_1, \dots, X_5) = \Sigma(0, 1, 2, 3, 4, 5, 6, 7, 16, 17, 20, 21) + \Sigma_n(24, 25, 27, 28, 30).$$

10. Покажите с помощью карты Карно (см. рис. 1.3,г), что простая импликанта $P_1 = \bar{A}\bar{B}$ не является существенной.

11. Для каждой импликанты функций F_5 и \bar{F}_5 , данной в табл. 1.12, укажите покрываемые ими минтермы.

12. Минимизируйте функцию F_5 , заданную табл. 1.12, с помощью карт Карно. Результат сравните с МДНФ, полученной методом Квайна — Маккласки.

13. С помощью метода Квайна — Маккласки минимизируйте функции:

$$Y_7(X_1, \dots, X_5) = \Sigma(0, 1, 2, 3, 5, 7, 9, 11, 17, 19, 29, 31) + \Sigma_n(4, 6, 13, 15, 21, 23, 25, 27);$$

$$Y_8(X_1, \dots, X_6) = \Sigma(1, 3, 4, 12, 28, 39, 48, 63) + \Sigma_n(0, 8, 23, 30, 43, 49).$$

Результат сравните с МДНФ, полученной с помощью карт Карно.

14. Выполните, если возможно, декомпозицию, представив заданные функции:

$$Y_9(X_1, \dots, X_4) = \Sigma(0, 3, 5, 6, 8, 10, 13, 15) \text{ в виде } f[g(X_1, X_2), X_3, X_4];$$

$$Y_{10}(X_1, \dots, X_5) = X_1X_2X_4X_5 \vee X_1X_3X_4X_5 \vee X_1X_4 \vee X_2X_3X_4$$

в виде $f[g_1(X_1, X_2, X_3), X_4, X_5]$,

$$\text{где } g_1(X_1, X_2, X_3) = f'[g'_1(X_2, X_3), X_1].$$

15. Проведите совместную минимизацию данных систем функций с помощью карт Карно и методом Квайна — Маккласки:

$$\begin{cases} Y_{12} = B\bar{C}D \vee \bar{A}B\bar{C} \vee BCD \vee \bar{A}B\bar{C}D \vee AB\bar{C}D; \\ Y_{13} = \bar{A}BD \vee B\bar{C}D \vee ABD \vee \bar{A}B\bar{C} \vee AB\bar{C}D; \end{cases}$$

$$\begin{cases} Y_{14}(X_1, \dots, X_4) = \Sigma(5, 7, 12, 13) + \Sigma_n(2); \\ Y_{15}(X_1, \dots, X_4) = \Sigma(0, 1, 2, 5) + \Sigma_n(7); \\ Y_{16}(X_1, \dots, X_4) = \Sigma(1, 2, 5, 12) + \Sigma_n(13). \end{cases}$$

Сравните полученные выражения. Определите, насколько их сложность меньше, чем при отдельной минимизации функций.

16. Выполните совместную минимизацию функций S и Z , представив $S=f(A, B, C, Z)$ в соответствии с выражением (1.28) как

$$S = ABC \vee \bar{A}B\bar{C} \vee \bar{A}B\bar{C} \vee \bar{A}BC; \quad Z = AB \vee AC \vee BC$$

Сравните сложность этих выражений с МДНФ, полученными при отдельной минимизации функций.

Глава 2. БАЗОВЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

В процессе развития микросхемотехники выделилось несколько типов схем логических элементов, имеющих достаточно хорошие характеристики и удобных для реализации в интегральном исполнении, которые служат элементной базой современных цифровых микросхем. Эти базовые элементы выпускаются в виде отдельных микросхем (МИС) либо входят в состав функциональных узлов и блоков, реализованных в виде СИС, БИС, СБИС. Базовые элементы включаются в состав библиотек функциональных элементов, из которых создаются заказные и полузаказные БИС. В матричных БИС различные схемные варианты этих элементов реализуются путем соответствующего соединения компонентов базовых ячеек, расположенных на кристалле.

В данной главе рассматриваются принцип действия и основные параметры наиболее распространенных типов базовых элементов, которые реализуются на основе биполярных или МДП-транзисторов в кремниевых микросхемах и на основе полевых транзисторов с барьером Шоттки в микросхемах на арсениде галлия.

2.1. ОСНОВНЫЕ ПАРАМЕТРЫ И ХАРАКТЕРИСТИКИ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Логическое состояние элементов определяется значениями электрического потенциала на их входах и выходах. Элементы характеризуются следующей системой параметров: потенциалы, соответствующие 0 и 1; U^0 , U^1 ; порог переключения V_n ; число входов (коэффициент объединения по входу) M ; входные токи

$U_{вх}^0$ при $U_{вх} = U^0$ и $I_{вх}$ при $U_{вх} = U^1$; коэффициент разветвления по выходу N (нагрузочная способность); устойчивость к помехам положительной и отрицательной полярности U_n^+ , U_n^- ; мощность P , или ток I_n , потребляемые от источника питания; задержки переключения t^{01} , из состояния 0 на выходе в состояние 1 и t^{10} , из состояния 1 в состояние 0. Параметры определяются по статическим и переходным характеристикам элементов.

Основной статической характеристикой логических элементов является передаточная характеристика $U_{вых} = f(U_{вх})$ — зависимость потенциала на выходе от потенциала на одном из входов при постоянных значениях потенциала (U^0 или U^1) на остальных входах. По типу передаточной характеристики элементы делятся на *инвертирующие*, на выходе которых образуется инверсия входных сигналов (элементы НЕ, И—НЕ, ИЛИ—НЕ и др.), и *неинвертирующие*, сигналы на выходе которых не инвертируются (элементы И, ИЛИ и др.)¹. Типичная передаточная характеристика инвертирующего элемента показана на рис. 2.1,а, неинвертирующего — на рис. 2.1,б. Так как в цифровом устройстве должно быть обеспечено четкое разделение (квантование) уровней логических 0 и 1, то передаточная характеристика имеет три явно выраженных участка: I — соответствующий состоянию $U_{вых} = U^0$, II — состоянию $U_{вых} = U^1$, III — промежуточному состоянию. Значения потенциала $U_{вх}$, соответствующие границам участков, называются *порогами переключения* V_n^0 и V_n^1 , область между порогами — *зоной неопределенности*.

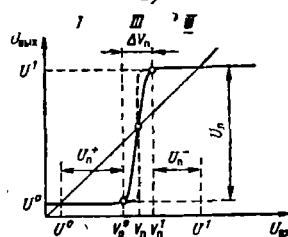
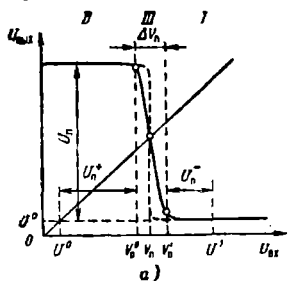


Рис. 2.1. Передаточные характеристики инвертирующего (а) и неинвертирующего (б) логических элементов

При последовательном соединении нескольких логических элементов их общая передаточная характеристика будет иметь более резкое разделение участков I и II, как показано штриховой линией на рис. 2.1. Если на входах элементов последовательной цепи установлены логические уровни U^0 или U^1 , то при поступлении положительной помехи величиной $V^+ > V_n^0 - U^0$ и отрицательной помехи $V^- > U^1 - V_n^1$ происходит переключение, не предусмотренное

¹ Ряд элементов, например реализующих функции Запрет, Импликация, являются инвертирующими для одних логических переменных и неинвертирующими — для других.

ное нормальным логическим функционированием. В схеме происходит собой, т. е. ложное изменение информации на выходе: 0 вместо 1 или наоборот.

Максимально допустимая величина потенциальной помехи, не вызывающая сбоя в цифровой схеме, называется *помехоустойчивостью* и определяется выражениями (рис. 2.1):

$$U^+_{п} = V^0_{п} - U^0; \quad U^-_{п} = U^1 - V^1_{п}; \quad (2.1)$$

$$U^+_{п} + U^-_{п} = U_{л} - \Delta V_{п}, \quad (2.2)$$

где $U_{л} = U^1 - U^0$ — логический перепад; $\Delta V_{п} = V^0_{п} - V^1_{п}$ — ширина зоны неопределенности. Таким образом, для повышения помехоустойчивости надо увеличивать $U_{л}$ и уменьшать $\Delta V_{п}$. Поэтому в цифровых схемах обеспечивают $\Delta V_{п} \ll U_{л}$ и приблизительно можно считать $V^0_{п} \approx V^1_{п} \approx V_{п}$, где $V_{п}$ — средний порог переключения.

Максимальная величина логического перепада ограничивается напряжением питания $U_{л} \leq U_{пп}$, вследствие чего из (1.26) получаем $(U^+_{п} + U^-_{п}) \leq U_{пп}$. Таким образом, сумма помехоустойчивостей $U^+_{п}$, $U^-_{п}$ не превышает напряжения питания.

Чтобы одновременно получить достаточно высокие значения $U^+_{п}$, $U^-_{п}$, следует использовать такие схемы, в которых средний порог переключения $V_{п}$ располагается приблизительно посередине между U^0 и U^1 . В этом случае значения $U^+_{п}$ и $U^-_{п}$ равны и составляют

$$U^+_{п} \approx U^-_{п} \approx U_{п} = 0,5 (U_{л} - \Delta V_{п}) \approx 0,5 U_{л} \leq 0,5 U_{пп}. \quad (2.3)$$

Эффективным средством повышения помехоустойчивости схем является получение *гистерезиса* на их передаточной характеристике (рис. 2.2). В этом случае $V^0_{п} > V^1_{п}$ и

$$U^+_{п} + U^-_{п} = U_{л} + U_{г}, \quad (2.4)$$

где $U_{г} = V^0_{п} - V^1_{п}$ — ширина петли гистерезиса. В предельном случае при $U_{г} \approx U_{л}$ достигается помехоустойчивость $U^+_{п} \approx U^-_{п} \approx U_{л}$, вдвое превышающая величину $U_{л}$ в схемах без гистерезиса.

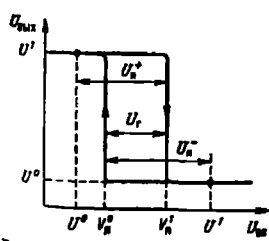


Рис. 2.2. Передаточная характеристика логического элемента с гистерезисом

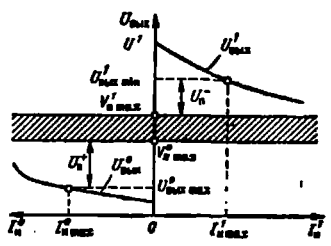


Рис. 2.3. Выходные характеристики логического элемента

Передаточные характеристики реальных схем имеют определенный разброс, обусловленный различием внешних условий, разбросом параметров компонентов и другими факторами. При этом значения уровней U^0 , U^1 и порогов V^0_n , V^1_n заключены в диапазонах

$$U^0_{\min} \leq U^0 \leq U^0_{\max}, \quad V^0_{n \min} \leq V^0_n \leq V^0_{n \max},$$

$$U^1_{\min} \leq U^1 \leq U^1_{\max}, \quad V^1_{n \min} \leq V^1_n \leq V^1_{n \max}.$$

Значения U^+_{n} , U^-_{n} определяются для наихудшего сочетания факторов:

$$U^+_{n} = V^0_{n \min} - U^0_{\max}, \quad U^-_{n} = U^1_{\min} - V^1_{n \max}. \quad (2.5)$$

Передаточная характеристика зависит от потенциалов шин питания ($U_{\text{шп}}$) и земли ($U_z = 0$). Действие помех $V_{\text{ш}}$, возникающих на этих шинах, можно представить как изменение потенциалов $U'_{\text{шп}} = U_{\text{шп}} \pm V_{\text{ш}}$, $U'_z = \pm V_{\text{ш}}$ и определить получающуюся при этом передаточную характеристику. Помехоустойчивость находится с помощью этой передаточной характеристики как максимальная величина $V_{\text{ш}}$, при которой сохраняются значения U^-_{n} , $U^-_{n} > 0$.

Если на входы схемы или шины питания и земли поступают импульсные помехи амплитудой V_n и длительностью t_n , то при достаточно больших значениях t_n их действие аналогично действию потенциальной помехи такой же величины. Импульсные помехи малой длительности, сравнимой с временем переключения схемы ($t_n \leq t_{\text{с}}^{0,1}$, $t_{\text{с}}^{1,0}$), не успевают произвести ложное переключение схемы даже при значительной их амплитуде V_n . Таким образом, при уменьшении длительности помехи t_n для создания сбоя требуется увеличение ее амплитуды, т. е. импульсная помехоустойчивость для большинства логических схем повышается при уменьшении длительности помехи.

Входная характеристика логических элементов $I_{\text{вх}} = f(U_{\text{вх}})$ служит для определения входных токов: $I^0_{\text{вх}} \geq 0$, вытекающего из схемы при $U_{\text{вх}} = U^0$, $I^1_{\text{вх}} \leq 0$ и втекающего в схему при $U_{\text{вх}} = U^1$.

Выходные характеристики логических элементов $U^0_{\text{вых}} = f(I^0_n)$ и $U^1_{\text{вых}} = f(I^1_n)$ показаны на рис. 2.3. Значения втекающего I^0_n или вытекающего I^1_n выходных токов зависят от числа нагрузок n :

$$I^0_n = nI^0_{\text{вх}}, \quad I^1_n = nI^1_{\text{вх}}. \quad (2.6)$$

Наклон выходных характеристик определяет выходные сопротивления схемы: $R^0_{\text{вых}} = dU^0_{\text{вых}}/dI^0_n$, $R^1_{\text{вых}} = dU^1_{\text{вых}}/dI^1_n$. По выходным характеристикам определяются максимально допустимые токи нагрузки (см. рис. 2.3): $I^0_{n \max}$, соответствующий значению $U^0_{\text{вых} \text{ мин}}$ и $I^1_{n \max}$, соответствующий $U^1_{\text{вых} \text{ мин}}$.

Значения $U^0_{\text{вых} \text{ макс}}$ и $U^1_{\text{вых} \text{ мин}}$ находятся по заданным величинам U^+_{n} , U^-_{n} и известным $V^0_{n \max}$, $V^1_{n \min}$ с помощью выражений (2.5). Если нагрузкой служат идентичные логические схемы, принимающие входные токи $I^0_{\text{вх}}$, $I^1_{\text{вх}}$, то отношения $N_0 = I^0_{n \max}/I^0_{\text{вх}}$, $N_1 = I^1_{n \max}/I^1_{\text{вх}}$ определяют максимальное число схем — нагрузок, при

которых уровни соответственно U^0 , U^1 сохраняются в пределах $U^0 \leq U^0_{max}$, $U^1 \geq U^1_{min}$, требуемых для обеспечения заданных значений $U^+_{п}$, $U^-_{п}$. Коэффициент разветвления на выходе

$$N = \min(N_0, N_1), \quad (2.7)$$

где N_0 и N_1 округляются до ближайшего меньшего целого числа. Как видно из рис. 2.3, токи $I^0_{п max}$ и $I^1_{п max}$ и соответственно значения N_0 , N_1 зависят от заданных значений $U^+_{п}$, $U^-_{п}$. При увеличении $U^+_{п}$, $U^-_{п}$ значения $I^0_{п max}$, $I^1_{п max}$ и N_0 , N_1 , N уменьшаются.

Для построения большинства цифровых схем достаточно иметь элементы с числом входов $M=3 \dots 4$. Увеличение числа входов обычно ухудшает другие параметры элементов, например быстродействие. Поэтому в цифровых схемах используются элементы с $M=1 \dots 4$. Для тех случаев, когда требуются элементы с повышенным числом входов, в некоторые серии микросхем вводятся специальные расширители числа входов, подключение которых к элементу позволяет довести их число входов до требуемой величины.

Мощность P_z и ток $I_{п}$, потребляемые элементом от источника питания, зависят от его логического состояния. Схема потребляет ток $I^0_{п}$ при $U_{вых} = U^0$ и ток $I^1_{п}$ при $U_{вых} = U^1$. Средняя мощность, потребляемая в статическом режиме, определяется из выражения

$$P_z = 0,5U_{вп}(I^0_{п} + I^1_{п}) = U_{вп}I_{п}. \quad (2.8)$$

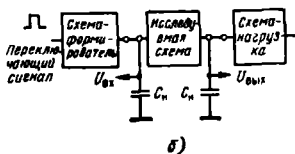
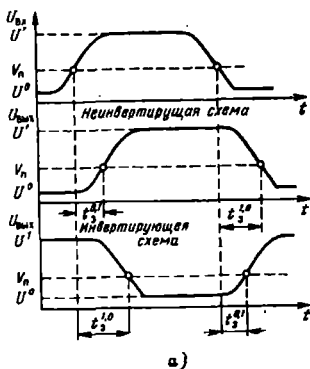
Для сокращения потребляемой мощности можно снижать напряжение $U_{вп}$, однако при этом согласно (2.3) уменьшаются значения $U_{п}$.

В процессе переключения ряда типов элементов ток в цепи питания существенно увеличивается. Вследствие этого элементы потребляют дополнительную динамическую мощность P_d , значение которой пропорционально частоте переключения $f_{п}$. В результате общая мощность $P_0 = (P_z + P_d)$, потребляемая в режиме переключения, оказывается больше мощности P_z в статическом режиме. Например, для элементов на комплементарных МДП-транзисторах (см. § 2.5) $P_z \approx 0$ и основная часть энергии источника питания расходуется на перезаряд паразитной емкости $C_{п}$. Расход энергии за один период переключения $T_{п} = 1/f_{п}$ составляет $W_{п} = C_{п}U_{л}^2$, так как потенциал на емкости $C_{п}$ изменяется при этом на величину $U_{л}$. Для элементов на комплементарных МДП-транзисторах $U_{л} \approx U_{п}$ и общая мощность

$$P_0 = P_d \approx C_{п}U_{вп}^2/T_{п} = C_{п}U_{вп}^2 f_{п}. \quad (2.9)$$

Задержки $t^{1,0}$, и $t^{0,1}$, характеризующие быстродействие элементов, определяются с помощью переходных характеристик (рис. 2.4, а). Чтобы оценить быстродействие в условиях, соответствующих работе в цифровых устройствах, измерение переходных характеристик следует производить в цепи последовательно включенных элементов (рис. 2.4, б). Предшествующие элементы фор-

Рис. 2.4. Переходные характеристики инвертирующего и неинвертирующего логических элементов (а) и схема их измерения (б)



а)

б)

мируют на входе исследуемого элемента переключающий сигнал $U_{вх}$, а к его выходу подключены n элементов-нагрузок. Емкость нагрузки C_n учитывает паразитные емкости соединений элементов. Задержки $t^{1,0}$ и $t^{0,1}$ определяются как промежутки времени между моментами достижения входным и выходным потенциалами порога переключения V_n . Значения $t^{0,1}$ и $t^{1,0}$ существенно зависят от числа нагрузок n и емкости C_n .

Одним из важнейших параметров является средняя задержка

$$t_3 = 0,5(t_3^{0,1} + t_3^{1,0}), \quad (2.10)$$

которая определяет среднее время выполнения логических операций. Параметр t_3 обычно рассчитывают по измеренным значениям $t^{0,1}$ и $t^{1,0}$.

Для инвертирующих элементов можно найти t_3 с помощью цепочки из нечетного числа последовательно соединенных элементов, замкнутой в кольцо (рис. 2.5). Логический сигнал (0 или 1), поступивший на вход первого элемента, после прохождения всей цепи инвертируется. Инвертированный сигнал по цепи обратной связи поступает на вход первого элемента и вызывает последовательное переключение всей цепи. Еще раз инвертировавшись после прохождения цепи, сигнал снова поступает на вход первого элемента, вызывая очередное переключение. В результате происходит периодическое изменение потенциалов входов и выходов элементов от U^0 до U^1 , т. е. в цепи генерируются импульсы, амплитуда которых равна логическому перепаду U_n . Такое соединение схем (см. рис. 2.5) называется *кольцевым генератором*. Время однократного прохождения сигнала (переключения цепи) равно $k_1 t_3$, где k_1 — число схем в генераторе, t_3 — их средняя задержка. Так как период генерируемых импульсов

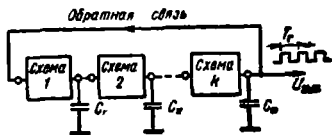


Рис. 2.5. Кольцевой генератор (k — нечетное число)

равен времени прохождения двух логических сигналов 0 и 1, то его длительность $T_r = 2k_r t_a$. Значение t_a для элементов кольцевого генератора можно определить, измеряя период T_r или частоту f_r генерируемых импульсов: $t_a = T_r / 2k_r = 1 / 2k_r f_r$.

Обычно используют кольцевые генераторы, содержащие $k_r = 7 \dots 9$ схем, для которых находится усредненная величина t_a . Данный способ применяется для измерения t_a элементов БИС. В этом случае кольцевые генераторы изготавливаются непосредственно на кристалле БИС и исследуемые элементы работают в реальных условиях.

Задержку можно приближенно считать суммой времен переключения транзисторов в элементе t_T и перезаряда паразитных емкостей t_n . Время переключения t_T биполярных и МДП-транзисторов определяется временем пролета носителей через базу или канал и собственными постоянными времени, определяемыми как произведение емкостей транзисторов на омические сопротивления базы, коллектора или стока, истока. В современных цифровых микросхемах, где граничная частота транзисторов f_T достигает $5 \dots 10$ ГГц, значения $t_T \approx 1 / 2\pi f_T$ составляют десятки пикосекунд.

Для элементов на биполярных транзисторах

$$t_a \approx k_T t_T + t_n \approx k_T t_T + C_n U_n / I_n = k_T t_T + C_n U_n U_{ин} / P_3, \quad (2.11)$$

где k_T — число последовательно переключаемых транзисторов; C_n — общая паразитная емкость, перезаряжаемая в процессе переключения; t_n — время изменения ее потенциала на величину U_n под действием тока, средняя величина которого $I_n = P_3 / U_{ин}$. Так как обычно $k_T t_T \ll t_n$, то повышение быстродействия элементов можно получить путем увеличения мощности P_3 или снижения напряжения $U_{ин}$, уменьшения перепада U_n и емкости C_n . Это достигается схемотехническими методами (разработка схем, работающих с малыми значениями U_n и $U_{ин}$, занимающих малую площадь на кристалле) и конструктивно-технологическими методами (уменьшение размеров компонентов, обеспечение отвода теплоты для рассеивания большей мощности).

В соответствии с (2.3) уменьшение U_n приводит к снижению помехоустойчивости. Поэтому элементы с малым перепадом U_n могут работать только при малых уровнях помех, которые обеспечиваются внутри БИС и СБИС, где их значения обычно не превышают $10 \dots 20$ мВ. Минимальная величина перепада для элементов биполярных БИС и СБИС может составлять $U_{n \min} = (4 \dots 5) (m_T \varphi_T) = 100 \dots 200$ мВ $\approx V_n$, где φ_T — температурный потенциал ($\varphi_T = 26$ мВ при $T = 25^\circ \text{C}$), $m_T = 1 \dots 2$ — фактор, учитывающий неидеальность вольт-амперной характеристики реального $p-n$ перехода (обычно $m_T \approx 1,5$). Вследствие малых размеров компонентов и их соединений значение C_n для них обычно не превышает нескольких пикофард. Для уменьшения P_3 эти элементы часто имеют пониженное напряжение питания ($U_{ин} = 2 \dots 3$ В и менее).

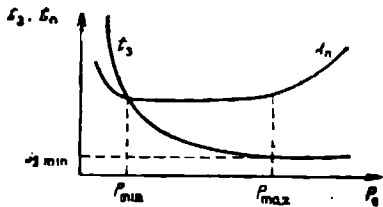


Рис. 2.6. Зависимость задержки и энергии переключения от потребляемой мощности

В печатных или проводных соединениях между микросхемами уровень помех достигает 100 ... 200 мВ и более. Поэтому передаваемые по ним логические сигналы должны иметь перепад U_{Δ} не менее 0,5 ... 1 В. Кроме того, эти соединения имеют значительную емкость (десятки пикофард и более), для достаточно быстрого перезаряда которой требуются значительные токи.

Если внутри БИС (или СБИС) используются быстродействующие элементы с пониженным перепадом U'_{Δ} , то на выходах и входах БИС включаются специальные буферные элементы-трансляторы, которые преобразуют внутренние сигналы с перепадом U'_{Δ} во внешние сигналы с достаточно высоким перепадом U_{Δ} и наоборот. Входные трансляторы обеспечивают необходимую помехоустойчивость БИС по отношению к помехам во внешних соединениях, а выходные трансляторы обеспечивают протекание значительных токов нагрузки, которые требуются для переключения цифровых устройств и паразитной емкости, подключенных к выходам.

Вид типовой зависимости $t_3 = f(P_3)$ показан на рис. 2.6. При повышении P_3 и постоянном значении $U_{\text{мин}}$ увеличивается ток I_3 и задержка уменьшается вследствие ускорения процессов перезаряда паразитных емкостей. Для элементов на биполярных транзисторах в значительном диапазоне изменения мощности ($P_{\text{мин}} \leq P_3 \leq P_{\text{max}}$) наблюдается обратно пропорциональная зависимость $t_3 \sim 1/P_3$. При увеличении мощности ($P_3 > P_{\text{max}}$) задержка элементов стремится к минимальной величине $t_{3 \text{ мин}}$, определяемой физическими параметрами используемых транзисторов. Для элементов на биполярных транзисторах, работающих в режиме насыщения, величина $t_{3 \text{ мин}}$ определяется в основном постоянной времени рассасывания избыточного заряда τ_p . Если транзисторы работают в ненасыщенном режиме, то $t_{3 \text{ мин}} \approx k_T t_T$.

При снижении мощности ($P_3 < P_{\text{мин}}$) существенно уменьшаются коэффициенты усиления биполярных транзисторов, так как их рабочие токи оказываются малыми. Вследствие этого уменьшаются средние значения токов, протекающих через транзисторы в процессе переключения элементов и обеспечивающих перезаряд паразитных емкостей. В результате возрастание задержки оказывается более значительным, чем согласно соотношению $t_3 \sim 1/P_3$.

Для сравнительной оценки логических элементов часто используют параметр, называемый *энергией переключения*:

$$A_n = P_3 t_3. \quad (2.12)$$

Для большинства типов элементов (исключение составляют элементы на комплементарных МДП-транзисторах и некоторые дру-

гие) этот показатель оказывается постоянным в диапазоне мощностей $P_{\min} \leq P_s \leq P_{\max}$ и характеризует качество схемотехнического проектирования и конструкторско-технологической реализации элемента. Непрерывное снижение A_n характерно для развития цифровой техники. За последние 10 лет величина A_n снизилась более чем на порядок и для элементов БИС в настоящее время достигает $A_n = (0,01 \dots 1) \cdot 10^{-12}$ Дж. Следует заметить, что теоретический предел значения A_n для полупроводниковых логических элементов составляет, по разным оценкам, от 10^{-15} до 10^{-18} Дж.

Для элементов на комплементарных МДП-транзисторах заряд емкости C_n обеспечивается током $I_n \approx b_m U_{\text{ин}}^2$, где b_m — удельная крутизна МДП-транзисторов, которая определяется их физическими характеристиками (см. § 2.5). Задержку переключения этих элементов можно приближенно оценить как

$$t_s \approx k_T t_T + t_n \approx k_T t_T + C_n U_{\text{ин}} / I_n = k_T t_T + C_n / b_m U_{\text{ин}} \approx \approx C_n / b_m U_{\text{ин}}. \quad (2.13)$$

Из (2.12) следует, что задержка переключения этих элементов определяется главным образом конструктивно-технологическими факторами, которые задают значения C_n и b_m . При уменьшении напряжения ($U_{\text{ин}} = U_n$) задержка переключения возрастет, т. е. применение элементов с пониженным перепадом нецелесообразно. Поэтому в БИС на комплементарных МДП-транзисторах используется значительный перепад: $U_n = 5 \dots 9$ В — такой же, как во внешних цепях. Буферные каскады на выходах таких БИС не изменяют величину U_n , а служат для обеспечения значительных выходных токов, ускоряющих перезаряд большой емкости нагрузки.

В современных цифровых системах используются элементы, имеющие различные быстродействие и потребляемую мощность. По быстродействию элементы делятся на сверхбыстродействующие ($t_s < 1$ нс), быстродействующие ($t_s = 1 \dots 10$ нс), среднего ($t_s = 10 \dots 100$ нс) и малого ($t_s > 100$ нс) быстродействия. По потребляемой мощности элементы подразделяются на микромощные ($P_s < 0,1$ мВт), маломощные ($P_s = 0,1 \dots 1$ мВт), средней ($P_s = 1 \dots 10$ мВт) и высокой ($P_s > 10$ мВт) мощности. Многие параметры элементов существенно зависят от напряжения источника питания $U_{\text{ин}}$. При снижении $U_{\text{ин}}$ уменьшается потребляемая мощность, но и обычно ухудшаются помехоустойчивость, нагрузочная способность, а иногда и быстродействие. Поэтому $U_{\text{ин}}$ выбирается с учетом требований, предъявляемых ко всем параметрам элемента. Напряжение $U_{\text{ин}}$ должно соответствовать одному из значений стандартного ряда напряжений питания: 1,2; 1,6; 2,0; 2,4; 3,0; 4,0; 5,0; 6,3; 9,0; 12,6 В. Для цифровых микросхем на биполярных транзисторах типовые значения $U_{\text{ин}}$ составляют 2...5 В, для микросхем на МДП-транзисторах 5...9 В.

Помимо номинального значения $U_{\text{нп}}$ определяется допустимое отклонение напряжения питания $\varepsilon_{\text{п}} = \Delta U_{\text{нп}} / U_{\text{нп}}$. Обычно для цифровых устройств задается $\varepsilon_{\text{п}} = 0,05$ или $0,1$, так как при более низких значениях $\varepsilon_{\text{п}}$ существенно повышаются требования к источникам питания. Элемент проектируется так, чтобы обеспечить требуемые параметры в диапазоне напряжений питания от $U_{\text{п min}} = U_{\text{нп}}(1 - \varepsilon_{\text{п}})$ до $U_{\text{п max}} = U_{\text{нп}}(1 + \varepsilon_{\text{п}})$. Часто указывают также предельно допустимое напряжение питания $U_{\text{пр}}$, при превышении которого элемент может выйти из строя. Величина $U_{\text{пр}}$ определяется пробивными напряжениями транзисторов в схеме и предельно допустимым значением рассеиваемой мощности.

Большинство параметров существенно зависят от температуры. Поэтому всегда указывается рабочий диапазон температур $T^{\circ}_{\text{min}} - T^{\circ}_{\text{max}}$, в пределах которого параметры элементов имеют заданные значения. Задаваемый температурный диапазон определяется ожидаемыми условиями работы микросхем. Для микросхем, предназначенных для работы в бортовой радиоэлектронной аппаратуре, типовой диапазон рабочих температур составляет $-60 \dots +125^{\circ}\text{C}$. Для микросхем, предназначенных для работы в менее жестких условиях, обычно задают более узкий диапазон температур, например $-10 \dots +70^{\circ}\text{C}$ или $-30 \dots +85^{\circ}\text{C}$.

2.2. ОБЩАЯ МЕТОДИКА СХЕМОТЕХНИЧЕСКОГО ПРОЕКТИРОВАНИЯ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Микроэлектронные логические элементы представляют собой соединение компонентов (транзисторов, резисторов, диодов и др.), каждый из которых выполняет определенные функции преобразования электрического тока или потенциала. В результате этого выполняется заданная логическая функция, т. е. происходит определенное преобразование логических сигналов (0 и 1), поступающих на входы элемента в виде потенциалов U^0, U^1 , в выходные логические сигналы, также представляемые потенциалами U^0, U^1 . В процессе схемотехнического проектирования и логических элементов создается схема соединения компонентов, обеспечивающая необходимое преобразование электрических сигналов и удовлетворяющая заданным требованиям к ее параметрам (см. § 2.1).

Чтобы выполнить синтез электрической схемы элемента, реализующего заданную логическую функцию, необходимо определить соответствие между электрическими и логическими функциями, выполняемыми различными компонентами. Общая структура схемы представляется в виде соединения двух- и трехполюсных компонентов (рис. 2.7). Компоненты с большим числом полюсов (многоэмиттерные и многоколлекторные транзисторы, диодные сборки и др.) представляются как совокупность нескольких компонентов. В этой обобщенной структуре выделяются узлы и ветви, входящие в цепи передачи информации между логи-

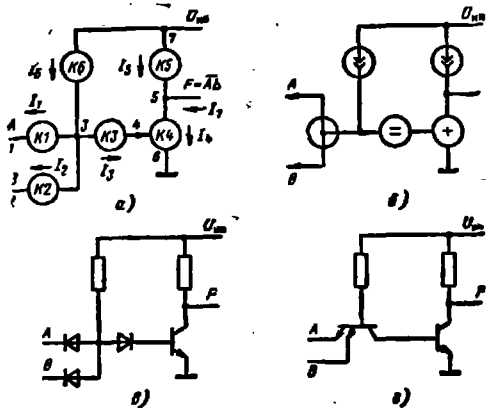


Рис. 2.7. Общая структура (а), токовый граф (б) и варианты схемной реализации (в, г) элемента И-НЕ

ческими входами и выходами схемы (узлы 1—5, ветви K1—K4 на рис. 2.7,а). Назовём такие узлы и ветви информационными. Остальные узлы и ветви схемы обеспечивают режим работы компонентов в информационных цепях, необходимый для их нормального функционирования. Данные узлы и ветви назовём параметрическими (узлы 6, 7, ветви K5, K6 на рис. 2.7,а).

Логическое состояние информационных узлов определяется величиной их электрического потенциала:

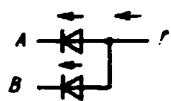
$$U^0_i < V_{pi}, U^1_i > V_{pi},$$

а состояние информационных ветвей — величиной протекающего тока:

$$I^0_j < I_{pi}, I^1_j > I_{pi},$$

где i, j — номера соответствующих узлов и ветвей; V_{pi}, I_{pi} — пороговые значения потенциала и тока. Значения U^0_i, U^1_i, V_{pi} и I^0_j, I^1_j, I_{pi} для различных узлов и ветвей схемы могут быть разными. В частности, для внутренних узлов U^0_i, U^1_i часто не совпадают со значениями U^0, U^1 , принятыми для входных и выходных логических сигналов. Потенциалы U^1_i, U^1_i, V_{pi} и токи I^0_j, I^1_j, I_{pi} могут иметь как положительные, так и отрицательные значения, причем отрицательными будем считать токи, текущие против потока информации, передаваемой от логических входов к выходам.

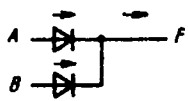
Двухполюсные компоненты (диоды, резисторы) выполняются в информационных ветвях только функцию Тождественность. Однако соединение этих компонентов позволит реализовать конъюнкцию



Информация →

A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

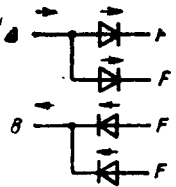
а)



Информация →

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

б)



Информация →

A	F
0	0
1	1

в)

Рис. 2.8. Объединение и разветвление токов, реализующие конъюнкцию (а) дизъюнкцию (б), повторение (в)

конъюнкцию и дизъюнкцию. На рис. 2.8,а,б показаны соединения объединяющие входные (втекающие или вытекающие) токи. В этих соединениях выходной ток I_0 течет, если имеется ток хотя бы в одной входной ветви. В соединении на рис. 2.8,а направление протекания тока противоположно распространению информации. Поэтому наличие в ветви тока $I_0 < I_{ni} = 0$ соответствует состоянию логического 0. Логическое состояние ветвей при таком соединении представляется таблицей истинности (на рис. 2.8,а), из которой следует, что данное соединение реализует операцию конъюнкции: $F = AB$. В соединении на рис. 2.8,б наличие тока в ветви соответствует логической 1: $I_i > I_{ni} = 0$. В соответствии с таблицей истинности (рис. 2.8,б) это соединение выполняет операцию дизъюнкции: $F = A \vee B$. Таким образом, при объединении токов реализуются операции конъюнкции или дизъюнкции в зависимости от направления протекания токов.

Соединение на рис. 2.8,в (разветвитель) реализует операцию тождественности ($F = A$). Такое соединение используется в цифровых схемах для разветвления логического сигнала.

В ветвях объединителей и разветвителей тока (ОТ и РТ) могут включаться диоды, резисторы или транзисторы (табл. 2.1). Диодные ОТ и РТ обеспечивают однонаправленное протекание тока. При этом имеются два встречно включенных диода между любыми узлами ОТ и выходными узлами РТ, обеспечивающие достаточно хорошую электрическую изоляцию этих узлов друг от друга. Резисторные ОТ и РТ могут пропускать ток в любых направлениях в зависимости от потенциалов входных и выходных узлов. Частным случаем резисторных (при $R \rightarrow 0$) являются монтажные ОТ и РТ. Для этих соединений характерным является равенство потенциала всех входных и выходных узлов. Если

задать входные логические сигналы в виде токов, то монтажные ОТ, как и диодные (см. рис. 2.8), реализуют над ними логические операции И либо ИЛИ, в зависимости от направления протекания токов. Поэтому такие объединители представляются как логические элементы, называемые Монтажное И, Монтажное ИЛИ. Трехполюсным компонентом в современных цифровых схемах является биполярный или полевой (обычно МДП-транзистор). При работе в ключевом режиме транзистор имеет два логических состояния: открытое, при котором через него протекает ток, и закрытое, при котором ток отсутствует. В зависимости от этого выходные ветви транзистора принимают различные логические состояния: 0 или 1 в соответствии с величиной и направлением протекания тока. При его включении в информационных цепях один из выводов (база, затвор) служит логическим входом, второй — логическим выходом (для биполярных транзисторов это коллектор), третий может использоваться либо как вход, либо как выход. Различные варианты включения биполярного *n-p-n* транзистора и *n*-канального МДП-транзистора и реализуемые при этом логические функции показаны на рис. 2.9, а—в. Транзистор, работающий в ключевом режиме, можно рассматривать как простейший логический элемент, выполняющий при соответствующем

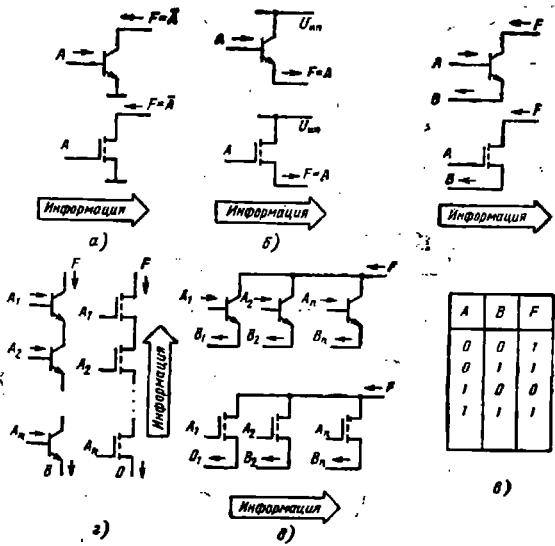
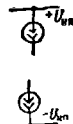

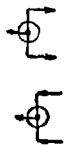




Рис. 2.9. Соединения транзисторов, реализующие функции Инверсия (а), Повторение (б), Импликация (в), Шеффера при $B=0$ (г), Вебба при $B_1=0$ (д)

Типы ФК	Условные обозначения
Источники тока (ИТ)	
Транзисторные ключи (ТК)	
Разветвители тока (РТ)	
Объединители тока (ОТ)	
Фиксаторы потенциала (ФП)	

Варианты схемной реализации	Логические операции	Электрические функции
	<p style="text-align: center;">—</p> <p style="text-align: center;">—</p>	<p style="text-align: center;">Задание тока</p>
	<p style="text-align: center;">Инверсив, Запрет</p> <p style="text-align: center;">Инверсия, Импликация</p>	<p style="text-align: center;">Переключение тока</p>
	<p style="text-align: center;">Тождественность</p> <p style="text-align: center;">Тождественность</p>	<p style="text-align: center;">Разветвление тока, усиление или ослабление тока</p>
	<p style="text-align: center;">Дизъюнкция</p> <p style="text-align: center;">Конъюнкция</p>	<p style="text-align: center;">Объединение тока, усиление или ослабление тока</p>
	<p style="text-align: center;">—</p>	<p style="text-align: center;">Согласование потенциалов</p>

щем включении функции Инверсия ($F=\bar{A}$), Тожественность ($F=A$), Импликация ($F=\bar{A}\vee B$).

При последовательном соединении транзисторов (рис. 2.9,а) логический выход одного из них подключается ко входу другого. В результате реализуются функции $F=\bar{A}_1\vee\bar{A}_2\vee\dots\vee\bar{A}_n\vee B$, если подать на вход B постоянный сигнал $B=0$, то выполняется операция И-НЕ: $F=\bar{A}_1\vee\bar{A}_2\vee\dots\vee\bar{A}_n=A_1A_2\dots A_n$.

При параллельном соединении транзисторов (рис. 2.9,б) логические выходы объединяются монтажным соединением (ОТ) реализующим операцию И. В результате выполняется функция $F=(\bar{A}_1\vee B_1)(\bar{A}_2\vee B_2)\dots(\bar{A}_n\vee B_n)$, которая при постоянных значениях $B_i=0$ преобразуется в операцию ИЛИ-НЕ: $F=\bar{A}_1\bar{A}_2\dots\bar{A}_n=A_1\vee A_2\vee\dots\vee A_n$.

Ключи на n - p - n и n -канальных транзисторах открываются при поступлении электрического сигнала (тока, потенциала) положительной полярности. Ключи на p - n - p и p -канальных транзисторах открываются сигналами отрицательной полярности (током или потенциалом). В зависимости от способа включения эти транзисторы реализуют логические операции Инверсии, Тожественность или Запрет ($F=AB$). При последовательном соединении таких транзисторов выполняется функция $F=\bar{A}_1\bar{A}_2\dots\bar{A}_nB$ или $F=\bar{A}_1A_2\dots\bar{A}_n=A_1\vee A_2\vee\dots\vee A_n$ при $B=1$, а при параллельном включении функция $F=B_1\bar{A}_1\vee B_2\bar{A}_2\vee\dots\vee B_n\bar{A}_n$ или $F=\bar{A}_1\vee\bar{A}_2\vee\dots\vee\bar{A}_n=A_1A_2\dots A_n$ при $B_i=1$.

Транзистор может использоваться в усилительном режиме. В этом случае он не выполняет логических функций, а осуществляет необходимое преобразование тока (усиление, ослабление) или потенциала (изменение на некоторую величину). В табл. 2.1 показано включение транзисторных усилителей тока в ОТ, РТ.

Для нормального функционирования компонентов в информационных ветвях требуется их подключение к шинам питания. Цепи питания можно представить в виде узлов с постоянным потенциалом (0 и $U_{\text{ип}}$), к которым компоненты информационных ветвей подключаются непосредственно или через параметрические ветви с источниками тока (ИТ). В качестве ИТ служат резисторы или транзисторы¹ (см. табл. 2.1), которые обеспечивают значение тока соответственно

$$I_{\text{ит}} = (U_{\text{ип}} - U_i) / R_{\text{и}}, \quad I_{\text{ит}} = (U_{\text{ип}} - U^* - U_{\text{см}}) / R_{\text{я}},$$

где $U_{\text{ип}}$, U_i — потенциалы шины питания и узла схемы, к которой подключен источник; $U_{\text{см}}$ — напряжение смещения; U^* — падение напряжения на открытом эмиттерном переходе транзистора. Таким образом, транзисторный ИТ обеспечивает постоянное значение тока, а ток резисторного ИТ зависит от состояния узла схемы, к которому он подключен.

¹ Возможны и другие варианты транзисторных ИТ, однако в цифровых микросхемах они используются редко.

В некоторые ветви схемы включаются компоненты, которые обеспечивают необходимую разность потенциалов между узлами. Такие компоненты используются, например, для изменения (сдвига) уровней U^0, U^1 или порога переключения $V_{\text{п}}$ на заданную (фиксированную) величину ΔU . В качестве компонентов, фиксирующих потенциал одного узла относительно другого, в современных цифровых схемах включаются резисторы или диоды (обычные или с барьером Шотки). Вместо диода для фиксации потенциала может использоваться открытый эмиттерный или коллекторный переход транзистора.

Резистор задает (фиксирует) между узлами разность потенциалов $\Delta U_i = I_i R$, которая определяется током ветви I_i . Разность потенциалов, фиксируемая диодом или переходом транзистора, составляет $\Delta U_i = U^* \approx 0,6 \dots 0,8$ В при $T = +25^\circ \text{C}$. Для диодов Шотки величина ΔU_i определяется выбором металла, используемого в качестве одного из контактов: $\Delta U_i = U_{\text{ш}}^* \approx 0,4 \dots 0,5$ В для Al, Pt Si и $0,2 \dots 0,3$ В для Mo, W. Так как эти компоненты имеют экспоненциальную вольт-амперную характеристику, то значение ΔU_i для них относительно слабо зависит от протекающего тока: при изменении тока в 10 раз значение ΔU_i изменяется всего на (3...4)%. При $T = +25^\circ \text{C}$ это изменение составляет 80...100 мВ. В схемах на МДП-транзисторах в качестве нагрузки транзисторных ключей используются ФП, показанные в табл. 2.1, которые обеспечивают падение напряжения $\Delta U_i = U_0 + \sqrt{I_i / b_m}$, где U_0 — пороговое напряжение отпирания (для нормально открытых транзисторов — запирающего). Таким образом, соответствующее соединение ОТ и ТК (см. табл. 2.1) позволяет реализовать любую логическую функцию, а включение необходимых ИТ, РТ, ФП обеспечивает нормальный электрический режим работы схемы.

Синтезировать электрическую схему логического элемента, выполняющего заданную функцию, можно с помощью метода токовых графов. Метод основан на использовании обобщенного представления разрабатываемой схемы с помощью графа, вершинами которого служат функциональные компоненты (ФК), выполняющие определенные операции над токами и потенциалами. Типы ФК, их условные обозначения, выполняемые электрические и логические функции приведены в табл. 2.1. Ветви графа, по которым течет ток, ориентируются в соответствии с его направлением. Ориентация указывается стрелками на концах ветвей. В качестве примера на рис. 2.7 приведены токовый граф элемента И—НЕ и вариант его реализации. Набор ФК представляет собой библиотеку функций (электрических и логических), достаточных для реализации любой логической операции. Для каждого ФК имеется библиотека схемотехнических реализаций (см. табл. 2.1). Эта библиотека включает для каждой реализации набор характеристик и параметров, необходимых для выполнения анализа синтезированной схемы. Синтез цифровых схем осуще-

ствляется путем перехода от заданного логического выражения к реализуемому его токовому графу и последующей замены ФК их схемными вариантами. Эта процедура выполняется следующим образом.

1. Для заданной логической функции находится ряд минимизированных форм представления (табл. 2.2). Для каждого из полученных выражений составляется исходный токовый граф включением ТК для реализации инверсии, запрета или импликации, ОТ для реализации дизъюнкции или конъюнкции, РТ для разветвления сигнала (размножения логических переменных). Исходные графы содержат ФК, необходимые для выполнения логических преобразований, но их недостаточно для электрического функционирования схемы.

Далее для каждого узла полученного графа проверяют выполнение закона Кирхгофа для токов, т. е. наличие как втекающих, так и вытекающих токов. Если втекающие или вытекающие токи отсутствуют, то к данному узлу подключают ИТ, задающий или отбирающий ток. К выходным узлам схемы подключают ФП, обеспечивающие необходимые уровни U^0, U^1 .

2. В полученных токовых графах ФК замещаются их возможными схемными реализациями (см. табл. 2.2). Выбор варианта схемной реализации начинается с ТК, в качестве которого в биполярных микросхемах обычно используют *n-p-n* транзисторы с барьером Шоттки или без него, а в МДП-микросхемах — *n*-ка-

Таблица 2.2

Формы представления логической функции

№	Форма представления ¹	Пример
1а	Дизъюнктивная (МДНФ): (НЕ) — И — ИЛИ	$\overline{A} \overline{B} \overline{A} C \vee C \overline{D}$
1б	Инверсно-конъюнктивная: (НЕ) — И — НЕ — И — НЕ	$\overline{(\overline{A} \overline{B}) (\overline{A} C) (\overline{C} \overline{D})}$
1в	Инверсно-конъюнктивная: (НЕ) — ИЛИ — И — НЕ	$\overline{(A \vee B) (A \vee \overline{C}) (\overline{C} \vee D)}$
1г	Дизъюнктивно-инверсная: (НЕ) — ИЛИ — НЕ — ИЛИ	$\overline{(A \vee B) \vee (A \vee \overline{C}) \vee (\overline{C} \vee D)}$
2а	Конъюнктивная (МКНФ): (НЕ) — ИЛИ — И	$(\overline{A} \vee C) (\overline{A} \vee \overline{D}) (\overline{B} \vee C)$
2б	Инверсно-дизъюнктивная: (НЕ) — ИЛИ — НЕ — ИЛИ — НЕ	$\overline{(\overline{A} \vee C) \vee (\overline{A} \vee \overline{D}) \vee (\overline{B} \vee C)}$
2в	Инверсно-дизъюнктивная: (НЕ) — И — ИЛИ — НЕ	$\overline{A C \vee A D \vee B C}$
2г	Конъюнктивно-инверсная: (НЕ) — И — НЕ — И	$\overline{(\overline{A} C) (\overline{A} D) (\overline{B} C)}$

¹ (НЕ) — инверсия входных переменных.

нальные или комбинаторные p - и r -канальные транзисторы. За- тем выбираются ИТ резисторные или транзисторные. Резистор- ные ИТ целесообразно использовать в быстродействующих ми- кросхемах, где требуемые сопротивления не превышают несколь- ко килоом. При больших сопротивлениях увеличиваются пло- щадь, занимаемая диффузионными резисторами на кристалле, и их паразитная емкость, снижающая скорость переключения. По- этому для маломощных микросхем более перспективны транзи- сторные ИТ. Транзисторные ИТ используются также в схемах, где необходимо обеспечить высокую стабильность тока питания.

Затем производится выбор варианта схемной реализации ОТ и РТ с учетом следующего приоритета: 1 — монтажные; 2 — ди- одные (в том числе на диодах Шотки); 3 — резисторные. Наименьшие значения площади кристалла, потребляемой мощности, задержки переключения получаются при монтажной реализации ОТ и РТ. Однако она не обеспечивает электрической развязки цепей. Поэтому последовательное соединение монтажных ОТ и РТ приводит к короткому замыканию логических цепей и нару- шению правильности функционирования устройства. Наиболее эффективны последовательные комбинации монтажных ОТ и РТ с элементами, обеспечивающими электрическую развязку цепей диода, резистора. Диодные ОТ и РТ, имеющие одностороннюю проводимость, обеспечивают хорошую электрическую развязку. Резисторы при достаточно больших сопротивлениях также обес- печивают необходимую развязку цепей, но их включение увели- чивает площадь и снижает быстродействие схем, поэтому они используются редко.

В результате из каждого графа получается несколько вари- антов электрических схем. Для этих схем проверяется выполне- ние потенциальных условий переключения

$$U^0 < V_n + \Delta U, U^1 > V_n + \Delta U, \quad (2.14)$$

где V_n — порог переключения последующего ТК; U^0, U^1 — потен- циалы на выходе открытого и закрытого предыдущего ТК; ΔU — алгебраическая сумма падений напряжения на компонентах, включенных между ТК. Для выполнения условия (2.14) во вход- ные или выходные ветви ТК включаются ФП, обеспечивающие необходимые дополнительные падения напряжения.

Для некоторых типов схем проверяется также выполнение ус- ловия насыщения биполярных ТК и в случае необходимости в базовую или коллекторную цепь транзисторов включаются уси- лители тока (транзисторы в активном режиме), обеспечивающие увеличение тока базы или уменьшение тока коллектора.

3. Проводится анализ возможностей физического совмещения компонентов схем в общей области полупроводника. Такая воз- можность имеется, если в полученной схеме электрически соеди- нены полупроводниковые области нескольких компонентов, с оди- наковой проводимостью. Например, диоды с общим анодом (см. рис. 2.7, в) можно интегрировать в диодную сборку, расположен-

ную в общей p -области полупроводника. Если в качестве одного из диодов сборки использовать коллекторный переход, а в качестве остальных диодов — эмиттерные переходы, то получим вместо отдельных диодов интегральный компонент — *многоэмиттерный транзистор* (см. рис. 2.7,г). Такой вариант совмещения компонентов реализован в элементах ТТЛ. Можно интегрировать в виде одного многоэмиттерного транзистора несколько отдельных транзисторов, если их базы и коллекторы электрически соединены (рис. 2.10,б,г). Путем интеграции в единую физическую структуру ИТ на p - n - p транзисторе и ТК на n - p - n транзисторе реализуются элементы интегральной инжекционной логики.

Таким образом, в результате совмещения могут получиться новые схемотехнические варианты.

4. Для отбора наиболее удачных вариантов производится сравнительный анализ полученных схем. На практике обычно используется один из следующих критериев отбора:

минимальная задержка t_3 при заданной потребляемой мощности P_3 ;

минимальное значение P_3 при заданной задержке t_3 .

При этом проверяется также выполнение заданных требований и значениям помехоустойчивости U_n и коэффициента разветвления N .

Для относительно простых схем логических элементов оценить значения параметров можно с помощью приближенных аналитических выражений, как это сделано в § 2.3—2.6. Более точ-

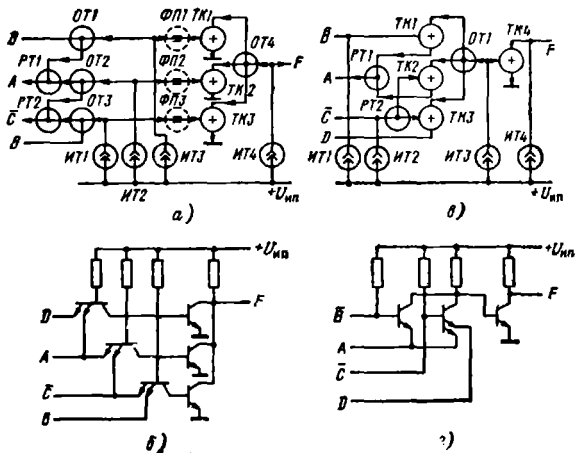


Рис. 2.10. Токовые графы (а, б) и варианты схемной реализации (в, г) элементов И—ИЛИ—НЕ

ное определение параметров производится путем численного рас-
чета характеристик схемы на ЭВМ с помощью одной из совре-
менных программ анализа электронных схем [24, 25]. Большин-
ство этих программ выполняется в интерактивном режиме, что
позволяет оперативно менять исходные данные и контролиро-
вать результаты анализа. В настоящее время расчет электрон-
ной схемы, содержащей несколько сотен транзисторов, на высо-
копроизводительных ЭВМ классов ЕС-1050, ЕС-1060 занимает
десятки минут. На персональных и мини-ЭВМ расчет схем, име-
ющих несколько десятков транзисторов, требует 10... 20 мин. Рас-
чет логических элементов, содержащих до 10 транзисторов, зани-
мает менее минуты. Таким образом, основные затраты времени
при анализе синтезированных схем связаны с кодированием и вво-
дом в ЭВМ исходных данных: вариантов схем и параметров их
компонентов.

Обычно на этом этапе выполняется также параметрическая
оптимизация схем, т. е. для данного схемного варианта находят-
ся такое сочетание параметров компонентов, при котором обес-
печиваются наименьшие значения задержки (при заданной мощ-
ности) или потребляемой мощности (при заданной задержке).
Оптимизация производится путем многократного расчета схемы
при различных параметрах компонентов либо с помощью специ-
альных программ, автоматически находящих оптимум. Для схем
на биполярных транзисторах обычно оптимизируется отношение
сопротивлений резисторов, определяющих потребляемую мощ-
ность и задержку переключения. Для схем на МДП-транзисторах
определяются оптимальные отношения ширины и длины кана-
лов W_n/L_n .

При расчете задержек переключения необходимо задать зна-
чения паразитных емкостей компонентов и металлических соеди-
нений, подключенных к каждому узлу. Эти параметры можно оп-
ределить только после разработки топологии схемы. На данном
этапе схемотехнического проектирования расчет выполняется с
использованием приближенных оценок величины этих емкостей
и полученные значения задержек также являются приближен-
ными. Для нескольких схемных вариантов, обеспечивших наилуч-
шие показатели, производится разработка топологии, расчет ре-
альных паразитных емкостей и повторный анализ схем с исполь-
зованием полученных значений. По результатам этого анализа
производится окончательный выбор схемы.

На рис. 2.10 даны примеры синтеза двух схем, реализующих
одну и ту же функцию F , представленную в конъюнктивно-инверс-
ной и инверсно-конъюнктивной форме в табл. 2.2. В соответствии
с изложенной выше методикой синтеза по исходным логическим
выражениям построены токовые графы (рис. 2.10, а, б). Далее про-
ведено замещение ФК их схемными реализациями согласно п. 2
методики. В схеме на рис. 2.10, б использованы монтажные РТ
и объединитель ОТ, включенный на выходе. Входные ОТ выбра-
ны диодными, так как при их монтажной реализации произошло

бы электрическое замыкание всех входных цепей схемы. Для выполнения условий переключения (2.14) во входные цепи ТК включены диодные ФП (штриховые линии на рис. 2.10,а). В схеме на рис. 2.10,г также используются монтажные РТ и ОТ. Операция импликации реализуется с помощью ТК (см. рис. 2.9,в). В синтезированных схемах согласно п. 3 методики проведено физическое совмещение компонентов, в результате которого получены варианты схемы с многоэмиттерными транзисторами. Сравнительный анализ схем показывает, что схема на рис. 2.10,г занимает меньшую площадь на кристалле и при одинаковой мощности имеет несколько большее быстродействие.

С помощью описанной методики можно синтезировать различные варианты как простых, так и сложнофункциональных элементов, а также схемы целых функциональных узлов. Полученные схемотехнические решения можно ввести в состав функциональных библиотек, на основе которых проектируются заказные и полужаказные (матричные) БИС. При использовании метода токовых графов для разработки различных типов биполярных и МДП-схем необходимо учитывать специфику их схемотехнической реализации. Эти специфические особенности рассмотрены в последующих параграфах данной главы, где дается анализ наиболее распространенных типов логических элементов.

2.3. ЭЛЕМЕНТЫ ТРАНЗИСТОРНО-ТРАНЗИСТОРНОЙ ЛОГИКИ (ТТЛ)

Элементы ТТЛ с диодами и транзисторами Шотки широко используются в качестве элементной базы быстродействующих цифровых микросхем. Вместо обычных транзисторов в этих элементах используется транзистор Шотки, параллельно его коллекторному переходу включен диод Шотки (рис. 2.11,а). Для контакта Шотки обычно используются металлы Al или Pt Si, которые обеспечивают напряжение отпираания диода $U^*_{ш} \approx 0,4 \dots 0,5 \text{ В} < U^*$. При выполнении условия насыщения

$$S = B_N I_B / I_K > 1, \quad (2.15)$$

где S — степень насыщения, диод Шотки открывается и шунтирует коллекторный переход. В результате эффективный ток базы I'_B уменьшается, ток коллекторного перехода I'_K возрастает. Транзистор при этом работает вблизи границы насыщенного режима, а его эффективная степень насыщения $S' = B I'_B / I'_K \approx 1,01 \dots 1,001$. Такой режим работы называется *квазинасыщенным*.

Избыточный заряд, накопленный в квазинасыщенном транзисторе Шотки, в $(S-1)/(S'-1)$ раз меньше, чем избыточный заряд, накопленный в обычном транзисторе при одинаковом отношении I_B/I_K . Во столько же раз (обычно на 3 ... 4 порядка) сокращается время его рассасывания t_p . Поэтому величина t_p в схемах ТТЛ с диодами Шотки весьма мала: $t_p < 0,1 \text{ нс} \ll t_s$. Падение на-

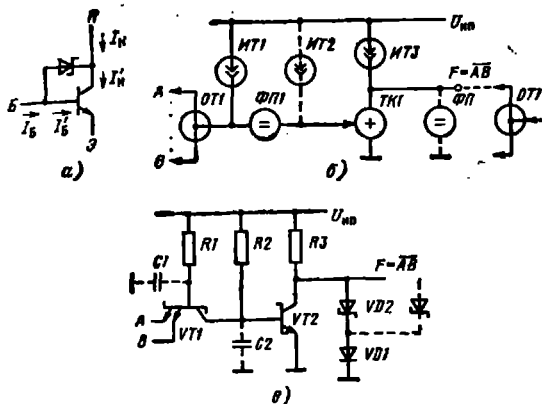


Рис. 2.11. Транзистор Шотки (а), токовый граф (б) и электрическая схема (в) элемента ТТЛ на транзисторах Шотки

пряжения на насыщенном транзисторе Шотки приближенно определяется из выражения

$$U_{\text{нш}} \approx U^* - U_{\text{ш}}. \quad (2.16)$$

Типовые значения $U_{\text{нш}}$ составляют 0,2...0,3 В при $T = +20^\circ \text{C}$, т. е. в 2...5 раз превышают напряжения на обычном транзисторе.

Базовый элемент ТТЛ. Токвый граф и схема элемента ТТЛ, используемого в качестве базового для БИС и СБИС, приведены на рис. 2.11, б, в. В данной схеме объединитель $OT1$ и фиксатор $\Phi П1$ интегрированы в многоэмиттерный транзистор (МЭТ) $VT1$. Имеются варианты элементов ТТЛ, где источник $ИТ2$ и фиксатор $\Phi П2$ не включаются.

Передаточная характеристика данного элемента показана на рис. 2.12. Если на M_0 входов ($1 \leq M_0 \leq M$, где M — общее число входов) подан низкий потенциал $U_{\text{вх}} = U^0 \approx 0$, то соответствующие эмиттерные переходы МЭТ открыты и потенциал его базы $U_{\text{Б1}} = U_{\text{вх}} + U^*$. Для $VT1$ выполняется условие квазинасыщенного режима (2.15), где токи определяются из выражений

$$I_{\text{Б1}} = (U_{\text{нп}} - U_{\text{вх}} - U^*)/R_1, \quad I_{\text{К1}} = (U_{\text{нп}} - U_{\text{вх}} - U_{\text{нш1}})/R_2. \quad (2.17)$$

При этом потенциал на базе транзистора $VT2$ недостаточен для его отпирания: $U_{\text{Б2}} = U_{\text{вх}} + U_{\text{нш1}} < U^*$. Транзистор $VT2$ закрыт, и на выходе схемы поддерживается высокий потенциал

$$U^1 = U_{\text{нп}} - I_{\text{К1}} R_3 \approx U_{\text{нп}}, \quad (2.18)$$

где I_n — ток, отдаваемый в нагрузку. При повышении $U_{вх}$ потенциал $U_{Б2}$ возрастает. При достижении порога переключения

$$U_{вх} = V_{п} = U^* - U_{нШ1} \approx U_{Ш1}; \quad (2.19)$$

потенциал $U_{Б2} \approx U^*$ и транзистор $VT2$ открывается. При дальнейшем увеличении $U_{вх}$ соответствующие эмиттерные переходы МЭТ запираются. Транзистор $VT2$ входит в насыщение, так как для него выполняется условие (2.15), где значения токов

$$I_{Б2} = (U_{нп} - U^* - U_{Ш1})/R_1 + (U_{нп} - U^*)/R_2; \quad (2.20)$$

$$I_{К2} = (U_{нп} - U_{нШ2})/R_3 + I_n^0.$$

Здесь I_n^0 — ток, поступающий от нагрузки. На выходе устанавливается низкий потенциал

$$U^0 = U_{нШ2} + r_{К2} I_{К2} \approx U^* - U_{Ш2}, \quad (2.21)$$

где $r_{К2}$ — сопротивление коллекторной области транзистора $VT2$. Помехоустойчивость схемы можно оценить, используя (2.1):

$$U_{п}^+ = V_{п} - U^0 \approx 2U_{Ш}^* - U^*, \quad U_{п}^- = U^1 - V_{п} \approx U_{нп} - U_{ш}^*. \quad (2.22)$$

Так как обычно $U_{нп} = 2 \dots 5$ В, то $U_{п}^+ \ll U_{п}^-$. Типовые значения $U_{п}^+$ составляют 200 ... 250 мВ при $T = +20^\circ \text{C}$ и уменьшаются при повышении температуры с коэффициентом $-(1 \dots 2)$ мВ/ $^\circ \text{C}$.

Входной ток, вытекающий при подаче на вход потенциала U^1 ,

$$I_{вх}^1 = B'_1 I_{Б1}, \quad (2.23)$$

где B'_1 — инверсный коэффициент усиления МЭТ. Так как $B'_1 \approx 0,01 \dots 0,001$, то ток $I_{вх}^1$ невелик, обычно несколько микроампер. Входной ток $I_{вх}^0$, вытекающий при подаче на вход потенциала U^0 , имеет максимальное значение при $M_0 = 1$:

$$I_{вх}^0 \text{ max} = [1 + (M - 1) B'_1] I_{Б2} + I_{К1} \approx I_{Б1} + I_{К1}. \quad (2.24)$$

Выходные характеристики $U^1, U^0 = f(I_n)$ (рис. 2.13) определяются выражениями (2.18), (2.21), причем выражение для уровня U^0 справедливо только при выполнении условия (2.15) для транзистора $VT2$. Изменения U^0, U^1 от температуры вызваны в основном температурными зависимостями сопротивлений резистора R_3 (температурный коэффициент $\theta_R = 0,1 \dots 0,3\% / ^\circ \text{C}$) и коллекторной области $r_{К2}$ ($\theta_r = 0,3 \dots 0,5\% / ^\circ \text{C}$). Подключение к элементу n нагрузок вызывает увеличение тока $I_{К2}$ на величину $I_n^0 = n I_{вх}^0$ и возрастание уровня U^0 на $\Delta U^0 = n r_{К2} I_{вх}^0$. Резкое возрастание U^0 наблюдается при высоких значениях I_n^0 , когда нарушается условие (2.15) и транзистор $VT2$ выходит из насыщения. Максимальное допустимое значение тока $I_{н max}$ определяется с помощью выходных характеристик (рис. 2.13) по заданной величине помехоустойчивости $U_{п}$, которая должна обеспечиваться в наихудшем случае: при $T = T_{\text{min}}$. Коэффициент разветвления $N = I_{н max}^0 / I_{вх}^0 \text{ max}$.

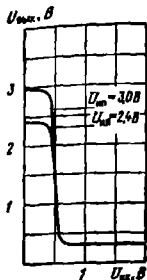


Рис. 2.12. Передаточная характеристика элемента ТТЛ

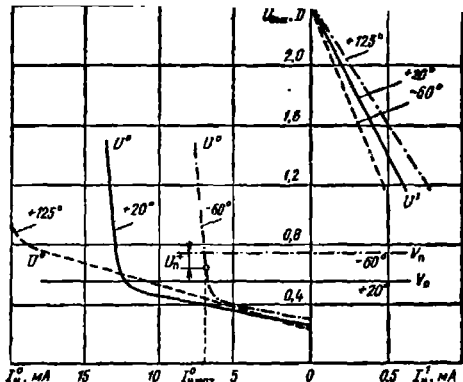


Рис. 2.13. Выходные характеристики элементов ТТЛ

Средняя мощность, потребляемая элементом, определяется из выражения (2.8), где токи $I_{\text{н}}^0$, $I_{\text{н}}^1$ можно найти с помощью (2.17) и (2.20):

$$I_{\text{н}}^0 = I_{\text{Б1}} + I_{\text{К1}} \approx (U_{\text{нII}} - U^*)/R_1 + (U_{\text{нIII}} - 2U_{\text{нIII}})/R_2,$$

$$I_{\text{н}}^1 = I_{\text{Б1}} + I_{\text{К1}} + I_{\text{К2}} = (U_{\text{нII}} - U^* - U_{\text{III}})/R_1 + (U_{\text{нII}} - U^*)/R_2 + (U_{\text{нII}} - U_{\text{нIII}})/R_3.$$

Одним из путей уменьшения потребляемой мощности является снижение напряжения питания. Данная схема сохраняет работоспособность при $U_{\text{нII}} \geq U_{\text{нII min}} \approx 2U^* - U^*_{\text{III}}$. С учетом температурных изменений U^* , U_{III} и допустимых колебаний напряжения питания $E_{\text{п}} = \pm 10\%$ получаем, что схему можно использовать при номинальных значениях $U_{\text{нII}} \geq 1,5 \dots 1,6$ В.

Для оценки быстродействия элемента рассмотрим его переходные характеристики. Временные диаграммы токов и напряжений, иллюстрирующие процесс переключения, показаны на рис. 2.14. При изменении потенциала на входах элемента от уровня $U_{\text{вх}} = U^0$ до U^1 закрываются эмиттерные переходы МЭТ. Потенциалы $U_{\text{Б1}}$, $U_{\text{Б2}}$ на базах транзисторов $VT1$ и $VT2$ возрастают вследствие заряда подключенных к ним емкостей $C1$, $C2$ тока-мн, протекающими через резисторы $R1$, $R2$ (см. рис. 2.11, в). Когда потенциал на базе $VT2$ достигает значения $U_{\text{Б2}} = U^*$, этот транзистор открывается и начинается уменьшение выходного потенциала $U_{\text{вых}}$. Время отпирания транзистора $VT2$

$$t_0 \approx C_2 (U^* - U_{\text{Б0}})/I_{\text{Б2}} \approx R_2 C_2 (U^* - U_{\text{нII1}} - U_{\text{нIII}})/U_{\text{нII}}, \quad (2.25)$$

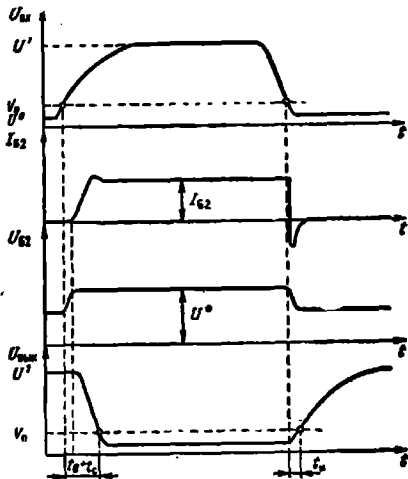


Рис. 2.14. Временные диаграммы переключения элемента ТТЛ

где $U_{Б0} = U^0 + U_{вх1} = U_{вх1} + U_{вх2}$ — начальное значение потенциала базы $VT2$ при $U_{вх} = U^0$. Емкость $C_2 = C_{Э2} + C_{К2} + C_{п2} + C_{ш2}$, где $C_{п2}$ — суммарная паразитная емкость изоляции МЭТ, резистора $R2$ и металлических соединений, подключенных к этому узлу; $C_{ш2}$ — емкость перехода Шотки в транзисторе $VT2$.

После отпирания транзистора $VT2$ выходной потенциал уменьшается: $\Delta U_{вых} = -I_{Б2} t / [C_{К2} + C_{ш2} + (C_н + C_{п3}) / B_N]$, где $C_н$ — емкость нагрузки; $C_{п3}$ — паразитная емкость изоляции транзистора $VT2$ и резистора $R3$. Данная аппроксимация с достаточной для инженерных оценок точностью описывает изменение выходного потенциала до уровня $U_{вых} = U_{ин}$. Используя ее, получаем выражение для времени спада потенциала $U_{вых}$ до этого уровня:

$$t_c = [C_{К2} + C_{ш2} + (C_н + C_{п3}) / B_N] (U_{ин} - V_н) / I_{Б2} \approx R_2 (C_{К2} + C_{ш2}). \quad (2.26)$$

Далее выходной потенциал уменьшается до значения $U_{вых} = U^0$, которое устанавливается, когда транзистор $VT2$ входит в квазинасыщенный режим.

Задержка переключения элемента из состояния 1 на выходе в состояние 0 (см. рис. 2.14)

$$t_s^{1,0} = t_0 + t_c - t_{н.вх}, \quad (2.27)$$

где $t_{н.вх}$ — время нарастания входного потенциала до уровня $u_{вх} = V_н$. Это выражение справедливо, если выполняется условие

$t_{д.вх} \leq t_0$. В случае относительно медленных изменений входного потенциала, когда это условие не выполняется, МЭТ остается квази-насыщенным до момента отпирания VT2. При этом изменения потенциала $u_{вх}$ практически повторяют (с очень малой задержкой) изменения $u_{вх}$. Задержка переключения в данном случае будет

$$t_3^{1,0} \approx t_c \quad (2.27a)$$

Обратное переключение элемента происходит при изменении входного потенциала от уровня $u_{вх} = U^1$ до U^0 . Когда $u_{вх}$ достигает порога переключения V_n , открывается соответствующий эмиттерный переход МЭТ, который оказывается в квази-насыщенном режиме. Токи, протекающие через резисторы R_1, R_2 , которые ранее поступали в базу транзистора VT2, теперь через насыщенный МЭТ идут во входную цепь элемента (см. рис. 2.11,б). В результате транзистор VT2 запирается. Начинается возрастание потенциала $u_{вых}$ вследствие заряда емкости, подключенной к выходу элемента, током, текущим через резистор R_3 , и входными токами n элементов-нагрузок. Время нарастания до уровня $u_{вых} = V_n$ можно приблизительно оценить с помощью выражения

$$t_n \approx (C_{K2} + C_{Ш2} + C_{П2} + C_M) (U^* - U^0 - U_{нш1}) / (U_{нш1} / R_2) + n \Gamma_{вх} \quad (2.28)$$

Так как время запираения транзистора VT2 относительно невелико, то задержка переключения элемента из состояния 0 на выходе в 1 составляет

$$t_3^{0,1} \approx t_n \quad (2.29)$$

Используя (2.27), (2.28), определяем среднюю задержку переключения в цепи однотипных элементов, где $t_{н.вх} = t_n$.

$$t_3 = 0,5(t_n + t_c) \text{ при } t_n \geq t_0 \quad (2.30)$$

Условие $t_n \geq t_0$, которое с помощью выражений (2.25) и (2.28) преобразуется к виду

$$\kappa_1 = (R_2 / R_3) \leq (C_{K2} + C_{Ш2} + C_{П2} + C_M) / (C_{K2} + C_{Ш2} + C_{П2} + C_{Э2}),$$

обычно выполняется. Если же $t_n < t_0$, то $t_3 = 0,5(t_0 + t_c)$.

Определим энергию переключения:

$$A_n = P_n t_n = (0,5 U_{нш1} / \kappa_1) [\kappa_1 (C_{K2} + C_{Ш2}) + C_2 (U^* - U_{нш1} - U_{нш2}) / U_{нш1}] [0,5 \kappa_1 U_{нш1} + \kappa_2 (U_{нш1} - 2U^*) + (U_{нш1} - U^*)], \quad (2.31)$$

где $\kappa_2 = R_2 / R_1$. Используя это выражение, находим оптимальное значение κ_2 , при котором A_n минимально. Из условия $(dA_n / d\kappa_2) = 0$ получаем

$$(\kappa_2)_{\text{опт}} = \sqrt{2 \frac{U^* - U_{нш1} - U_{нш2}}{U_{нш1}} \frac{(U_{нш1} - U^*) + \kappa_1 (U_{нш1} - 2U^*)}{U_{нш1}}}$$

$$\frac{C_{K2} + C_{Ш2} + C_{П2} + C_M}{C_{K2} + C_{Ш2}}$$

Как показывают численные оценки, для типовых значений параметров схемы $(x_2)_{\text{опт}} \approx 0,9 \dots 1$ при $U_{\text{нп}} = 2 \dots 3$ В и уменьшается до $0,6 \dots 0,7$ В при $U_{\text{нп}} = 4 \dots 5$ В. При технологии изготовления с разрешающей способностью $\Delta \approx 1,5 \dots 2$ мкм элементы ТТЛ при $U_{\text{нп}} = 2 \dots 3$ В имеют энергию переключения $A_{\text{п}} = 1 \dots 2$ пДж, т. е. обеспечивают задержку $t_3 \approx 1,5 \dots 2$ нс при потребляемой мощности $P_s \approx 1$ мВт. Минимальная задержка $t_3 \approx 0,5 \dots 1$ нс достигается при увеличении мощности до $P_s = 3 \dots 5$ мВт.

Соединение выходов нескольких элементов ТТЛ на общей нагрузке выполняет функции монтажного ОТ2 (штриховая линия на рис. 2.11,б), реализующего операцию Монтажное И, что дополнительно расширяет логические возможности.

В БИС ТТЛ на выходе элементов часто включаются диодные или резисторно-диодные цепочки (см. рис. 2.11,в), обеспечивающие фиксацию потенциала (ФП, табл. 2.1). При этом потенциал U^1 на выходе схемы ограничивается на уровне $U^1 = U^* + U^*_{\text{ш}} \approx 1,2 \dots 1,3$ В. В результате значительно (в 3...5 раз) уменьшается время спада t_c , которое можно определить, заменив $U_{\text{нп}}$ в выражении (2.26) на $U^* + U^*_{\text{ш}}$, и существенно (на 30...40%) сокращается задержка t_3 . Заметим, что диодная цепочка (см. рис. 2.11,б) обеспечивает фиксацию потенциала на выходе нескольких элементов ТТЛ, если включить в нее несколько диодов Шоттки VD2.

В ряде БИС используются модификации элемента ТТЛ (рис. 2.11,г), в которых не включаются резистор R_2 ($R_2 \rightarrow \infty$) или R_3 ($R_3 \rightarrow \infty$). Исключение резистора R_2 позволяет несколько уменьшить площадь, однако при этом возрастает величина t_3 . Исклю-

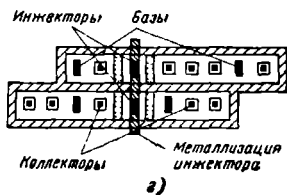
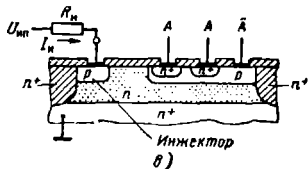
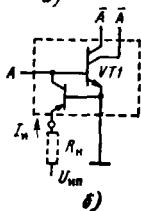
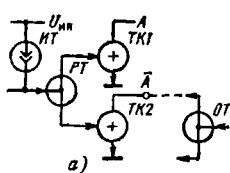


Рис. 2.15. Точковый график (а), электрическая схема (б), физическая структура (в) и топология (г) элемента И²Л

чение резистора $R3$ приводит к снижению уровня U^1 до значения $U^1 \approx U^*$, близкого к порогу V_n . В результате время спада становится весьма малым ($t_c \rightarrow 0$), благодаря чему уменьшается задержка t_s . Однако помехоустойчивость снижается до значения $U_{-п} \approx 2m\varphi_T \approx 50 \dots 70$ мВ.

Варианты базовых элементов. В цифровых микросхемах применяется ряд базовых элементов, которые используют такой же способ реализации логических функций с помощью ОТ и ТК, как элементы ТТЛ. На рис. 2.15, а, б приведены токовый граф и электрическая схема элемента интегральной инжекционной логики (И²Л). Логическая операция И выполняется с помощью монтажного ОТ, включаемого на выходе элемента. В элементах И²Л используется несколько параллельно включенных ТК, которые физически интегрированы с ИТ, реализованном на $p-n-p$ транзисторе, в единую многовыводную структуру (рис. 2.15, в, г). Данный элемент занимает очень малую площадь на кристалле и поэтому используется в ряде цифровых и аналого-цифровых БИС [10]. Однако по быстродействию элементы И²Л существенно уступают элементам ТТЛ и ЭСЛ, а по энергопотреблению — элементами КМДПТЛ.

Элементы Шотки транзисторной логики (ШТЛ) имеют на выходе диодный РТ, который обеспечивает электрическое разделение выходных цепей, чтобы с помощью монтажного ОТ на выходе можно было реализовать операцию И (рис. 2.16, а). Таким образом, элементы ШТЛ представляют собой многовыходные инверторы, при монтажном соединении выходов которых выполняется операция НЕ—И.

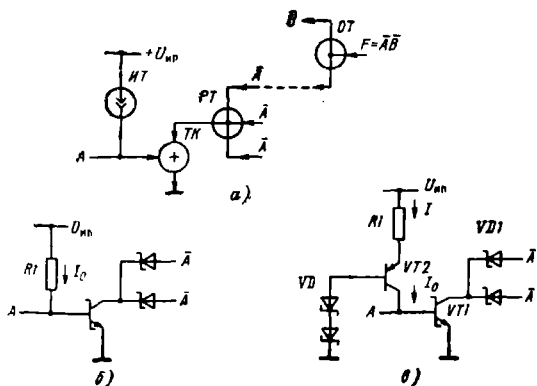


Рис. 2.16. Токовый граф (а) и варианты схемой реализации (б, в) элементов ШТЛ.

Схемы ШТЛ отличаются вариантами реализации ИТ: резисторный источник, как в элементах ТТЛ (рис. 2.16,б), или транзисторный источник, как в элементах И²Л (рис. 2.16,в). Обе модификации элементов ШТЛ имеют одинаковые выходные уровни U^0 , U^1 и порог переключения $V_{п}$:

$$U^0 = U_{вШ1} + U_{Ш1}^*, \quad U^1 = U^*, \quad V_{п} = U^* - 2m\varphi_T,$$

где $U_{Ш1}^*$ — падение напряжения на диоде Шотки, входящем в транзистор $VT1$. Отметим, что потенциал U^1 устанавливается на выходе элемента при закрытых транзисторе $VT1$ и диодах VD , поэтому его значение определяется падением напряжения на эмиттерном переходе открытого транзистора $VT1$, который находится в элементе-нагрузке, подключенном к выходу.

Логический перепад для элементов ШТЛ определяется разностью падений напряжения на диодах Шотки: $U_{л} = U_{Ш1}^* - U_{Ш2}^*$. Для нормального функционирования элементов Шотки $VD1$ и VD должны иметь существенно различные значения $U_{Ш}^*$. Для создания таких диодов требуется более сложная технология изготовления, чем для обычных микросхем ТТЛ. Наиболее часто используются контакт из силицида платины PtSi в транзисторе $VT1$ и титан-вольфрамовые контакты TiW в качестве диодов VD . Вольт-амперные характеристики диодов Шотки на основе этих контактов показаны на рис. 2.17. Их применение позволяет получить $U_{л} = 200 \dots 250$ мВ. Так как эти диоды имеют близкие значения температурных коэффициентов напряжения $\theta_U \approx 1 \dots 1,1$ мВ/°С, то величина $U_{л}$ относительно слабо зависит от температуры (см. рис. 2.17).

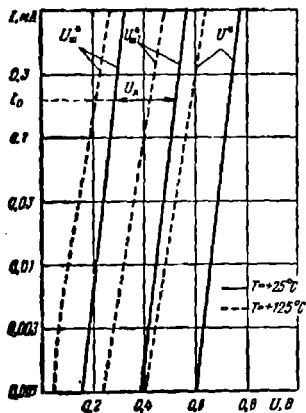


Рис. 2.17. Вольт-амперные характеристики обычного диода (U^*) и диодов Шотки ($U_{Ш1}^*$, $U_{Ш2}^*$)

Приведенные на рис. 2.16 модификации элементов ШТЛ имеют близкие характеристики. Схема с резисторным ИТ работает при напряжении питания $U_{п} \geq 1,5 \dots 2$ В. При значениях $P_{с} > 1$ мВт резистор имеет сопротивление $R_1 < 10$ кОм и занимает относительно малую площадь на кристалле. При снижении потребляемой мощности сопротивление R_1 увеличивается и площадь возрастает. В этом случае предпочтительнее применять элемент с транзисторным ИТ, который при микроваттном потреблении мощности будет иметь меньшую площадь. В качестве ИТ используется $p-n-p$ транзистор с продольной структурой, который обеспечивает коэффици-

передачи тока $\alpha_p \approx 0,8 \dots 0,9$. Поэтому ток переключения схемы $I_0 = \alpha_p I_n$ несколько меньше, чем ток I_n , потребляемый от источника питания. Можно использовать один многоколлекторный *p-p-p* транзистор для задания тока нескольким элементам ШТЛ. При этом их общая площадь сокращается. Напряжение питания должно быть $U_{нн} \geq 2 \dots 2,5$ В. Вследствие повышенных значений $U_{нн}$ и I_n данный элемент при одинаковом быстродействии (равных значениях I_0) потребляет большую мощность, чем элемент с резисторным ИТ. Элементы ШТЛ работают с перепадами U_n , которые значительно меньше, чем в элементах ТТЛ (см. рис. 2.11). При одинаковой потребляемой мощности и размерах компонентов они обеспечивают в 3...5 раз меньшую величину t_3 . Например, при $P_s \approx 0,5 \dots 1$ мВт элементы ШТЛ имеют $t_3 = 0,8 \dots 1$ нс.

В связи с существенно меньшим числом используемых компонентов элементы ШТЛ занимают площадь на кристалле в 2...2,5 раза меньше, чем элементы ТТЛ. Однако они обладают меньшими логическими возможностями. Как показывает опыт проектирования цифровых устройств на базе многовыходных инверторов с применением операции Монтажное И [10], количество таких элементов, требуемое для реализации функциональных узлов, оказывается в 1,5...2 раза больше, чем при использовании элементов И—НЕ ТТЛ (см. рис. 2.11). Необходимость использования большого числа элементов приводит к увеличению потребляемой мощности, а также возрастанию задержки переключения. Поэтому общий выигрыш по площади кристалла, быстродействию, энергии переключения для БИС, реализованных на элементах ШТЛ, оказывается не столь значительным.

Элементы ТТЛ с повышенной помехоустойчивостью и нагрузочной способностью. Для увеличения помехоустойчивости и коэффициента разветвления в элементах ТТЛ вместо простого транзисторного ключа (см. рис. 2.11,а) включаются сложные инверторы, содержащие несколько транзисторов (рис. 2.18,а). Для выполнения операции И на входах включается ОТ, реализованный на МЭТ или сборке диодов Шоттки (рис. 2.18,б,в). Инвертор состоит из фазоразделяющего каскада на транзисторе VT_2 , имеющего в эмиттерной цепи нелинейную нагрузку (транзистор VT_3 , резисторы R_3, R_4). На коллекторном и эмиттерном выходах этого каскада образуются парафазные сигналы, управляющие двухфазным выходным каскадом¹ (транзисторы $VT_4—VT_6$). Парафазное управление обеспечивает закрытое состояние одной из цепей выходного каскада: нижней (транзистор VT_4) при $U_{вх} = U^0$, верхней (составной транзистор VT_4, VT_5) при $U_{вх} = U^1$.

При низком потенциале на входе инвертора $U_{в1} < 2U^*$ транзисторы $VT_2—VT_4$ закрыты. Транзисторы VT_5, VT_6 при этом от-

¹ В зарубежной литературе такое включение транзисторов называют «пуш-пулльным» (англ. push-pull — «тяни-толжай»).

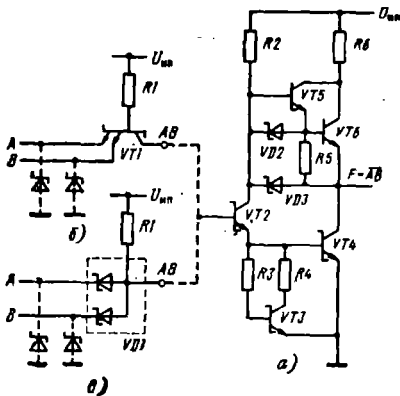


Рис. 2.18. Сложный инвертор (а) с транзисторной (б) или диодной (в) схемой И на входе

крыты и работают как эмиттерный повторитель. На выходе поддерживается высокий потенциал

$$U^1 = U_{K2} - 2U^* \approx U_{нп} - 2U^* - \Delta U^1 \approx U_{нп} - 2U^*, \quad (2.32)$$

где величина $\Delta U^1 = [I_n R_2 / B_N^2 + (R_4 / R_2) U^* / B_N]$ достаточно мала, так как $B_N \gg 1$. Таким образом, элемент может отдавать значительный ток I_n , сохраняя высокие значения $U^1 \approx 3 \dots 3,5$ В.

При увеличении потенциала на входе транзисторы $VT1-VT3$ открываются при $U_{B2} = 2U^*$ и происходит переключение элемента. Порог переключения

$$V_p = 2U^* - \Delta U_n, \quad (2.33)$$

где ΔU_n — падение напряжения на МЭТ ($\Delta U_n = U_{нш}$) или диодной сборке ($\Delta U_n = U_{ш}$). Величина порога $V_p \approx 1,2 \dots 1,3$ В при $T = +20^\circ$ С значительно выше, чем для элемента ТТЛ с простым инвертором.

При поступлении на вход инвертора высокого потенциала транзистор $VT2$ открывается и входит в квазинасыщенный режим. Через резистор $R2$ и транзистор $VT2$ ток поступает в базы транзисторов $VT3$ и $VT4$, вызывая их насыщение. Условие насыщения (2.15) для транзисторов $VT2-VT4$ обеспечивается соответствующим выбором сопротивлений резисторов $R1-R4$. На выходе устанавливается низкий потенциал $U^0 = U_{K4} = U_{нш}$. Потенциал на коллекторе транзистора $VT2$ при этом $U_{K2} = U^* + U_{нш} \approx 1,1 \dots 1,2$ В. Разность потенциалов $U_{K2} - U_{K4} = U^* \approx 0,8$ В недостаточна для отпирания эмиттерных переходов $VT5$ и $VT6$. Поэтому данные транзисторы при $U_{вых} = U^0$ закрыты, что обеспечивает

экономии потребляемой мощности. Так как в базу транзистора $VT4$ поступает значительный ток $I_{Б4} = I_{Э2} - (U^*/R_4) \approx (U_{ин} - 3U^*)/R_1 + (U_{ин} - U^* - U_{ш2})/R_2 - (U^*/R_4)$, он сохраняет квазинасыщенное состояние при больших значениях $I_{К4} = I_{н}$. Поэтому на выходе элемента обеспечивается низкий потенциал $U^0 \leq \leq 0,3 \dots 0,4$ В при большом числе нагрузок $N = 10 \dots 20$.

Используя выражения (2.1), определяем помехоустойчивость

$$U_{п}^+ = 2U^* - \Delta U_{п} - U_{ш4}; \quad U_{п}^- = U_{ин} - 4U^* - \Delta U_{п}. \quad (2.34)$$

При использовании входного каскада на рис. 2.18,б получаем $U_{п}^- \approx U^*_{ш1} + U^*_{ш4}$; $U_{п}^- = U_{ин} - 3U^* + U^*_{ш1}$, при использовании каскада на рис. 2.18,в $U_{п}^+ \approx U^*$, $U_{п}^- = U_{ин} - 4U^* + U^*_{ш}$. В диапазоне температур $-60 \dots +125^\circ\text{C}$ при типовых значениях $U_{ин} = 5$ В, $\epsilon_n = \pm 0,1$ данные элементы имеют $U_{п}^+$, $U_{п}^- \geq 0,5 \dots 0,6$ В.

При поступлении на вход элемента перепада напряжения транзисторы $VT1$ и $VT2$ переключаются, как в элементе с простым инвертором (см. рис. 2.11). На выходах фазоразделяющего каскада (эмиттере и коллекторе $VT2$) формируются перепады потенциала противоположной полярности, под действием которых транзисторы выходного каскада работают в противофазных режимах: когда транзистор $VT4$ открывается, $VT5$ и $VT6$ запираются, и наоборот. Благодаря такому включению обеспечивается быстрый заряд и разряд подключенной к выходу емкости нагрузки C_n . При изменении выходного состояния из 0 в 1 запирается транзистор $VT4$ и емкость C_n достаточно быстро заряжается значительным током транзисторов $VT5$, $VT6$, которые работают как эмиттерный повторитель. Значение этого тока ограничивается резистором $R6$ и достигает нескольких десятков миллиампер. При изменении выходного состояния из 1 в 0 запираются транзисторы $VT5$, $VT6$, а емкость C_n быстро разряжается через насыщенный транзистор $VT4$, коллекторный ток которого достигает десятков миллиампер. В результате t_3 относительно слабо зависит от C_n и данный элемент обеспечивает достаточно малую задержку переключения (единицы и десятки наносекунд) при значительной емкости нагрузки (до сотен пикофарад).

Транзистор $VT3$ и резисторы $R3$, $R4$ выполняют функции ИТ, задающего величину тока, который вытекает из базы $VT4$ во время переходного процесса (после записания $VT2$) и ускоряет его выключение.

Диоды $VD2$, $VD3$ ускоряют переключение элемента из состояния $U_{вых} = U^1$ в U^0 , когда транзисторы $VT5$, $VT6$ запираются, а транзистор $VT4$ еще не успел открыться. При этом паразитные емкости и емкость нагрузки разряжаются через диоды $VD2$, $VD3$ и открытый транзистор $VT2$. В качестве $VT6$ используется обычный транзистор (без диода Шотки), так как при работе элемента он никогда не оказывается насыщенным.

Когда входы элемента соединяются непосредственно с линиями связи между микросхемами (печатный монтаж, проводные соединения), в схему включают дополнительные диоды Шотки

(штриховая линия на рис. 2.18) При нормальной передаче сигналов, когда на входы поступают потенциалы $U^0, U^1 > 0$, эти диоды закрыты и не оказывают влияния на функционирование схемы. Если же в результате отражений или действия помех на входе появляются отрицательные импульсы, диоды открываются и ограничивают их амплитуду на уровне $U_{ш}^*$. После отражения на конце линии связи эти импульсы могут поменять полярность и стать потенциально опасными помехами. Однако их амплитуда ограничена величиной $U_{ш}^* < V_n$, поэтому они не вызывают ложных переключений элементов.

Необходимо отметить, что во время переключения ток в цепях питания возрастает и в несколько раз превышает ток питания, потребляемый в статическом режиме. Поэтому при увеличении частоты переключения мощность, потребляемая элементом со сложным инвертором, растет. В качестве особенности элементов со сложными инверторами следует указать недопустимость соединения выходов нескольких схем. Если произвести такое соединение, то в состоянии, когда один из элементов имеет на выходе низкий потенциал U^0 , а другой — высокий потенциал U^1 ; через последовательно соединенные транзистор $VT4$ одной схемы и транзистор $VT6$ другой схемы потечет значительный сквозной ток, величина которого ограничена резистором $R3$. При этом резко возрастает потребляемая мощность и возможен выход схем из строя, так как транзисторы обычно не рассчитаны на длительное протекание больших токов. Поэтому при проектировании цифровых устройств следует исключать возможность объединения выходов таких элементов.

Однако во многих цифровых устройствах, где несколько узлов или блоков работает на общую магистраль, такое объединение выходов является необходимым. В этом случае используются элементы ТТЛ, которые кроме двух обычных состояний выхода (U^0 и U^1) имеют третье, «отключенное» состояние. Для этого в схему со сложным инвертором включают дополнительный диод $VD1$ между коллектором транзистора $VT2$ и отключающим входом X (рис. 2.19, а). При низком потенциале на этом входе ($U_x = U^0$) все транзисторы в инверторе оказываются закрытыми и схема полностью отключается от нагрузки, т. е. не потребляет и не отдает выходной ток. При $U_x = U^1$ элемент с тремя состояниями работает как обычный, выполняя операцию И—НЕ. Выходы таких элементов можно объединять, если в процессе работы устройства разрешать подключение к нагрузке не более одного элемента одновременно.

Если в выходном каскаде не включать транзисторы $VT5, VT6$, то получим элемент ТТЛ с открытым коллектором. Выходы таких элементов можно подключать к общей нагрузке. Соединение выходов при этом служит в качестве монтажного ОТ, реализуя операцию Монтажное И над выходными функциями. К коллектору $VT4$ могут подключаться индикаторная лампочка, светонзлучающий диод, сегмент жидкокристаллического или электролюминес-

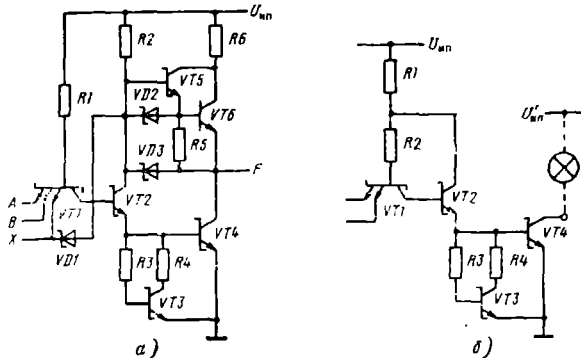


Рис. 2.19. Выходные (буферные) каскады с тремя состояниями (а) и открытым коллектором (б) на выходе

центного индикатора. Открытое состояние транзистора $VT4$ обеспечивает протекание тока или подачу напряжения на индикаторный элемент, который переходит во включенное (свстонзлучающее) состояние, позволяя визуально контролировать логическое состояние выхода.

Элементы ТТЛ со сложным инвертором, изготовляемые по современной технологии с разрешающей способностью $\Delta = 1,2 \dots 2$ мкм, имеют значения $t_3 = 2 \dots 10$ нс при $C_n \leq 10 \dots 20$ пФ и потребляемой мощности $P_3 = 1 \dots 10$ мВт. Таким образом, их энергия переключения в несколько раз больше, чем для элементов с простым инвертором, что объясняется повышенным перепадом $U_{л}$, а также большими паразитными емкостями из-за включения большого числа компонентов. Такие элементы выпускаются в виде отдельных МИС, а также используются в качестве входных и выходных трансляторов в БИС и СБИС.

В некоторых элементах ТТЛ вместо входных МЭТ или диодных сборок используют $p-n-p$ транзисторы, включенные как эмиттерные повторители (рис. 2.20). Коллекторной областью этих транзисторов является общая p -подложка микросхемы. Такой $p-n-p$ транзистор имеет вертикальную структуру и обеспечивает коэффициент усиления $B_p = 5 \dots 10$. Входной ток $I_{вх}$ данного элемента оказывается в B_p раз меньше, чем для рассмотренных выше элементов ТТЛ. Схема, показанная на рис. 2.20, используется в БИС ТТЛ как входной транслятор, мало нагружающий выходы предыдущих микросхем.

Сложнофункциональные элементы ТТЛ. Помимо элементов И—НЕ широкое применение находят созданные на их базе элементы И—ИЛИ—НЕ (рис. 2.21). Элемент содержит k сборок,

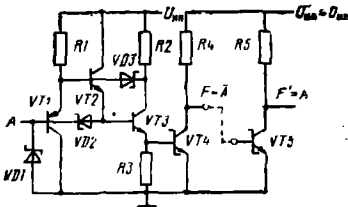


Рис. 2.20. Входной транслятор с p-n-p транзистором на входе

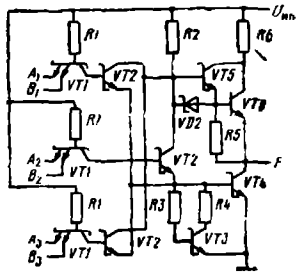


Рис. 2.21. Элемент И—ИЛИ—НЕ ТТЛ со сложным инвертором

каждая из которых состоит из МЭТ, резистора $R1$ и транзистора $VT2$. Каждый МЭТ выполняет операцию И над входными переменными, параллельное включение транзисторов $VT2$ реализует операцию ИЛИ, а сложный инвертор — операцию НЕ. В результате на выходе реализуется функция $F = \overline{A_1 B_1 C_1} \sqrt{\dots \sqrt{A_2 B_2 C_2} \sqrt{\dots \sqrt{A_k B_k C_k} \dots}}$. Элемент И—ИЛИ—НЕ имеет такие же характеристики, как элемент И—НЕ. Подключение каждой дополнительной сборки увеличивает потребляемую мощность на $\Delta P_s = U_{нп}(U_{нп} - 2U^*)/R_1$ и несколько снижает быстродействие из-за возрастания паразитной емкости, подключенной к точке объединения коллекторов $VT2$. Максимально допустимое число подключаемых сборок $k = 6 \dots 8$.

Используя описанные в § 2.2 методы синтеза, можно получить схемы элементов ТТЛ, выполняющих различные функции. В цифровых устройствах широко применяются элементы Исключающее ИЛИ, реализующие функцию $F = A\overline{B} \vee \overline{A}B = (\overline{A \vee B})(\overline{A \vee B})$. Так как транзистор, управляемый по базе и эмиттеру, выполняет операцию Импликация (см. рис. 2.9, в), то токовый граф, соответствующий этой функции, имеет вид, показанный на рис. 2.22, а. Используя монтажный ОТ и резисторные ИТ, получаем схему эле-

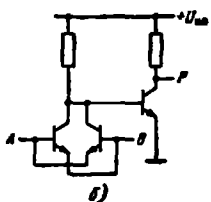
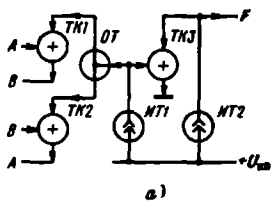


Рис. 2.22. Токовый граф (а) и схемная реализация элемента Исключающее ИЛИ ТТЛ

мента Иключающее ИЛИ (рис. 2.22,б). Данная схема имеет потребляемую мощность, площадь и задержку переключения приблизительно такие же, как элемент И—НЕ с простым инвертором. Для повышения помехоустойчивости, коэффициента разветвления и быстродействия при работе на значительную емкостную нагрузку в схеме можно использовать сложный инвертор. Аналогично можно синтезировать схемы различных сложнофункциональных элементов ТТЛ.

2.4. ЭЛЕМЕНТЫ ЭМИТТЕРНО-СВЯЗАННОЙ ЛОГИКИ (ЭСЛ)

Элементы ЭСЛ отличаются высоким быстродействием (задержка переключения менее 1 нс), поэтому они являются в настоящее время основной элементной базой высокопроизводительных ЭВМ, сверхбыстродействующей контрольно-измерительной аппаратуры и высокоскоростных систем цифровой связи. Различные варианты элементов ЭСЛ реализуются на основе простейшей логической схемы — *переключателя тока* (рис. 2.23,а).

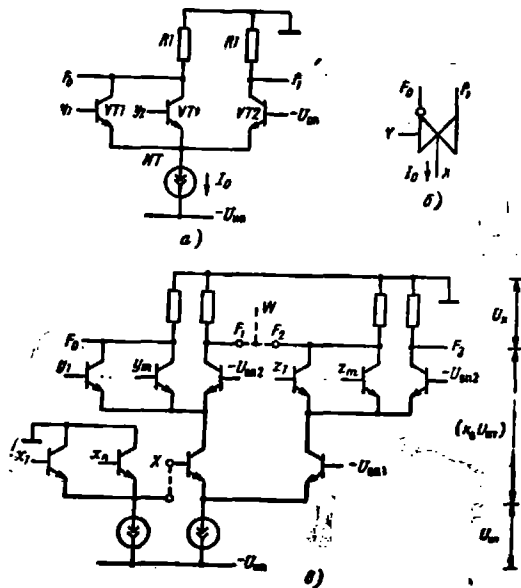


Рис. 2.23. Переключатель тока (а), его условное изображение (б) и двухъярусное включение переключателей тока (в)

Реализация логических функций с помощью переключателей тока (ПТ). Если хотя бы на один из логических входов ПТ поступает высокий потенциал $U_{вх} > -U_{оп}$, где $U_{оп}$ — опорное напряжение, подключенное к базе транзистора $VT2$, то соответствующий входной транзистор $VT1$ открыт. Транзистор $VT2$ при этом закрыт, так как напряженне на его эмиттерном переходе $U_{БЭ} = -U_{оп} - U_{Э} = U^* - (U_{оп} + U_{вх}) < U^*$, где $U_{Э} = U_{вх} - U^*$ — потенциал точки соединения эмиттеров. Ток I_0 , задаваемый ИТ в эмиттерной цепи, протекает через левое (входное) плечо ПТ. На выходе F_0 устанавливается низкий потенциал $U^0 = -I_0 R_1$. В правом («опорном») плече ПТ ток не протекает и на выходе F_1 поддерживается высокий потенциал $U^1 \approx 0$. Если на все входы ПТ подан низкий потенциал $U_{вх} < -U_{оп}$, то входные транзисторы $VT1$ закрыты, транзистор $VT2$ открыт и на выходах F_0 и F_1 устанавливаются потенциалы $U_{вых0} = U^1$, $U_{вых1} = U^0$. Величина тока I_0 определяет логический перепад на выходе ПТ: $U_{л} = U^1 - U^0 = I_0 R_1$.

Таким образом, ПТ функционирует как логический элемент, выполняющий операции ИЛИ—НЕ, ИЛИ: $F_0 = x_1 \vee x_2$, $F_1 = x_1 \vee x_2$, если в эмиттерной цепи ПТ течет ток заданной величины I_0 . Если же включить в эмиттерную цепь ключ, прерывающий протекание тока ($I_0 = 0$), то на обоих выходах ПТ при любых значениях сигналов на входах x_1 , x_2 установится высокий потенциал $U_{вых0} = U_{вых1} = U^1 = 0$. При управлении током эмиттерной цепи на выходах ПТ реализуются функции $F_0 = Y \vee X = \overline{YX}$, $F_1 = Y \vee \overline{X} = \overline{YX}$, где $Y = (y_1 \vee y_2 \vee \dots \vee y_m)$; переменная $X = 1$, если течет ток I_0 , и $X = 0$, если ток не течет ($I_0 = 0$).

Эффективным средством расширения функциональных возможностей схем ЭСЛ является *многоярусное включение ПТ*, когда ток I_0 для ПТ верхнего яруса задается с помощью ПТ, включенных в нижних ярусах. Схема с двухъярусным включением ПТ (рис. 2.23,б) реализует на выходах функции

$$F_0 = \overline{Y} \vee X, F_1 = Y \vee \overline{X}, F_2 = \overline{Z} \vee X, F_3 = Z \vee X, \quad (2.35)$$

где $X = (x_1 \vee x_2 \vee \dots \vee x_n)$, $Y = (y_1 \vee y_2 \vee \dots \vee y_m)$, $Z = (z_1 \vee z_2 \vee \dots \vee z_n)$ — обобщенные переменные. Дизъюнкция переменных x_1, \dots, x_n осуществляется при использовании в нижнем ярусе ПТ с n логическими входами либо при включении на входе этого ПТ эмиттерных повторителей с объединенными выходами (рис. 2.23,в).

Дополнительные логические возможности реализуются при объединении выходов нескольких ПТ в многоярусной схеме на общем коллекторном резисторе $R1$. При этом реализуется операция Моктажное И над функциями F_i , F_j объединяемых выходов: $W = F_i F_j$. Например, при объединении выходов F_0 и F_2 двухъярусной схемы (рис. 2.23,г) реализуется функция

$$W = F_0 F_2 = (\overline{Y} \vee X) (Z \vee X) = \overline{YZ} \vee XZ \vee XY.$$

При увеличении числа ярусов возрастают количество и сложность реализуемых функций. Максимальное допустимое число

ярусов $K_{я}$ ограничивается заданным значением напряжения питания (рис. 2.23, в):

$$U_{ит} = K_{я} U_{пт} + U_{л} + U_{ит}, \quad (2.36)$$

где $U_{пт}$ — падение напряжения на открытых транзисторах в ПТ; $U_{ит}$ — падение напряжения на источнике тока. Для обеспечения высокого быстродействия транзисторы в схемах ЭСЛ работают в ненасыщенном режиме. Поэтому минимальное значение $U_{пт}$ ограничивается напряжением коллектор—эмиттер транзистора на границе насыщения $U_{пт} \geq U_{тн} \approx 0,8 \dots 1$ В. Величина перепада в микросхемах ЭСЛ обычно составляет $U_{л} = 0,4 \dots 0,8$ В. Используемые резисторные и транзисторные ИТ обеспечивают необходимую стабильность тока, если $U_{ит} \geq (1,5 \dots 2) U_{тн}$. Используя выражение (2.36), при типовых значениях $U_{ит} = 4 \dots 5$ В получаем, что допустимое число ярусов составляет $K_{я} = 2 \dots 3$.

Опорное напряжение для верхнего (k -го яруса) выбирается равным

$$U_{оп k} = 0,5 (U^0 + U^1) \quad (2.37a)$$

$$U_{оп (k-1)} = U_{оп k} - U^*. \quad (2.37b)$$

и для каждого последующего яруса на величину $U_{тн} \approx U^*$ меньшее:

Обобщенная структура (токовый граф) трехъярусной схемы показана на рис. 2.24, где ПТ второго и третьего ярусов отмечены индексами: ПТ₀, ПТ₁. Индекс $i=0$ или 1 указывает выход (F_0 или

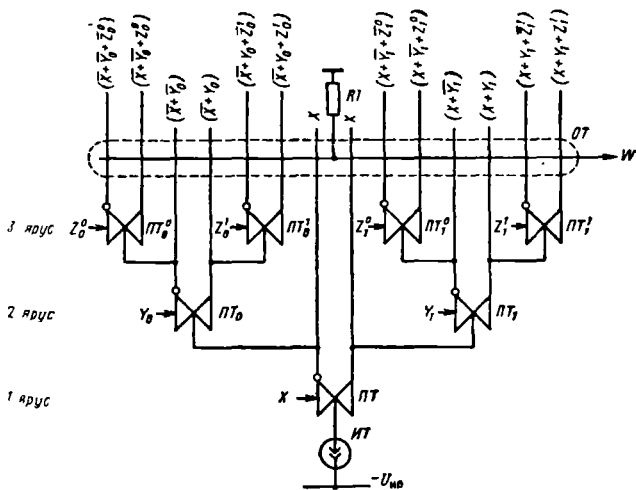


Рис. 2.24 Обобщенная структура трехъярусного элемента ЭСЛ

F₁) ПТ первого яруса, к которому подключен эмиттерный вход соответствующего ПТ второго или третьего яруса, $j=0$ или 1 — выход ПТ второго яруса, к которому подключен соответствующий ПТ третьего яруса.

На выходах ПТ реализуются дизъюнктивные термы: X , \bar{X} в первом ярусе, $(X \vee Y_0)$, $(\bar{X} \vee Y_0)$, $(X \vee Y_1)$, $(\bar{X} \vee Y_1)$ во втором ярусе, $(X \vee Y_0 \vee Z^0_0)$, $(\bar{X} \vee Y_0 \vee Z^0_0)$, $(X \vee Y_0 \vee Z^1_0)$, $(\bar{X} \vee Y_0 \vee Z^1_0)$, $(X \vee Y_1 \vee Z^0_1)$, $(\bar{X} \vee Y_1 \vee Z^0_1)$, $(X \vee Y_1 \vee Z^1_1)$, $(\bar{X} \vee Y_1 \vee Z^1_1)$ в третьем ярусе. Обобщенные переменные X , Y , Z представляют собой дизъюнкцию входных переменных, поступающих на соответствующие ПТ. Число таких входов для одного ПТ обычно не превышает 4...5. Число обобщенных переменных может достигать $2^{K_n} - 1$.

Резистор R_I играет роль ФП (см. табл. 2.1), обеспечивающего требуемые значения выходного потенциала U^0 . Путем монтажного объединения выходов нескольких ПТ с общим резистором R_I (возможные точки соединения обведены на рис. 2.24 штриховой линией) можно получить различные варианты выходных функций W в виде конъюнкции указанных выше дизъюнктивных термов. Выполняемые функции можно представить в виде обобщенного выражения

$$\begin{aligned}
 W &= \{X \vee [Y_0 \vee (Z^0_0 p^0_0 \vee Z^0_0 g^0_0)]\} \{Y_0 \vee (Z^1_0 p^1_0 \vee Z^1_0 g^1_0)\} \\
 &\vee \{X \vee [Y_1 \vee (Z^0_1 p^0_1 \vee Z^0_1 g^0_1)]\} \{Y_1 \vee (Z^1_1 p^1_1 \vee Z^1_1 g^1_1)\} = \\
 &= X [Y_0 (\bar{Z}^0_0 p^0_0 \bar{Z}^0_0 g^0_0) \vee Y_0 (\bar{Z}^1_0 p^1_0 \bar{Z}^1_0 g^1_0)] \vee \\
 &\vee X [Y_1 (\bar{Z}^0_1 p^0_1 \bar{Z}^0_1 g^0_1) \vee Y_1 (\bar{Z}^1_1 p^1_1 \bar{Z}^1_1 g^1_1)], \quad (2.38)
 \end{aligned}$$

где p^j_i , g^j_i — коэффициенты, которые могут принимать значения 0 или 1. При различных комбинациях значений p^j_i , g^j_i реализуется набор из $2^8 = 256$ функций. Таким образом, трехъярусная схема может выполнять 256 различных функций 7 обобщенных переменных: X , Y_0 , Y_1 , Z^0_0 , Z^1_0 , Z^0_1 , Z^1_1 . При $Y_0 = Y_1 = Y$ и $Z^0_0 = Z^1_0 = Z^0_1 = Z^1_1 = Z$ получаем полный набор функций трех переменных X , Y , Z .

Заданная функция преобразуется к виду (2.38) путем получения инверсной МДНФ (2в, табл. 2.2) и последовательного выделения обобщенных переменных. Для этого на первом этапе с помощью факторизации выделяют обобщенную переменную $X = (x_1 \vee x_2 \vee \dots)$:

$$W = X[W_1] + \bar{X}[W_0], \quad (2.39a)$$

где $X = (\bar{x}_1 \bar{x}_2 \dots)$, x_i — входные переменные, выделяемые для первого яруса; $[W_0]$, $[W_1]$ — функции, реализуемые во втором и третьем ярусах. В частном случае возможны значения $[W_1] = 0$ или 1. Если же не удастся получить W в виде (2.39a) путем факторизации, то производится разложение функции под знаком инверсии по теореме Шеннона (1.27):

$$W = x_1[W_1] + \bar{x}_1[W_0], \quad (2.39b)$$

где $[W_0]$ — выражение функции W при $x_1 = 0$; $[W_1]$ — при $x_1 = 1$. В качестве

W_i выбирается переменная с максимальным рангом¹. При этом в обобщенную переменную X входит только одна переменная $X=x_i$. На втором этапе полученные функции $[W_0]$, $[W_1]$ минимизируются и выделяются обобщенные переменные Y_0, Y_1 второго яруса теми же способами, как и на первом этапе:

$$[W_0] = Y_0(W_0^1) \vee \bar{Y}_0(W_0^0), \quad [W_1] = Y_1(W_1^1) \vee \bar{Y}_1(W_1^0). \quad (2.40)$$

Если функции $[W_i]$ преобразуются по теореме Шеннона: $[W_i] = y_i(W_i^1) \vee \bar{y}_i(W_i^0)$, то обобщенные переменные содержат только по одной переменной $Y_0 = x_i, Y_1 = x_j$, в качестве которой выбираются переменные, имеющие максимальный ранг в МДНФ функции $[W_i]$. Когда $[W_i]$ можно представить в виде дизъюнкции двух обобщенных переменных или их инверсий Y_i, Z_i , эти функции преобразуются к виду (2.40) с помощью соотношения (1.15):

$$[W_i] = Y_i \vee Z_i = Y_i \vee \bar{Y}_i Z_i = Y_i \vee \bar{Y}_i(W_i^1). \quad (2.41)$$

Если полученные функции (W_i^1) представляют собой конъюнкции входных переменных, то $(W_i^1) = Z_i$ и заданная функция реализуется на трехъярусной схеме ЭСЛ. В противном случае можно преобразовать W_i^1 аналогичным образом и реализовать их с помощью элементов ЭСЛ, с выходов которых они будут поступать на входы ПТ верхнего яруса.

Для двухъярусных схем ЭСЛ (см. рис. 2.23, в) обобщенная функция имеет вид

$$\begin{aligned} W &= [X \vee (Y_0 p_0 \vee Y_0 g_0)] [X \vee (Y_1 p_1 \vee Y_1 g_1)] = \\ &= X (\overline{Y_0 p_0 Y_0 g_0}) \vee X (\overline{Y_1 p_1 Y_1 g_1}). \end{aligned} \quad (2.42)$$

Эти схемы реализуют $2^4 = 16$ различных функций трех обобщенных переменных X, Y_0, Y_1 , а при $Y_0 = Y_1 = Y$ выполняют полный набор функций двух переменных X, Y . Если подключить к общему резистору $R1$ выходы ПТ из различных элементов ЭСЛ, то реализуется конъюнкция функций W_1, W_2, \dots , выполнявшихся каждым из них: $V = W_1 W_2 \dots$. При этом для некоторых комбинаций входных переменных через резистор $R1$ одновременно протекают токи I_0 нескольких ИТ и уровень U^0 снижается пропорционально их числу. Чтобы сохранить одинаковые значения U^0 при любых комбинациях переменных, резистор $R1$ шунтируется диодом, который обеспечивает значения $U^0 = -U^* \approx -(0,8 \dots 0,9)$ В при любом числе подключаемых схем, если $I_0 R_1 \geq U^*$. Для получения меньших значений $U^0 = -(0,4 \dots 0,6)$ В резистор $R1$ шунтируется диодом Шоттки.

Используя обобщенные выражения (2.38) или (2.42) заданной функции, можно получать ее реализацию в виде трех- или двухъярусной схемы ЭСЛ, подключая выходы ПТ различных ярусов к общему резистору $R1$ (см. рис. 2.24) в соответствии с полученными значениями p_i^j, g_i^j или p_i, g_i . Правила подключения выходов F_0, F_1 различных ПТ даны в табл. 2.3 и 2.4.

¹ Рангом называется число вхождений переменной в прямой или инверсный виде в МДНФ функция.

Таблица 2.3

Подключение выходов ПТ в трехъярусной схеме при различных значениях коэффициентов p^j_i, g^j_i .

Значения	Схемная реализация
$p^j_i = g^j_i = 0$	F_j — выход ПТ _i (второй ярус) и выходы ПТ _i ^j (третий ярус) не подключаются (т. е. ПТ _i ^j не используется)
$p^j_i = 0, g^j_i = 1$ $p^j_i = 1, g^j_i = 0$ $p^j_i = g^j_i = 1$	F_i — выход ПТ _i ^j (третий ярус) подключается F_0 — выход ПТ _i (третий ярус) подключается F_j — выход ПТ _i (второй ярус) подключается, выходы ПТ _i ^j (третий ярус) не подключаются (т. е. ПТ _i ^j не используется)
$p^0_i = p^1_i = 0,$ $g^0_i = g^1_i = 0$	F_i — выход ПТ (первый ярус) и выходы ПТ _i (второй ярус), ПТ _i ^j (третий ярус) не подключаются (т. е. ПТ _i , ПТ _i ^j не используются)
$p^0_i = p^1_i = 1, g^0_i = g^1_i = 1$	F_i — выход ПТ (первый ярус) подключается, выходы ПТ _i (второй ярус), ПТ _i ^j (третий ярус) не подключаются (т. е. ПТ _i , ПТ _i ^j не используются)

Таблица 2.4

Подключение выходов ПТ в двухъярусной схеме при различных значениях коэффициентов p_i, g_i

Значения	Схемная реализация
$p_i = g_i = 0$	F_i — выход ПТ и выходы ПТ _i не подключаются (ПТ _i не используется)
$p_i = 0, g_i = 1$ $p_i = 1, g_i = 0$ $p_i = g_i = 1$	F_i — выход ПТ _i подключается F_0 — выход ПТ _i подключается F_i — выход ПТ подключается, выходы ПТ _i не подключаются (ПТ _i не используется)

В качестве примера рассмотрим реализацию функции

$$W = \overline{ABDE} \vee \overline{ABDE} \vee \overline{ABCD} \vee \overline{BC} \vee \overline{CDE}.$$

Так как факторизацией не удается преобразовать ее к виду (2.38), то используем теорему Шеннона, приняв в качестве x_1 переменную E , имеющую ранг 4:

$$W = E[\overline{ABD} \vee \overline{ABCD}] \vee E[\overline{ABD} \vee \overline{ABC} \vee \overline{BC} + \overline{CD}],$$

После минимизации получаем $[W_1] = \overline{ABD} \vee \overline{ABC}$, $[W_0] = \overline{ABD} \vee \overline{BC} \vee \overline{CD}$. Функцию $[W_1]$ преобразуем к виду (2.40) путем факторизации:

$$W_1 = \overline{AB}(B \vee C) = (A \vee D)(B \vee C), \text{ где } Y_1 = B \vee C; (W^1_1) = A \vee D, (W^0_1) = 0.$$

Для преобразования $[W_0]$ используем теорему Шеннона, приняв $Y_0 = y_0 = C$:

$$[W_0] = C(\overline{B \vee D} \vee \overline{ABD}) \vee C(\overline{ABD}) = C(\overline{B \vee D}) \vee C(\overline{ABD}),$$

где $(W^1_0) = (\overline{B \vee D})$; $(W^0_0) = \overline{ABD} = \overline{A \vee B \vee D}$.В результате получим $W = E[C(\overline{B \vee D}) \vee C(\overline{A \vee B \vee D})] \vee E[(B \vee C)(A \vee D)]$, что соответствует выражению (2.41), если принять $X = E$, $Y_0 = C$, $Z_0 = (\overline{B \vee D})$, $Z^1_0 = (A \vee B \vee D)$, $Y_1 = (B \vee C)$, $Z^1_1 = (A \vee D)$, $p^0_0 = g^1_0 = p^0_1 = 1$, $g^1_0 = p^1_0 = g^0_1 = p^1_1 = 0$.

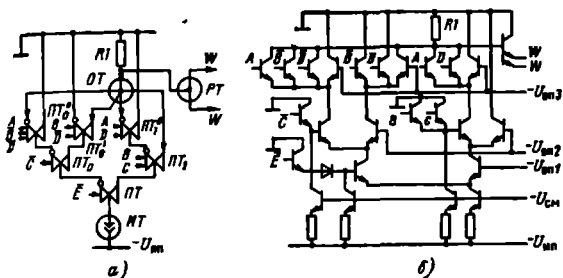


Рис. 2.25. Токовый граф (а) и схемная реализация (б) трехъярусного элемента ЭСЛ

$=g'_1=0$. В соответствии с правилами табл. 2.3 проведем соединение выходов ПТ в обобщенной схеме (см. рис. 2.24), исключив неиспользуемый ПТ₁. Полученный токовый граф (рис. 2.25,а) преобразуется в электрическую схему (рис. 2.25,б) путем замены ПТ их схемными реализациями (рис. 2.23,а), включая транзисторных ИТ и эмиттерных повторителей на входах нижних ярусов. В результате получаем схему элемента И—ИЛИ—НЕ.

Если, преобразуя функцию $[W_0]$ по теореме Шеннона, принять в качестве $Y_0=y_1$ переменную D , имеющую такой же ранг 2, как и C , то получим $[W_0]=D(C \vee AB) \vee B(BC)=D(W^1_0) \vee B(W^0_0)$, где $(W^1_0)=(C \vee AB)$ не является обобщенной переменной Z^1_0 или ее инверсией. Поэтому $[W^1_0]$ не реализуется ПТ₀ верхнего яруса, т. е. функция W при таком представлении не выполняется трехъярусной схемой ЭСЛ. Таким образом, в процессе преобразования заданной функции следует рассматривать различные варианты выделения переменных, чтобы найти форму представления, которая дает наиболее простую схемную реализацию.

Базовый элемент ЭСЛ. Типовой вариант схемы ЭСЛ с одноярусным включением ПТ, выходными эмиттерными повторителями и транзисторными ИТ показан на рис. 2.26,а. Схема реализует

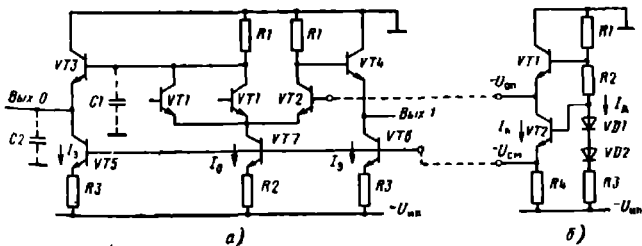


Рис. 2.26. Одоярусный элемент ЭСЛ (а) с источником опорного напряжения (б)

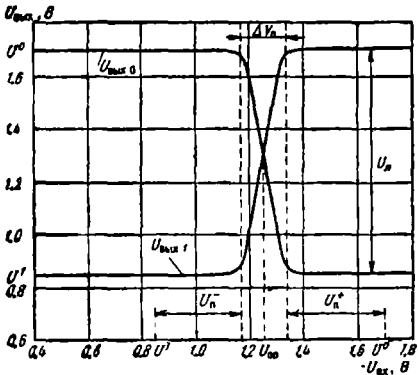


Рис. 2.27. Передаточные характеристики элемента ЭСЛ

операции $F_0 = \overline{A \vee B}$, $F_1 = A \vee B$, т. е. выполняет функции элемента ИЛИ — НЕ/ИЛИ. Передаточные характеристики показаны на рис. 2.27. Обычно в схемах ЭСЛ используется напряжение питания отрицательной полярности, поэтому потенциалы всех узлов также отрицательны. Если потенциалы на всех входах $U_{вх} < -U_{оп}$, то транзисторы $VT1$ закрыты. Потенциал их коллекторов $U_{К1} = -I_{БЗ}R_1 \approx 0$, где $I_{БЗ} = (I_n + I_{\mathcal{E}})/(B_N + 1)$; I_n — ток нагрузки; $I_{\mathcal{E}}$ — ток ИТ в эмиттерной цепи повторителя. На выходе F_0 устанавливается высокий потенциал

$$U^1 = -U_{К1} - U^* \approx -U^*. \quad (2.43)$$

Опорный транзистор $VT2$ открыт и через резистор $R1$ в его коллекторной цепи протекает ток $I_K = \alpha_N I_0 \approx I_0$, где $\alpha_N = B_N/(B_N + 1)$ — коэффициент передачи тока. Для современных транзисторов $\alpha_N \approx 0,98 \dots 0,99$, поэтому при анализе схем будем считать $\alpha_N = 1$. Потенциал на коллекторе $VT2$ $U_{К2} = -(I_0 + I_{Б4})R_1 \approx -I_0R_1$, где $I_{Б4} = (I_{\mathcal{E}} + I_n)/(B_N + 1) \ll I_0$. На выходе F_1 устанавливается низкий потенциал

$$U^0 = -U_{К2} - U^* \approx -(I_0R_1 + U^*). \quad (2.44)$$

Токи, задаваемые транзисторными ИТ: $I_0 = (U_{нп} - U_{см} - U^*)/R_2$, $I_{\mathcal{E}} = (U_{нп} - U_{см} - U^*)/R_3$.

Когда потенциал $U_{вх}$ становится выше порога переключения

$$V_n = -U_{оп}, \quad (2.45)$$

открываются соответствующие входные транзисторы $VT1$ и запирается транзистор $VT2$. Ток I_0 переключается в левое плечо ПТ и, протекая по резистору $R1$, обеспечивает снижение потенциала

на выходе F_0 до уровня $U_{\text{вых}0} = U^0$. Потенциал на выходе F_1 повышается до уровня U^1 .

Ограничение на максимальную величину логического перепада U_L определяется из условия ненасыщенного режима работы транзисторов $VT1$: $U_{B1 \text{ max}} = U^1 \leq U_{K1 \text{ min}} = U^0 + U^*$. Из этого условия получим ограничение

$$-U_L = U^1 - U^0 = I_0 R_1 \leq U^* \quad (2.46)$$

Невыполнение ограничения (2.46) приводит к возрастанию задержки переключения из-за накопления значительного избыточного заряда в транзисторах $VT1$.

Опорное напряжение $U_{\text{оп}}$ выбирается равным

$$-U_{\text{оп}} = 0,5(U^0 + U^1) = -(U^* + 0,5U_L) \quad (2.47)$$

При этом значения помехоустойчивости составляют (см. рис. 2.27)

$$U_{\text{п}} \approx 0,5(U_L - \Delta V_{\text{п}}) = U^+_{\text{п}} = U^-_{\text{п}} \quad (2.48)$$

Ширина области переключения $\Delta V_{\text{п}} \approx (4 \dots 5) m \varphi_T$, где $m \approx 1,2 \dots 1,6$. В диапазоне рабочих температур $\Delta V_{\text{п}} \approx 100 \dots 200$ мВ.

Для элементов ЭСЛ, используемых в серийных МИС и СИС, $U^0 \approx 0,8 \dots 0,9$ В, $U^1 \approx 1,7 \dots 1,8$ В, $U_L \approx 0,8 \dots 0,9$ В. Такие же значения уровней U^0 , U^1 и порога $V_{\text{п}}$ обычно обеспечиваются на выходах и входах БИС ЭСЛ. В этом случае помехоустойчивость при комнатной температуре и номинальном напряжении питания составляет $U_{\text{п}} = 300 \dots 350$ мВ. Для элементов, используемых во внутренней структуре БИС ЭСЛ, перепад обычно уменьшается до $U_L \approx 0,4 \dots 0,6$ В и помехоустойчивость снижается до $U_L = 100 \dots 200$ мВ.

Значения уровней U^0 , U^1 существенно зависят от температуры. Из выражений (2.43) и (2.44) получаем

$$\Delta U^1(T) = -\Delta U^*(T) = \theta_V \Delta T, \quad (2.49)$$

$$\Delta U^0(T) = \Delta U^*(T) - \Delta I_0(T) R_1 - I_0 \Delta R_1(T), \quad (2.50)$$

где $\Delta I_0(T)$ — температурные изменения тока I_0 . Температурные коэффициенты напряжения U^* и сопротивления резисторов составляют: $\theta_V = 1,5 \dots 2$ мВ/°С, $\theta_R = (1 \dots 1,5) \cdot 10^{-3}$ 1/°С.

Чтобы обеспечить достаточную помехоустойчивость элементов ЭСЛ при изменениях T и $U_{\text{вх}}$, используются специальные источники опорного напряжения и смещения. На рис. 2.26,б показана схема такого источника, которая состоит из резистивно-диодного делителя напряжения $R1, R2, R3, VD1, VD2$ и транзисторов $VT1, VT2$, работающих как эмиттерные повторители. Схема обеспечивает напряжения

$$U_{\text{оп}} = -U^* - I_{\text{д}} R_1 = -U^* - (U_{\text{вх}} - 2U^*) R_1 / (R_1 + R_2 + R_3),$$

$$U_{\text{см}} = -U_{\text{вх}} + U^* + I_{\text{д}} R_3 = -U_{\text{вх}} + U^* + (U_{\text{вх}} -$$

$$-2U^*) R_3 / (R_1 + R_2 + R_3),$$

где $I_{\text{д}}$ — ток делителя. Чтобы обеспечить выполнение условия

(2.47), отношение сопротивлений резисторов делителя $R_1/(R_1 + R_2 + R_3) = 0,5 U_{\text{нп}}/(U_{\text{нп}} - 2U^*)$. Обычно выбирают значения $U_{\text{нп}} - U_{\text{с.н}} \geq 2U^* \approx 1,5 \dots 1,6 \text{ В}$, чтобы обеспечить необходимую стабильность тока I_0 . Один источник может обслуживать несколько (до 5 ... 10) элементов ЭСЛ.

При использовании данного источника $U_{\text{оп}}$ зависит от температуры и напряжения питания почти так же, как уровни U^0, U^1 . При колебаниях T и $U_{\text{нп}}$ значения $U^1 - U_{\text{оп}} \approx U^-_{\text{п}}$ и $-U_{\text{оп}} - U^0 \approx U^+_{\text{п}}$ изменяются относительно мало, т. е. помехоустойчивость сохраняется на достаточном уровне. Используя данные в этом разделе выражения, можно показать, что изменения $U_{\text{п}} \approx U^+_{\text{п}} \approx U^-_{\text{п}}$ составляют

$$\Delta U_{\text{п}}(T) = -2\theta_U \Delta T R_{\text{н}} / (R_1 + R_2 + R_3) = -\theta_U \Delta T U_{\text{л}} / (U_{\text{нп}} - 2U^*), \quad (2.51)$$

$$\Delta U_{\text{п}}(U_{\text{нп}}) = \epsilon_{\text{п}} U_{\text{нп}} R_1 / (R_1 + R_2 + R_3) = 0,5 \epsilon_{\text{п}} U_{\text{нп}} U_{\text{п}} / (U_{\text{нп}} - 2U^*). \quad (2.52)$$

При $\Delta T = 50^\circ \text{С}$ и $\epsilon_{\text{п}} = 0,05$ изменения помехоустойчивости $\Delta U_{\text{п}}(T) \approx \approx 20 \text{ мВ}$, $\Delta U_{\text{п}}(U_{\text{нп}}) \approx 30 \text{ мВ}$ для элемента, имеющего $U_{\text{л}} = 0,8 \text{ В}$, $U_{\text{нп}} = 5 \text{ В}$. Входной ток при $U_{\text{вх}} = U^1$

$$I_{\text{вх}} = I_0 / l (B_N + 1), \quad (2.53)$$

где l — число входов элемента, на которые подан потенциал U^1 . При $U_{\text{вх}} = U^0$ входные токи $I^0_{\text{вх}} \approx 0$.

Максимальный ток $I_{\text{н max}}$ определяется исходя из допустимого снижения уровня U^1 при подключении нагрузки: $\Delta U^1_{\text{доп}} \approx \Delta U_{\text{к1}} = = I_{\text{н max}} R_1 / (B_{\text{min}} + 1)$, где B_{min} — минимальное значение коэффициента усиления B_N в рабочем диапазоне температур. Используя (2.38), где принимаем $l = 1$, определяем коэффициент разветвления на выходе

$$N = I_{\text{н max}} / I_{\text{вх max}} = \Delta U^1_{\text{доп}} (B_{\text{min}} + 1)^2 / I_0 R_1 \approx \approx B^2_{\text{min}} \Delta U^1_{\text{доп}} / U_{\text{л}}. \quad (2.54)$$

Как показывают оценки, элементы ЭСЛ обеспечивают значения $N > 10 \dots 20$.

Потребляемая элементом мощность

$$P_{\text{э}} = U_{\text{нп}} I_{\text{п}} = U_{\text{нп}} (I_0 + 2I_{\text{э}}) = U_{\text{нп}} I_0 (2 + \kappa) / \kappa, \quad (2.55)$$

где $\kappa = I_0 / I_{\text{э}}$. Номинальное значение $U_{\text{нп}}$ обычно составляет 4,5 или 5,2 В, хотя в ряде случаев используется пониженное напряжение — $U_{\text{нп}} = -(2 \dots 3) \text{ В}$. Иногда к пониженному напряжению $U_{\text{нп}}$ подключаются только эмиттерные повторители.

Чтобы оценить задержку переключения, рассмотрим переходные характеристики элемента (рис. 2.28). При изменении потенциала на входе элемента от уровня $U_{\text{вх}} = U^0$ до U^1 открываются входные транзисторы V_{T1} , потенциал их коллектора уменьшается: $u_{\text{к1}} = -I_0 R_1 (1 - e^{-t/\tau_{\text{к}}})$, где $\tau_{\text{к}} = R_1 C_1$. Емкость C_1 на коллекторе транзисторов V_{T1} является суммой емкостей коллекторных пе-

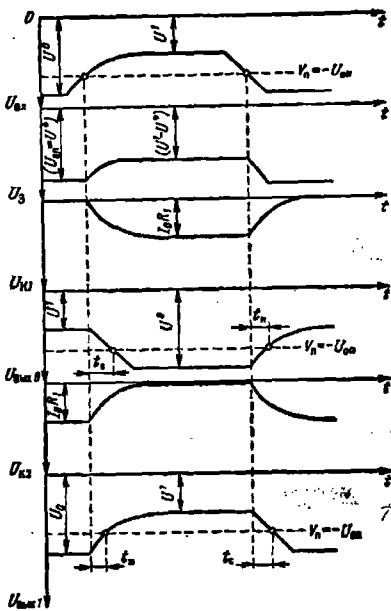


Рис. 2.28. Временные диаграммы переключения элемента ЭСЛ

реходов транзисторов $VT1$ и $VT3$, паразитной емкости $C_{ш1}$ соединений и изоляции, а также емкости C_2 , пересчитанной ко входу эмиттерного повторителя (база транзистора $VT3$):

$$C_1 = (M + 1)C_K + C_{ш1} + C_2 / (B_N + 1).$$

Выходная емкость C_2 состоит из емкости нагрузки C_H и паразитной емкости $C_{ш2}$ соединений и изоляции: $C_2 = C_H + C_{ш2}$.

Так как величина τ_K достаточно мала, то при значительной емкости нагрузки C_H потенциал на выходе F_0 не успевает следовать за уменьшением $u_{к1}$, и транзистор $VT3$ запирается. При этом уменьшение $u_{вых0}$ происходит вследствие разряда выходной емкости C_2 током эмиттерного повторителя $I_Э$: $u_{вых0} = U^1 - I_Э t / C_2$. Снижение $U_{вых0}$ до порога переключения происходит за время спада

$$t_c = C_2 (U^1 - U_{ш}) / I_Э = 0,5 C_2 U_{ш} / I_Э = 0,5 C_2 R_1 (I_э / I_Э). \quad (2.56)$$

Когда $u_{вых0}$ достигает значения U^0 , напряжение на эмиттерном переходе $VT3$ становится равным $u_{к1} - u_{вых0} = -I_э R_1 - U^0 = U^*$,

и транзистор $VT3$ открывается. На входе устанавливается потенциал $u_{вых0} = U^0$.

При изменении входного потенциала от уровня $u_{вх} = U^0$ до U^1 транзисторы $VT1$ запираются и потенциал $u_{к1}$ возрастает вследствие заряда емкости $C1$ через резистор $R1$: $u_{к1} = -I_0 R_1 e^{-t/\tau_k}$. Через открытый транзистор $VT3$ изменения $u_{к1}$ передаются на выход схемы. Потенциал $u_{вых0}$ увеличивается до уровня $V_{п} = -U_{оп}$ за время нарастания

$$t_n = \tau_k \ln[(U_{оп} - U^0)/U_n] = \tau_k \ln 2 \approx 0,7\tau_k. \quad (2.57)$$

Задержки переключения элемента приближенио равны: $t_{0,1}^0 \approx t_n$, $t_{1,0}^1 \approx t_c$. Для более точных оценок необходимо учитывать собственные задержки переключения транзистора τ_t , влияние сопротивления его базовой области r_B . При этом для расчета задержек можно использовать выражения

$$t_{0,1}^0 = 2\tau_t + r_B C_2 / B_N + t_n; \quad (2.58)$$

$$t_{1,0}^1 = 2\tau_t + r_B (C_K + C_Э) + t_c. \quad (2.59)$$

Отметим, что задержка $t_{0,1}^0$ возрастает при увеличении числа входов M , так как при этом растут емкость C_1 и соответственно время нарастания t_n .

Средняя задержка переключения

$$t_3 = \tau_0 + (0,35C_1 + 0,25\kappa C_2) R_1, \quad (2.60)$$

где $\tau_0 = 2\tau_t + 0,5 r_B (C_K + C_Э + C_2/B_N)$ — составляющая задержки, определяемая собственными параметрами транзисторов. При типовых для серийных микросхем ЭСЛ параметрах $f_T = 2 \dots 3$ ГГц, $r_B = 0,5 \dots 1$ кОм, $C_K \approx C_Э \approx 0,05$ пФ получаем $\tau_0 = 0,1 \dots 0,2$ нс. Задержка переключения составляет $t_3 \approx 1$ нс при $P_3 = 5 \dots 10$ мВт, $C_{п} = 5 \dots 10$ пФ.

Энергия переключения определяется из выражения

$$A_{п} = U_{оп} U_n (0,35C_1 + 0,25\kappa C_2) + \tau_0 P_3. \quad (2.61)$$

Используя (2.61) и (2.55), нетрудно из условия $dA_{п}/d\kappa = 0$ найти оптимальное значение κ , при котором $A_{п}$ минимально:

$$\kappa_{опт} \approx 1,6 \sqrt{C_1/C_2}. \quad (2.62)$$

Часто в элементах ЭСЛ используются резисторные ИТ. Для таких схем справедливы результаты проведенного анализа, если принять

$$I_0 \approx (U_{оп} - 2U^*)/R'_2, \quad I_3 \approx (U_{оп} - U^*)/R'_3,$$

где R'_2 , R'_3 — сопротивления резисторов, включенных в качестве ИТ.

Для расширения логических возможностей элементов ЭСЛ широко используются Монтажное ОТ для объединения выходов нескольких элементов (см. рис. 2.18). При этом выполняется до-
полнительная логическая операция Монтажное ИЛИ: $W = F_1 \vee F_2 \vee \dots$, где F_i — функции, реализуемые на выходах объединяемых элементов.

няемых элементов. Транзисторы эмиттерных повторителей в элементах ЭСЛ часто делаются многоэмиттерными, чтобы путем различного объединения выходов (эмиттеров) можно было получить несколько дополнительных логических функций.

Варианты базовых элементов. В микросхемах ЭСЛ часто применяются различные варианты базовых элементов, дающие улучшение некоторых параметров.

В ряде случаев используются элементы *переключательно-токовой логики*¹ (ПТЛ), которые представляют собой элементы ЭСЛ без выходных эмиттерных повторителей (рис. 2.29,а). Такой элемент аналогичен рассмотренному выше ПТ. Его передаточная характеристика дана на рис. 2.29,б. При $U_{вх} = U^1$ транзисторы VT1 в элементе ПТЛ оказываются в насыщении, так как

$$U_{Б1} = U^1 \approx 0 > U_{К1} = U^0 \approx -I_0 R_1 = -U_{\lambda}$$

Если величина перепада достаточно мала ($U_{\lambda} \leq 0,5 \dots 0,6$ В), то транзисторы работают в квазинасыщенном режиме: $S \approx 1,001$ и менее. При этом насыщение транзисторов VT1 практически не влияет на быстродействие элемента. Задержка переключения элемента ПТЛ

$$t_3 \approx \tau_T + 0,7R_1C_1 \approx 0,7C_1U_{\lambda}/I_0, \quad (2.63)$$

где $C_1 = MC_K + C_{п1} + C_{п2}$ — общая паразитная емкость, подключенная к коллекторам VT1. При малых значениях $C_{п2}$ элементы ПТЛ имеют меньшую задержку t_3 , чем элементы ЭСЛ, при одинаковом потреблении мощности. Однако при значительной емкости $C_{п2}$ элементы ЭСЛ оказываются более быстродействующими. Элементы ПТЛ имеют также меньший коэффициент разветвления $N = \Delta U^1_{\text{доп}} B_{\text{мин}}/U_{\lambda}$.

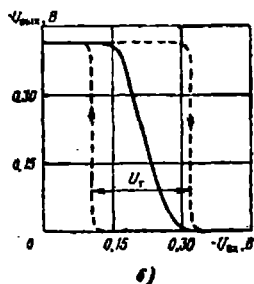
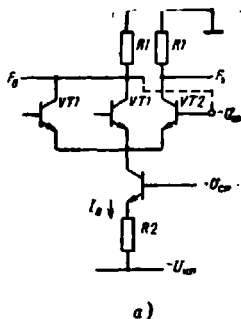


Рис. 2.29. Элемент ЭСЛ с гистерезисом (а) и его передаточная характеристика (б)

¹ В зарубежной литературе эти элементы получали название Current — Mode Logic (CML).

Для увеличения помехоустойчивости элементов ПТЛ можно ввести отрицательную обратную связь, подключив базу опорного транзистора VT_2 (вместо источника напряжения $-U_{оп}$) к инвертирующему выходу F_1 (штриховая линия на рис. 2.29,а). При этом порог $V_{п} = U_{вых1}$ изменяется при переключении элемента и на передаточной характеристике появляется гистерезис (штриховая линия на рис. 2.29,б). Ширина петли гистерезиса $U_{г}$ оказывается на 100...150 мВ меньше логического перепада $U_{л}$. Помехоустойчивость возрастает приблизительно вдвое: $U_{п}^{+} \approx U_{п}^{-} \approx 0,5(U_{л} + U_{г})$. Однако во столько же раз увеличивается задержка переключения.

В качестве разновидности ПТЛ можно рассматривать *элементы непороговой логики* (НПЛ), которые не содержат опорного транзистора (рис. 2.30,а). В результате элемент не имеет четко выраженного порога переключения на передаточной характеристике (рис. 2.30,б) и его помехоустойчивость составляет всего несколько милливольт. Логические уровни элементов НПЛ:

$$U^1 \approx 0, U^0 = -(U_{ин} - U^*)R_1/R_2 = -U_{л}.$$

Величина перепада должна быть $U_{л} \leq 0,5 \dots 0,6$ В, чтобы транзисторы VT_1 оставались в квазинасыщенном режиме при $U_{вх} = U^1$. При $U_{вх} = U^0$ транзисторы должны запираться. Для этого напряжение питания должно быть $U_{ин} \leq U^* + U_{л} \approx 1,2 \dots 1,4$ В. Изменение потенциала на выходе элемента НПЛ начинается уже при небольших изменениях входного сигнала, поэтому задержка переключения в логических цепях из таких элементов оказывается в несколько раз меньше, чем при использовании элементов ЭСЛ, ПТЛ. Емкость, шунтирующая резистор в эмиттерной цепи, служит для ускорения включения транзисторов. В цифровых устройствах элементы НПЛ используются совместно с элементами ПТЛ, обеспечивающими требуемую помехоустойчивость.

Элементы ЭСЛ со стабилизацией уровней и порога имеют постоянные значения U^0 , U^1 и $V_{п}$ в диапазоне рабочих температур и напряжений питания. Стабилизация этих параметров обеспечивается благодаря включению дополнительной термокомпенсирующей

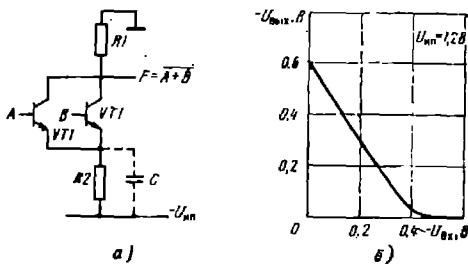


Рис. 2.30. Элемент непороговой логики (а) и его передаточная характеристика (б)

шей цепочки $R4$, $VD1$, $VD2$ между коллекторами транзисторов переключателя тока (рис. 2.31,а) и использованию специальной схемы источника напряжений $U_{оп}$, $U_{см}$ (рис. 2.31,б). Значения уровней на выходах элемента

$$U^1 = -U^* - I_d R_1, \quad U^0 = -U^* - (I_0 - I_d) R_1, \quad (2.64)$$

где I_d — ток, протекающий через цепочку $R4$, $VD1$, $VD2$, в которой $R4 = R1$.

Чтобы определить значения I_0 , $U_{оп}$, $U_{см}$, рассмотрим работу источника напряжений. Ток в цепи $R1$, $VT1$, $R2$, $VT4$, $R4$

$$I_1 = m \Phi_T \ln \left(\frac{I_2}{I_1} \frac{I_{Э0}}{I_{Д0}} \right) / R_1,$$

где $I_{Д0}$, $I_{Э0}$ — тепловые токи диода $VD1$ (транзистор в диодном включении) и эмиттерного перехода транзистора $VT1$; $I_{Э0}/I_{Д0} = (S_Э/S_Д)$; $S_Э$, $S_Д$ — площади эмиттерных переходов транзистора $VT1$ и диода $VD1$. Сопротивления резисторов $R2$, $R4$ в этой цепи выбираются равными: $R2 = R4$. Отношение токов I_2/I_1 определяется сопротивлениями резисторов $R2$, $R3$: $I_1/I_2 = R_3/R_2$. Используя эти соотношения, получаем

$$-U_{оп} = -U^* - I_1 R_4 = -U^* - \Delta U, \quad (2.65)$$

$$-U_{см} = -U_{нп} + U^* + I_2 R_3 = -U_{нп} + U^* + \Delta U, \quad (2.66)$$

$$\Delta U = I_1 R_4 = I_1 R_2 = I_2 R_3 = \frac{R_2}{R_1} m \Phi_T \ln \left(\frac{R_2}{R_3} \frac{S_Э}{S_Д} \right). \quad (2.67)$$

Чтобы обеспечить независимость значений $U_{оп}$, $U_{см}$ от температуры ($dU_{оп}/dT = dU_{см}/dT = 0$), необходимо выполнить условие

$$dU^*/dT = \theta_U = -d(\Delta U)/dT = -\Delta U/T_n,$$

где $T_n = 293$ К (нормальная температура). Выполнение этого условия достигается выбором соответствующих значений R_2/R_1 , R_2/R_3 , $S_Э/S_Д$. Например, при типовом значении $\theta_U = -1,7$ мВ/°С для

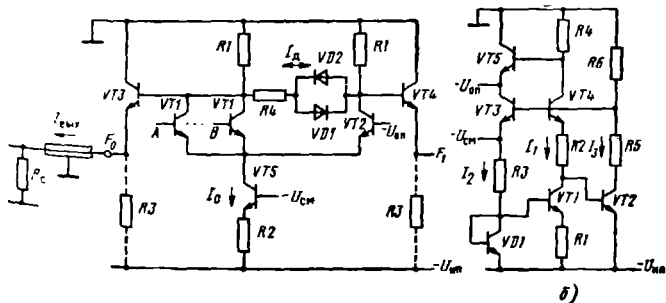


Рис. 2.31. Элемент ЭСЛ со стабилизированными уровнями (а) и источник опорного напряжения (б)

компенсационные температурные изменений U^* необходимо иметь $\Delta U \approx 0,5$ В. Если $m_{\Phi T} = 25$ мВ при $T = T_B$, то компенсация будет обеспечена при $S_3/S_d = 3$, $R_2/R_3 = 4$, $R_2/R_1 = 8$. В результате достигается стабильность порога переключения элемента в диапазоне рабочих условий $V_{п} = -U_{оп} \neq f(T, U_{ин})$.

С помощью (2.66) определим ток

$$I_0 = (U_{ин} - U_{см} - U^*)/R_2 = \Delta U/R_2. \quad (2.68)$$

Ток I_d связан с I_0 соотношением $I_d(R_1 + R_4) + U^* = (I_0 - I_d)R_1$, где $R_1 = R_4$. Используя (2.64) и полученные выражения токов I_0 , I_d , определяем уровни

$$U^0 = -4U^*/3 - 2\Delta U(R_1/R_2)/3, \quad (2.69)$$

$$U^1 = -2U^*/3 - \Delta U(R_1/R_2)/3, \quad (2.70)$$

величина которых не зависит от напряжения $U_{ин}$. При увеличении температуры величина U^* уменьшается, а ΔU возрастает. Взаимная компенсация их изменений, т. е. $dU^1/dT = dU^0/dT = 0$, будет достигнута, если выбрать отношение сопротивлений $R_1/R_2 = 2$. При $\Delta U \approx 0,5$ В значения уровней $U^0 \approx -1,7 \dots -1,8$ В, $U^1 \approx -0,8 \dots -0,9$ В сохраняются постоянными в достаточно широком диапазоне температур ($-30 \dots 85^\circ$ С) и напряжений питания ($U_{ин} = 4 \dots 5$ В).

Во избежание значительных искажений при передаче сигналов, имеющих крутые фронты ($t_{\Phi} \leq 1$ нс), соединение микросхем ЭСЛ часто осуществляется согласованными линиями связи (полосковые линии, микрокабели), имеющими волновое сопротивление $z_0 = 50$ или 75 Ом (реже 25 или 150 Ом). В этом случае вместо резисторных или транзисторных ИТ в выходных эмиттерных повторителях включается внешний согласующий резистор с сопротивлением $R_c = z_0$ на конце линии (см. рис. 2.31, а). При этом ток эмиттерного повторителя

$$I_3 = I_{вых} = (U_{вых} - U_{оп})/R_c,$$

где $U_{вых} = U^0$ или U^1 в зависимости от состояния элемента. Для уменьшения тока I_3 и потребляемой мощности, определяемой выражением (2.55), резистор R_c обычно подключают к пониженному напряжению — $U_{оп} = -2$ В. При этом ток $I_d = I_{вых} \approx 10 \dots 20$ мА и мощность, рассеиваемая на выходном транзисторе и резисторе R_c , составляет десятки милливатт. Таким образом, согласованная линия связи требует значительных затрат мощности.

Сложнофункциональные элементы ЭСЛ и ПТЛ наиболее эффективно реализуются путем многоярусного включения ПТ. На выходах двухъярусного элемента можно получить четыре различные логические функции, для реализации каждой из которых потребовалось бы использовать два одноярусных элемента. Поэтому логические возможности этого элемента приблизительно в 4 раза больше, чем одноярусного. Логические возможности трехъярусного элемента в принципе в 8 раз шире, чем одноярусного. Однако использовать одновременно все логические возможности

элемента удается редко. Как показывает практика, в реальных цифровых устройствах один двухъярусный элемент в среднем заменяет 3—4 элемента ИЛИ — НЕ, а трехъярусный — 5—6 элементов.

Методика проектирования многоярусных сложнофункциональных элементов описана выше на примере элемента И—ИЛИ—НЕ (см. рис. 2.25,б). Их потребляемая мощность

$$P_s = U_{\text{пп}}(I_0 + I_s + m'I'_s),$$

где l — число реализуемых функций, т. е. выходных эмиттерных повторителей; m' — число переменных, поступающих на нижние ярусы, т. е. входных эмиттерных повторителей. Отношение токов $\kappa = I_0/I'_0$ определяется выражением (2.62). Входные повторители служат для снижения уровней U^0, U^1 на величину U^* , чтобы избежать насыщения транзисторов нижних ярусов. Объединение выходов повторителей используется для реализации дизъюнкции переменных, поступающих на нижние ярусы (см. рис. 2.25,б). Ток этих повторителей обычно составляет $I'_s = 0,25 \dots 0,35 I_0$.

При поступлении сигналов на входы верхнего яруса задержка переключения $t_{3,в}$ будет такой же, как для одноярусного: $t_{3,в} = t_{3,в}$, где t_3 определяется из выражения (2.60). Если переключающие сигналы поступают на нижние ярусы, то задержка будет больше: $t_{3,в} > t_{3,в}$. Увеличение задержки связано с перезарядом паразитных емкостей, подключенных ко входу ПТ нижнего яруса и к коллекторам транзисторов этих ПТ. В результате $t_{3,в}$ оказывается на 25 ... 30% больше, чем $t_{3,в}$.

При проектировании сложнофункциональных элементов ЭСЛ, ПТЛ можно использовать различные варианты их схемной реализации. Рассмотрим некоторые из них на примере элемента Иключающее ИЛИ. Исходную функцию можно преобразовать к виду (2.42): $W = AB \vee \bar{A}B = A(B) \vee \bar{A}(B)$, где $A = X$, $B = Y_0 = Y_1$, $p_0 = g_1 = 1$, $g_1 = p_1 = 0$. Используя табл. 2.4, определяем необходимое подключение выходов ПТ к общему резистору $R1$. В результате получаем двухъярусный элемент ЭСЛ (рис. 2.32,а), где используются транзисторные ИТ.

Другой вариант реализации элемента получим, представив функцию в следующем виде: $W = AB \vee \bar{A}B = (A \vee B)(\bar{A} \vee B) = F_1 F_2$. Функции F_1, F_2 реализуются на неинверсных выходах одноярусных элементов ЭСЛ и ПТЛ. Монтажное объединение коллекторов опорных транзисторов дает конъюнкцию этих функций (Монтажное И). Опорные транзисторы $VT2$ обоих элементов имеют при этом общие базу и коллектор, так что их можно интегрировать в один двухэмиттерный транзистор. В результате получаем схему элемента Иключающее ИЛИ (рис. 2.32,б), где использованы резисторные ИТ.

Третий вариант получим, преобразовав функцию к виду $W = AB \vee \bar{A}B = (\bar{A} \vee B)(A \vee B) = F_1 \vee F_2$. Функции F_1 и F_2 реализуются на инверсных выходах одноярусных элементов ЭСЛ. Монтажное

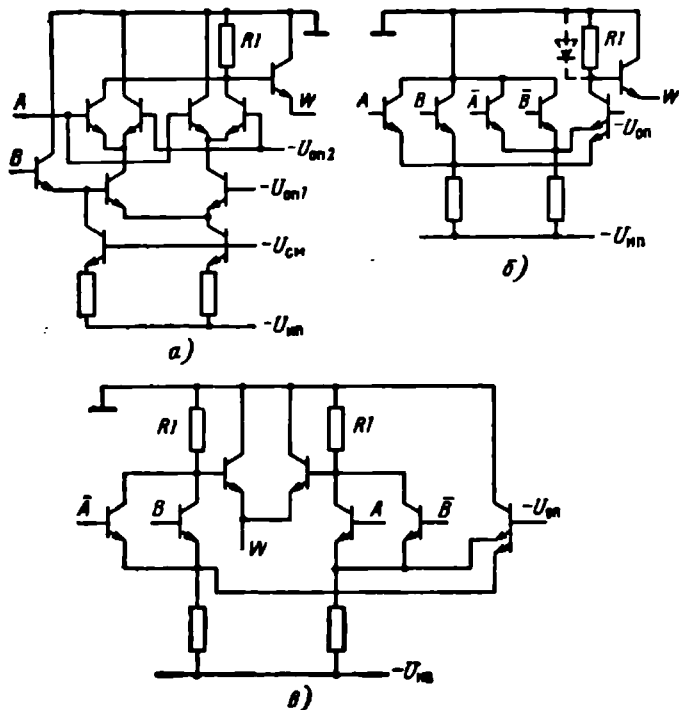


Рис. 2.32. Варианты реализации элемента Исключающее ИЛИ на базе ЭСЛ

соединение выходов эмиттерных повторителей обеспечивает конъюнкцию F_1 и F_2 (Монтажное ИЛИ). В результате получаем схему элемента Исключающее ИЛИ (рис. 2.32,в).

Сравнение полученных схем показывает, что при одинаковых значениях I_0 и $U_{\text{нп}}$ одноярусные элементы (рис. 2.32,б,в) потребляют в 1,5 раза большую мощность, а двухъярусный элемент (рис. 2.32,а) имеет повышенную задержку переключения (на 20 ... 30%). Минимальную площадь на кристалле занимает схема на рис. 2.32,б, максимальную — схема на рис. 2.32,а. Одноярусные элементы могут работать при $U_{\text{нп}} \geq 2,5 \dots 3$ В, двухъярусный — при $U_{\text{нп}} \geq 3,5 \dots 4$ В. В зависимости от предъявляемых требований в цифровых устройствах можно использовать тот или иной вариант элемента Исключающее ИЛИ.

2.5. ЭЛЕМЕНТЫ НА КОМПЛЕМЕНТАРНЫХ МДП-ТРАНЗИСТОРАХ (КМДПТЛ)

В элементах этого типа используются МДП-транзисторы дополняющих типов проводимости (комплементарные), т. е. с n - и p -каналами. Совместное включение комплементарных транзисторов позволяет реализовать логические схемы, практически не потребляющие

щие мощность в статическом режиме. Поэтому микросхемы КМДПТЛ при малых и средних частотах переключения имеют на 2...3 порядка меньшее энергопотребление, чем микросхемы ТТЛ, ЭСЛ. Элементы КМДПТЛ обеспечивают приблизительно такую же задержку переключения, как элементы ТТЛ. Микросхемы этого типа широко применяются в цифровой аппаратуре среднего и высокого быстродействия, особенно при наличии ограничений на потребление мощности из-за ограниченности энергоресурсов или необходимости обеспечения заданного теплового режима.

Базовые элементы КМДПТЛ. Анализ характеристик элементов КМДПТЛ проведем на примере инвертора (рис. 2.33). Когда потенциал на входе $U_{вх} = U_{зиn} < U_{0n}$ — порогового напряжения отпирания n -канального транзистора $VT1$, этот транзистор закрыт. Напряжение затвор-исток транзистора $VT2$ при этом $U_{зиp} = (U_{вх} - U_{ип}) < U_{0p}$, где $U_{0p} < 0$ — пороговое напряжение p -канального транзистора. Транзистор открыт и работает в крутой области сток-истоковой характеристики $I_c = f(U_{си})$. Остаточное напряжение на МДП-транзисторе в этой области приближенно определяется из выражения

$$U_{ост} = I_c b (U_{зи} - U_0), \quad (2.71)$$

где b , U_0 — удельная крутизна и пороговое напряжение транзистора (n - или p -канального). Так как через транзисторы $VT1$ и $VT2$ ток не протекает ($I_{сн} = I_{ср} = 0$), то $U_{остp} = 0$ и на выходе устанавливается высокий потенциал $U^1 = U_{ип}$ (рис. 2.33, б). Когда потенциал на входе увеличивается до уровня $U_{вх} = U_{0n}$, открывается транзистор $VT1$. В схеме начинает протекать ток стока транзисторов

$$I_{ср} = I_{снn} = b_n (U_{вх} - U_{0n})^2, \quad (2.72)$$

где $I_{сн}$ — ток насыщения; b_n — удельная крутизна n -канального транзистора $VT1$. Падение напряжения на p -канальном транзисторе $U_{остp}$ увеличивается, но пока транзистор $VT2$ работает в крутой области характеристик, уменьшение уровня U^1 незначи-

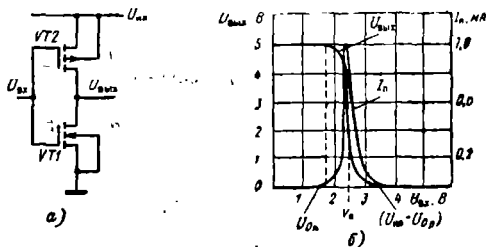


Рис. 2.33. Инвертор на комплементарных МДП-транзисторах (а), его передаточная характеристика и зависимость тока питания от входного напряжения (б)

При дальнейшем увеличении $U_{вх}$ транзистор $VT2$ падает в пологую область характеристик, когда его ток стока $I_{ср}$ достигает значения тока насыщения p -канального транзистора:

$$I_{сн p} = b_p (U_{ин} + U_{0 p})^2. \quad (2.73)$$

Падение напряжения на транзисторе $VT2$ возрастает, а потенциал $U_{вых}$ падает. Значение $U_{вх}$, равное порогу переключения $V_{п}$, определяем из условия $I_{ср} = I_{сн p}$, используя (2.72) и (2.73):

$$V_{п} = [U_{0n} + \sqrt{b_p/b_n} (U_{ин} + U_{0p})] / (1 + \sqrt{b_p/b_n}). \quad (2.74)$$

После переключения транзистор $VT1$ работает в крутой области характеристик и потенциал на выходе $U_{вых} = U_{ост n}$. Когда потенциал $U_{вх}$ достигает значения $U_{ин} + U_{0p}$, запирается транзистор $VT2$ и на выходе устанавливается потенциал $U^0 = 0$.

При проектировании микросхем стремятся обеспечить $b_p/b_n \approx \approx 1$. При этом $V_{п} \approx 0,5(U_{ин} + U_{0n} + U_{0p})$. Абсолютная величина пороговых напряжений U_{0n} , $|U_{0p}|$ уменьшается при возрастании температуры с коэффициентом $\theta_V \approx -(1 \dots 2)$ мВ/°С. Однако величина $V_{п}$ слабо зависит от температуры, так как определяется разностью этих абсолютных величин. Соответственно слабо зависит от температуры и помехоустойчивость:

$$U_{+п} = V_{п}, \quad U_{-п} = U_{ин} - V_{п}. \quad (2.75)$$

При типовых значениях $U_{0n} \approx |U_{0p}| = 1 \dots 1,5$ В помехоустойчивость $U_{+п}$, $U_{-п}$ схем КМДПТЛ составляет более 1 В, т. е. существенно больше, чем для элементов ТТЛ, ЭСЛ.

Напряжение питания определяется из условия $U_{ин} > U_{0n} - U_{0p}$ и для современных микросхем КМДПТЛ составляет обычно $U_{ин} = 5$ В. При таком выборе $U_{ин}$ элементы КМДПТЛ по значениям логических уровней U^0 , U^1 и порога переключения $V_{п}$ оказываются совместимыми с элементами ТТЛ и могут вместе работать в цифровых устройствах без промежуточных трансляторов.

Так как $I_{вх}^0 = I_{вх}^1 \approx 0$, то обеспечиваются высокие значения коэффициента разветвления N (несколько десятков), которые ограничиваются токами утечки и снижением быстродействия при подключении большого числа элементов-нагрузок.

Ток питания $I_{п}$ и мощность потребляются схемой только в области переключения при входных напряжениях $U_{0n} < U_{вх} < (U_{ин} - U_{0p})$, когда через схему течет сквозной ток $I_{п} = I_{сн n} = I_{ср}$ (см. рис. 2.33, б). Максимальное значение $I_{п}$ можно определить с помощью выражения (2.72) или (2.73) при $U_{вх} = V_{п}$:

$$I_{п max} = b_p [(U_{ин} - U_{0n} + U_{0p}) / (1 + \sqrt{b_p/b_n})]^2.$$

В статическом режиме, когда $U_{вых} = U^0$ или U^1 , ток питания определяется только обратными токами изолирующих p - n переходов истока и стока и токами утечки по поверхности диэлектрика. При нормальной технологии изготовления микросхем эти токи весьма малы (менее 10^{-8} А). Поэтому можно считать $I_{п}^0 = I_{п}^1 = 0$ и потребляемая мощность $P_3 = 0$.

Параметры b_n , b_p , U_{0n} , U_{0p} , от которых зависит характеристика элементов КМДПТЛ, определяются электрофизическими параметрами МДП-транзисторов: $b = 0,5\mu\epsilon_d(W_k/L_k)/d_d(1+\eta)$, $U_0 = U'_0 + \eta U_{\text{пи}}$, где μ — средняя подвижность носителей в канале; ϵ_d , d_d — диэлектрическая проницаемость и толщина подзатворного диэлектрика; W_k/L_k — отношение ширины канала к его длине; U'_0 — пороговое напряжение при разности потенциалов между подложкой и истоком $U_{\text{пи}} = 0$. Величина μ зависит от физического состояния поверхностного слоя полупроводника, в котором образуется канал, и величины электрического поля. Для современных микросхем КМДПТЛ обычно $\mu_n = 200 \dots 400 \text{ см}^2/\text{В}\cdot\text{с}$, $\mu_p = 100 \dots 200 \text{ см}^2/\text{В}\cdot\text{с}$. Коэффициент влияния подложки $\eta = (d_d/\epsilon_d) \sqrt{(0,5\epsilon_0 q N_{\text{п}})/(U_{\text{пи}} + 2\Phi)}$, где $N_{\text{п}}$, ϵ_0 — концентрация примесей и диэлектрическая проницаемость подложки; $\Phi = \varphi_T \ln(N_{\text{п}}/N_i)$, $N_i \approx 2 \cdot 10^{10} \text{ см}^{-3}$ — собственная концентрация носителей. В микросхемах КМДПТЛ подложки n -канальных транзисторов обычно подключают к «земле», а подложки p -канальных — к напряжению питания. В этом случае $U_{\text{пи}} = 0$, а типовые значения параметров для p -канальных транзисторов составляют $\eta_p = 0,5 \dots 1$, $U_{0p} = U'_{0p} = 1 \dots 1,5 \text{ В}$, для n -канальных $\eta_n = 1 \dots 2$, $U_{0n} = U'_{0n} = 0,8 \dots 1,2 \text{ В}$. Переходные характеристики показаны на рис. 2.34. При поступлении на вход положительного перепада напряжения $U^1 = U_{\text{пи}}$ транзистор $VT2$ запирается, $VT1$ открывается. Па-

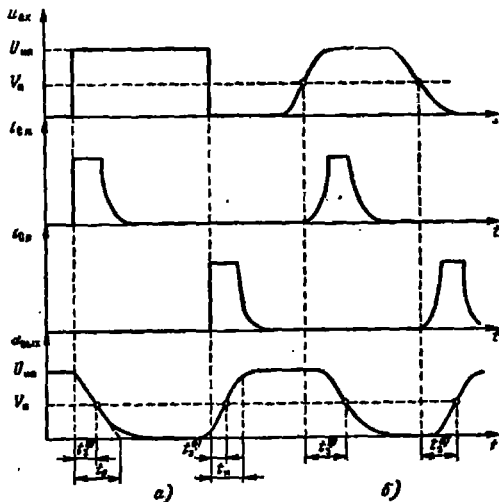


Рис. 2.34. Временные диаграммы переключения элемента КМДПТЛ

значительная емкость C_{Π} , подключенная к выходу, разряжается током I_{Cn} транзистора $VT1$, который определяется из выражения (2.72) при $U_{ВХ} = U_{ИП}$. Выходной потенциал падает: $u_{ВЫХ}(t) = U_{ИП} - I_{Cn}(t/C_{\Pi}) = U_{ИП} - (t/\tau_n)(U_{ИП} - U_{0n})$, где $\tau_n = C_{\Pi}/b_n(U_{ИП} - U_{0n})$. Значение $u_{ВЫХ} = V_{\Pi}$ достигается за время

$$t_s^{1,0} = \tau_n(U_{ИП} - V_{\Pi}) / (U_{ИП} - U_{0n}). \quad (2.76a)$$

При $u_{ВЫХ} \leq (U_{ИП} - U_{0n}) / (1 + \eta_n)$, где η_n — коэффициент влияния подложки, транзистор $VT1$ переходит в крутую область характеристик. Ток i_{Cn} и напряжение $u_{ВЫХ}$ уменьшаются до нуля.

При поступлении на вход отрицательного перепада потенциала транзистор $VT1$ запирается, $VT2$ отпирается. Емкость C_{Π} заряжается током I_{Cp} транзистора $VT2$, который определяется из выражения (2.73) при $U_{ВХ} = 0$. Выходной потенциал нарастает: $u_{ВЫХ}(t) = (t/\tau_p)(U_{ИП} + U_{0p})$, где $\tau_p = C_{\Pi}/b_p(U_{ИП} + U_{0p})$, достигая значения $u_{ВЫХ} = V_{\Pi}$ за время

$$t_s^{0,1} = \tau_p V_{\Pi} / (U_{ИП} + U_{0p}). \quad (2.77a)$$

При $u_{ВЫХ} \geq U_{ИП} - (U_{ИП} + U_{0p}) / (1 + \eta_p)$ транзистор $VT2$ переходит в крутую область характеристик. Ток I_{Cp} уменьшается до нуля, а потенциал $u_{ВЫХ}$ стремится к значению $U_{ИП}$.

Емкость C_{Π} включает емкости областей стока C_{Cn} , C_{Cp} , проходные емкости затвор — сток $C_{Зn}$, $C_{Зp}$, емкости C_M металлических соединений и нагрузки C_H : $C_{\Pi} = (C_{Cn} + C_{Cp}) + 2(C_{Зn} + C_{Зp}) + C_M + C_H$, где коэффициент 2 отражает влияние эффекта Миллера¹.

Чтобы получить близкие значения задержек $t_s^{0,1} \approx t_s^{1,0}$, транзисторы в схемах КМДПТЛ проектируются таким образом, что обеспечивается $\tau_n \approx \tau_p$, $b_n \approx b_p$. Это достигается соответствующим выбором размеров n - и p -канальных транзисторов:

$$\mu_n (W_{kn}/L_{kn}) = \mu_p (W_{kp}/L_{kp}).$$

Следует отметить, что уменьшение логического перепада U_L в элементах КМДПТЛ не дает повышения быстродействия. Так как постоянные времена $\tau_{n,p} = C_{\Pi}/b_{n,p}(U_{ИП} - |U_{0n,p}|)$, то уменьшение $U_L = U_{ИП}$ приведет к возрастанию задержек переключения.

Так как подвижность носителей μ зависит от T , то аналогичную температурную зависимость имеет удельная крутизна: $b(T) = b_n / (T/T_n)^{3/2}$, где b_n — значение крутизны b_n или b_p при нормальной температуре $T_n = 293$ К (T и T_n в °К). Соответственно постоянные времена $\tau_n \sim b_n$, $\tau_p \sim b_p$ увеличиваются при повышении T . Таким образом, быстродействие элементов КМДПТЛ возрастает при снижении T . Поэтому уменьшение рабочей температуры является одним из перспективных путей повышения их быстродействия. Так, при $T = 77$ К (температура кипения жидкости азота) задержки переключения уменьшаются более чем в 2 раза по сравнению с T_n .

¹ Повышенное влияние проходной емкости транзисторов из-за противоположного изменения потенциалов на ее выводах.

Для более точного определения значений $t_{s^{0,1}}$, $t_{s^{1,0}}$ в цепи элементов КМДПТЛ необходимо учесть, что входные напряжения поступают с выходов предыдущих схем и длительности их нарастания и спада сравнимы с величинами задержек (см. рис. 2.34). При этом токи I_{Cn} , I_{Cp} имеют конечное время возрастания, задержки нереклЮчения увеличиваются. Таким образом, p -канальный транзистор предыдущего элемента определяет скорость нарастания тока I_{Cn} и соответственно время задержки $t_{s^{1,0}}$ в последующем элементе. Задержка $t_{s^{0,1}}$ зависит от скорости нарастания тока I_{Cp} , которая определяется n -канальным транзистором предыдущего элемента. В результате получаем $t_{s^{1,0}} = f(\tau_n, \tau'_p)$, $t_{s^{0,1}} = f(\tau_p, \tau'_n)$, где τ'_p , τ'_n — постоянные времени предыдущего элемента. Более точные аналитические выражения для определения $t_{s^{0,1}}$, $t_{s^{1,0}}$ оказываются весьма сложными, и расчет задержек лучше производить численными методами с помощью ЭВМ. Для приближенной оценки задержек нереклЮчения в цепи элементов можно использовать выражения

$$t_{s^{1,0}} = t_n - \tau_n U_{нн} / (U_{нн} - U_{0н}), \quad (2.766)$$

$$t_{s^{0,1}} = t_p = \tau_p U_{пп} / (U_{пп} - U_{0п}), \quad (2.776)$$

где t_n , t_p — времена нарастания и спада, полученные путем линейной аппроксимации зависимостей $u_{вых}(t)$ до значений $u_{вых} = U_{нн}$ и $u_{вых} = 0$ соответственно. При данной оценке считается, что нереклЮчение следующего элемента начинается, когда заканчиваются переходные процессы на выходе предыдущего. Значения средней задержки элементов в цепи $t_s = 0,5(t_{s^{0,1}} + t_{s^{1,0}})$, полученные с помощью выражений (2.766), (2.776), приблизительно вдвое превышают значения, даваемые выражениями (2.76а), (2.77а). Как показывают экспериментальные исследования и расчеты на ЭВМ, этот способ оценки дает несколько завышенные значения t_s (обычно на 20 ... 30%).

В современных цифровых БИС, где используются транзисторы с длиной канала $L_{кп} = L_{кр} = 1,5 \dots 2$ мкм, элементы КМДПТЛ обеспечивают $t_s = 2 \dots 3$ нс, т. е. имеют приблизительно такое же быстрое действие, как элементы ТТЛ.

В процессе переключения в схеме протекают сквозной ток $I_{Cn} = I_{Cp}$, когда одновременно открыты транзисторы $VT1$ и $VT2$, и ток I_3 заряда емкости C_n . Так как сквозной ток протекает относительно короткое время, то основная часть мощности переключения расходуется на перезаряд емкости C_n . В течение одного периода переключающих сигналов емкость C_n заряжается до потенциала $U_{нн}$, т. е. средний ток заряда $I_{s.c.p} = U_{нн} C_n / t_n$, где t_n — длительность периода переключающих сигналов. Динамическая потребляемая мощность $P_d = U_{нн} I_{s.c.p}$ определяется из выражения (2.9). При высоких частотах переключения ($f_n = 10$ МГц) и значениях $C_n > 1$ элементы КМДПТЛ потребляют мощность в единицы милливатт и более, т. е. столько же, сколько элементы ТТЛ. Поэтому применение элементов КМДПТЛ особенно перспективно в БИС, где обеспечиваются малые значения $C_n \leq 1$ пФ. При средних частотах переключения ($f_n = 1 \dots 10$ МГц) мощность, потребляемая элементом КМДПТЛ в БИС, составляет менее 10 ... 20 мВт, что значительно меньше, чем для элементов других типов.

Для реализации различных логических функций используется параллельное и последовательное включение p - и n -канальных транзисторов, работающих в качестве ТК (см. рис. 2.9, з, д), которые переключаются сигналами противоположной полярности. Параллельно-последовательное соединение n -канальных транзисторов реализует логическую функцию F_n в инверсно-дизъюнктивной форме 2в (см. табл. 2.2), а параллельно-последовательное соединение p -канальных транзисторов — функцию F_p в дизъюнктивной форме 1а (см. табл. 2.2). При соединении выходов цепей, составленных из n - и p -канальных транзисторов, получаем элемент, выполняющий заданную функцию $F = F_n = F_p$. При любой комбинации входных переменных в этом элементе не протекает ток питания, так как транзисторы различного типа проводимости всегда находятся в противоположных состояниях (открыт — закрыт), как в КМДПТЛ-инверторе.

В качестве примера рассмотрим реализацию функции $F = F_n = \overline{A} \vee \overline{B} \vee \overline{C}$, которая выполняется с помощью параллельного включения ТК на n -канальных транзисторах, на затворы которых подаются переменные A, B, C (рис. 2.35, а). В дизъюнктивной форме эта функция имеет вид $F = F_p = \overline{A} \overline{B} \overline{C}$ и выполняется последовательным включением ТК на p -канальных транзисторах (рис. 2.35, з).

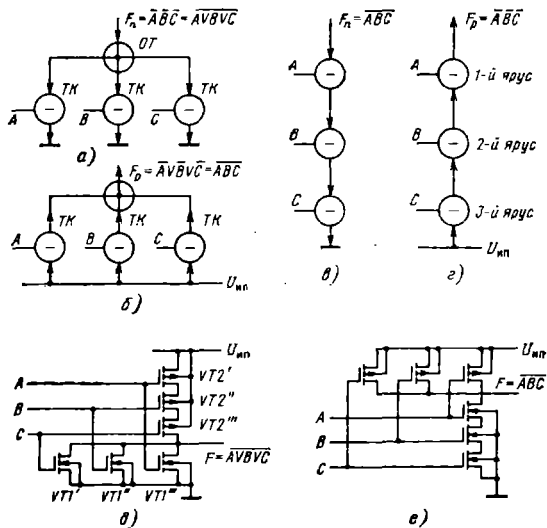


Рис. 2.35. Токвые графы (а — з) и схемы элементов ИЛИ-НЕ (д), И-НЕ (е) КМДПТЛ

Соединив входы цепей, реализующих эти функции F_n и F_p , получим элемент ИЛИ—НЕ КМДПТЛ (рис. 2.35, д). При любых значениях A, B, C , в схеме не протекает ток, так как оказывается закрытым либо один из транзисторов VT_2 , либо все транзисторы VT_1 . Таким образом, в статическом режиме этот элемент не потребляет мощность: $P_s = 0$. Аналогичным способом нетрудно синтезировать элементы И—НЕ (рис. 2.35, е), соединив параллельную цепь из p -канальных транзисторов (рис. 2.35, б) и последовательную цепь из n -канальных транзисторов (рис. 2.35, в).

Для приближенной оценки параметров этих элементов можно использовать выражения (2.74) — (2.77). При увеличении числа последовательно включенных транзисторов (ярусов, рис. 2.35, в, г) быстродействие элементов уменьшается из-за снижения удельной крутизны, вызванной увеличением длины последовательно соединенных каналов. Поэтому при проектировании элементов накладывают ограничения на число последовательно включенных МДП-транзисторов, особенно p -канальных, имеющих при $b_p = b_n$ в 1,5 ... 2,5 раза большие размеры и соответственно большую паразитную емкость. Обычно $n_p \leq 3 \dots 4$, $n_n \leq 4 \dots 5$, что ограничивает число входов элементов КМДПТЛ: $M \leq n_p, n_n$ (рис. 2.35, е).

Сложнофункциональные элементы КМДПТЛ также реализуются путем параллельно-последовательного включения n - и p -канальных транзисторов, используя метод токовых графов (см. § 2.2). При этом выполняются дополнительные этапы проектирования, обеспечивающие сокращение числа используемых МДП-транзисторов. Рассмотрим в качестве примера синтез¹ элемента И—ИЛИ—НЕ, выполняющего функцию $F(A, B, C, D) = \Sigma(0, 3, 4, 7, 9, 10) + \Sigma_n(1, 12, 14)$.

1. Минимизировав функцию с помощью карт Карно (с доопределением неопределенных минтермов), получаем МДНФ (форма 1а, табл. 2.2) и инверсную МДНФ (форма 2в, табл. 2.2):

$$F = F_p = \overline{A}CB \vee B\overline{C}D \vee BCB \vee ABCD,$$

$$F = F_n = \overline{AB \vee BCB \vee BCD \vee ACB \vee BCD}.$$

Для уменьшения числа МДП-транзисторов в схеме понижаем сложность функций F_p и F_n путем факторизации:

$$F_p = A(\overline{CB} \vee BCD) \vee B(\overline{CD} \vee CB),$$

$$F_n = AB \vee C(BD \vee \overline{BD}) \vee \overline{C}(AD \vee \overline{BD}).$$

Если возможно, выполняется несколько этапов факторизации (см. § 1.4).

2. В соответствии с полученными после факторизации функциями F_n и F_p можно построить токовый граф элемента КМДПТЛ в виде параллельно-последовательного соединения ТК и ОТ (см. рис. 2.35, а—г). Однако, так как в элементах КМДПТЛ используются только монтажные ОТ, целесообразно непосредственно перейти к схемотехнической реализации элемента в виде соединения МДП-транзисторов.

Ярусность синтезируемой схемы (n_n, n_p) равна числу переменных в наиболее длинных импликантах МДНФ (F_p) и инверсной МДНФ (F_n). Если

¹ Формализованная методика синтеза элементов КМДПТЛ дана в [27].

$n_n, n_p > 4 \dots 5$, то выполняется декомпозиция функций F_n, F_p , чтобы обеспечить их реализацию путем последовательного (каскадного) соединения нескольких элементов КМДПТЛ, имеющих $n_n, n_p < 4 \dots 5$.

Для повышения быстродействия необходимо, чтобы возможно большее число транзисторов в схеме было подключено к шинам «земли» (n -канальные) или питания (p -канальные) и как можно меньшее — к выходу элемента. При этом паразитная емкость C_n , перезаряжаемая в процессе переключения, будет меньше и задержки $t_{3,0.1}, t_{3,1,0}$ сокращаются. Данное условие выполняется, если переменные, выделенные на первом этапе факторизации F_n, F_p , подавать на затворы n - и p -канальных транзисторов первого яруса, выделенные на втором этапе — на затворы транзисторов второго яруса и т. д. Для реализации дефакторизованных импликант порядок последовательного соединения транзисторов не имеет значения.

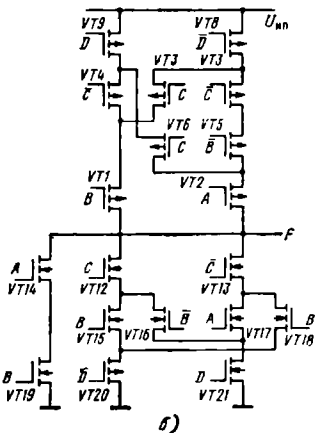
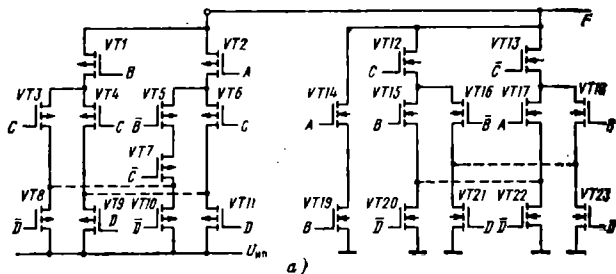


Рис. 2.36. Реализация сложнофункционального элемента КМДПТЛ: а — первоначальный вариант; б — конечный вариант

Соединив в соответствии с факторизованными F_p и F_n цепи параллельно (рис. 2.35, а, б) и последовательно (рис. 2.35, в, г) включенных р- и л-канальных транзисторов, реализующих конъюнкцию и дизъюнкцию переменных, поступающих на их затворы, получим электрическую схему элемента (рис. 2.36, а).

3. Для уменьшения числа транзисторов в синтезированной схеме анализируем возможности их физического совмещения (интеграции). Интеграции транзисторов допускается, если при работе элемента их одноименные выводы (затвор, сток, исток) остаются эквипотенциальными при любых комбинациях входных переменных. Условие эквипотенциальности выполняется для транзисторов одного яруса, на затворы которых поданы одинаковые переменные, если они имеют общий исток, а к их стоку не подключены стоки других транзисторов (например, транзисторы VT_8-VT_{10} , VT_9-VT_{11} , $VT_{20}-VT_{22}$, $VT_{21}-VT_{23}$ на рис. 2.36, а). Такие транзисторы могут быть замещены одним транзистором с пропорционально увеличенной шириной канала (крутизной). Следует рассмотреть различные варианты размещения транзисторов по ярусам, меняя их места в последовательных цепях (рис. 2.35, в, г), чтобы найти вариант, обеспечивающий максимальное совмещение.

В результате получаем схему элемента И-ИЛИ-НЕ (рис. 2.36, б), содержащую 19 транзисторов (на 8 меньше, чем при непосредственной реализации F_n и F_p , т. е. без факторизации и интеграции транзисторов). При этом транзисторы VT_1 , VT_2 , VT_8 , VT_9 , VT_{20} , VT_{21} , пропускающие в процессе переключения ток нескольких параллельных ветвей, должны иметь пропорционально большую крутизну (ширину канала). Статические параметры U^0 , U^1 , V_n , U_n^+ , U_n^- имеют такие же значения, как для базовых элементов КМДПТЛ. Задержки переключения $t_{s,0}^{0,1}$, $t_{s,1}^{1,0}$ обычно рассчитываются на ЭВМ после разработки топологии элемента и определения значений паразитных емкостей.

Если элемент КМДПТЛ создается из набора транзисторов с одинаковой крутизной, как это имеет место в матричных БИС, то минимизация числа транзисторов не производится, так как отсутствуют транзисторы разной крутизны, необходимые для реализации получающихся схем. В этом случае схема элемента составляется в соответствии с исходными функциями F_n , F_p без их факторизации и совмещения транзисторов.

Модификации элементов КМДПТЛ. При использовании транзистора в качестве двухвходового логического элемента (рис. 2.37, а, б) реализация ряда функций существенно упрощается. Однако функционирование МДП-транзисторов в таком включении

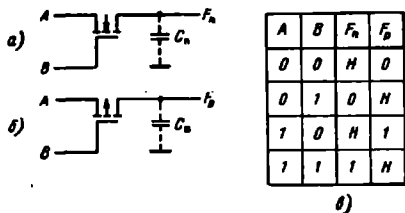


Рис. 2.37. Использование МДП-транзисторов в качестве логических элементов (а, б) и таблица выполняемых функций (в)

имеет особенности, связанные с накоплением заряда на выходной емкости $C_{п}$. Если нагрузкой служат элементы КМДПТЛ, не потребляющие входного тока, то заряд и соответственно потенциал на емкости $C_{п}$ будет сохраняться после запираания транзистора в течение значительного времени. Выполняемые функции F_n , F_p определяются таблицей на рис. 2.37, в, где H — неопределенное состояние, которое может быть 0 или 1 в зависимости от предыдущих значений A , B и времени, прошедшего после запираания транзистора.

При параллельном соединении p - и n -канальных транзисторов получаем ключевую схему (рис. 2.38), на выходе которой реализуется функция $F=A$ при $B=1$. Если $A=0$, то потенциал, поступающий на вход A , передается на выход через открытый транзистор $VT1$ (транзистор $VT2$ закрыт), если $A=1$, то потенциал передается через транзистор $VT2$ (транзистор $VT1$ закрыт). При $B=0$ оба транзистора закрыты, т. е. выход оказывается в отключенном состоянии. Таким образом, данная схема реализует функции элемента с тремя состояниями (0, 1, «отключено»).

На базе таких ключевых схем можно реализовать ряд логических элементов. На рис. 2.39 показан элемент, выполняющий функцию $F=AB+CB$. Отметим, что по входам A , C передаточная характеристика элемента близка к линейной: $U_{вых} \approx U_{вх}$, т. е. порог переключения отсутствует. Если на входы A и C подать взаимноинверсные сигналы $C=\bar{A}$, то получим элементы, реализующие операции Искключающее ИЛИ либо Равнозначность. Выполнение этих функций на обычных элементах КМДПТЛ требует в 2 раза больше транзисторов.

Соединяя последовательно такие элементы, можно реализовать более сложные логические функции. Однако увеличение числа последовательно включенных пар приводит к повышению задержки из-за снижения крутизны транзисторов, что вызвано возрастанием суммарной длины каналов. Поэтому число таких пар в одной цепи обычно не превышает 2—3, а затем включается обычный элемент КМДПТЛ, обеспечивающий необходимый порог переключения.

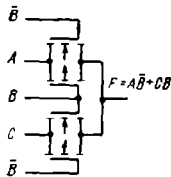
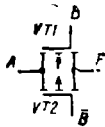


Рис. 2.38. Пример включения МДП-транзисторов, реализующих функцию элемента с тремя состояниями

Рис. 2.39. Элемент КМДПТЛ, выполняющий функцию Искключающее ИЛИ либо Равнозначность

2.6. ЭЛЕМЕНТЫ НА ПОЛЕВЫХ ТРАНЗИСТОРАХ С БАРЬЕРОМ ШОТКИ

Наряду с кремнием в качестве материала для изготовления сверхбыстродействующих интегральных микросхем используется арсенид галлия (GaAs).

Основным активным компонентом микросхем на GaAs является полевой транзистор с барьером Шотки (ПТШ), структура которого показана на рис. 2.40, а. В качестве исходного материала используется очищенный GaAs, который имеет удельное электрическое сопротивление $\rho \approx 10^7 \dots 10^9$ Ом·см, т. е. близок к изоляторам (полуизолирующий GaAs). С помощью ионной имплантации создаются активная область n -типа, в которой образуется канал, и области n^+ -типа, служащие стоком и истоком. Контакты металла с областями стока, истока образуют невыпрямляющие соединения (омические контакты). Контакт металла затвора с активной областью образует барьер Шотки. Обедненная область при контакте Шотки полностью или частично перекрывает канал, определяя его проводимость.

При напряжении $U_{зп} < U_0$ ПТШ закрыт: $I_c = 0$. Пороговое напряжение отпираания

$$U_0 = U_{бш} - qN_d d_n^2 / 2\epsilon_n, \quad (2.78)$$

где $U_{бш}$ — высота барьера Шотки; N_d — концентрация донорных примесей (Si, Se, S) в канале; d_n — толщина активного слоя; $\epsilon_n \approx 10^{12}$ Ф/см — диэлектрическая постоянная GaAs. В качестве ме-

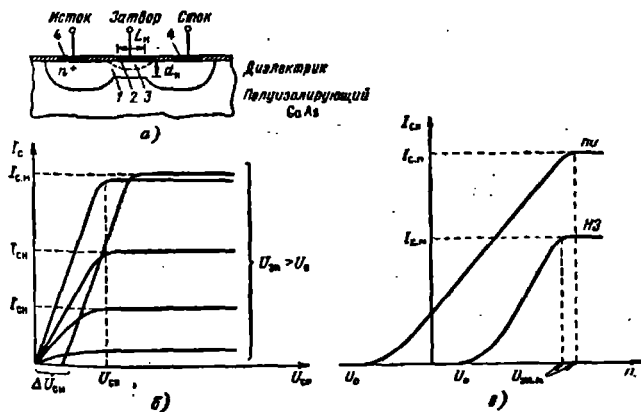


Рис. 2.40. Физическая структура полевого транзистора с барьером Шотки (а) и его стоковые (б) и сток-затворные характеристики (в):

1 — канал; 2 — контакт Шотки; 3 — обедненная область; 4 — омические контакты

талла контакта Шотки чаще всего используется силицид вольфрама (SiW), а в ряде случаев Mo, Ti, Pt, Au или их сплавы. При этом обеспечивается $U_{0Ш} = 0,8$ В. Путем выбора значений N_d , d_a получают ПТШ, имеющие $U_0 > 0$ или $U_0 < 0$. Если $U_0 < 0$, то через ПТШ протекает ток при $U_{зи} = 0$. Такие транзисторы называются *нормально открытыми* (НО). Транзисторы, имеющие $U_0 > 0$, не пропускают ток при $U_{зи} = 0$ и называются *нормально закрытыми* (НЗ). В цифровых арсенидогаллиевых БИС обычно используются НО транзисторы с напряжением отпираания $U_0 \approx -(0,4 \dots 0,8)$ В и НЗ транзисторы с $U_0 = 0,1 \dots 0,2$ В. При повышении температуры значения U_0 уменьшаются с коэффициентом $\theta_U = -(1 \dots 1,5)$ мВ/град для НО, $\theta_U = -(0,5 \dots 1)$ мВ/град для НЗ транзисторов.

При типовых значениях $N_d = (1 \dots 2) \cdot 10^{17}$ см⁻³ НО транзисторы имеют $d_a \approx 0,12 \dots 0,15$ мкм, НЗ транзисторы — $d_a \approx 0,08 \dots 1$ мкм.

Стоковые характеристики ПТШ показаны на рис. 2.40,б. В крутой области характеристик, когда $U_{си} < U_{сп}$, их наклон определяется омическими сопротивлениями областей стока, истока r_c , r_n и сопротивлением канала r_k :

$$dU_{си}/dI_c = r_T = r_k + r_c + r_n. \quad (2.79)$$

Сопротивление канала в начальной области характеристик можно оценить с помощью выражения¹

$$r_k = 1/qN_d\mu_n d_a (W_k/L_k) (1 - K_U), \quad (2.80)$$

где L_k , W_k — длина и ширина канала; μ_n — подвижность электронов; $K_U = \sqrt{(U_{0Ш} - U'_{зи}) / (U_{0Ш} - U_0)}$; $U'_{зи} = U_{зи} - I_c r_c$. Сопротивления r_n , r_c зависят от ширины канала: $r_n = r_c = r'_0 W_k$, где в цифровых микросхемах $r'_0 = 0,5 \dots 5$ кОм/мкм, причем типовыми являются значения $r'_0 = 1 \dots 4$ кОм/мкм.

В пологой области характеристик, когда $U_{си} \geq U_{сп}$, ток достигает насыщения. Напряжение насыщения составляет $U_{си} = 0,3 \dots 0,4$ В для НЗ и $U_{си} = 0,5 \dots 0,8$ В для НО транзисторов. Для НЗ транзисторов, а также НО транзисторов при $U_{си} \leq 0$ ток насыщения определяется выражением

$$I_{си} = b_n (U'_{зи} - U_0)^2, \quad (2.81)$$

где удельная крутизна

$$b_n = 0,5\epsilon_{ii} (W_k/L_k) \mu_n / d_a. \quad (2.82)$$

В GaAs подвижность электронов $\mu_n \approx (3,5 \dots 4,5) \cdot 10^3$ см²/В·с, что в 5...6 раз превышает величину μ_n для Si. Подвижность дырок в GaAs на порядок меньше: $\mu_p \ll \mu_n$, вследствие чего *p*-канальные ПТШ на GaAs имеют значительно меньшую крутизну. Поэтому в арсенидогаллиевых микросхемах обычно используются только *n*-канальные ПТШ.

Выражение (2.81) справедливо при условии

$$U'_{зи} \leq U_0 + L_k v_n / \mu_n, \quad (2.83)$$

¹ Приближенные выражения для ряда параметров ПТШ получены на основании их моделей, предложенных в работах В. И. Старосельского.

где $v_n = 1,5 \cdot 10^7$ см/с — максимальная скорость электронов в канале (скорость насыщения). При более высоких значениях $U'_{ан}$ зависимость $I_{сн} = f(U'_{ан})$ становится более слабой, приближаясь к линейной (рис. 2.40,б).

Когда величина $U'_{ан}$ достигает напряжения отпираания перехода Шотки $U_{Ш0} \approx 0,65$ В, начинает протекать ток затвора I_z , который экспоненциально возрастает при дальнейшем повышении $U_{ан}$. При этом напряжение $U'_{ан}$ приближается к уровню $U_{бш}$, ток стока достигает максимальной величины $I_{с max}$. Для НЗ транзисторов ток $I_{с max}$ определяется из выражения (2.81) при $U'_{ан} = U_{бш}$:

$$I_{с max} = b_n (U_{бш} - U_0)^2 = b_n (qN_d d_n^2 / 2e_n)^2. \quad (2.84a)$$

Для НО транзисторов значение $I_{с max}$ можно оценить с помощью соотношения

$$I_{с max} = K_I (qN_d v_n d_n W_k), \quad (2.84б)$$

где коэффициент $K_I \approx 0,3 \dots 0,5$ при типовых значениях параметров ПТШ. Например, для транзисторов с $L_k = 1$ мкм, $U_0 = 0,4 \dots 0,8$ В значения $K_I \approx 0,40 \dots 0,45$; при $U_0 = -0,6$ В транзисторы имеют $K_I \approx 0,3$, если $L_k = 2$ мкм, и $K_I \approx 0,5$, если $L_k = 0,5$ мкм.

Отметим, что при $U'_{ан} \geq U_{Ш0}$, когда ПТШ работает в режиме протекания затворного тока, напряжение $U_{сн}$ возрастает на величину $\Delta U_{сн} = I_z r_n$, т. е. происходит сдвиг стоковых характеристик (рис. 2.40,б), определяемый значением тока I_z .

Сток-затворные характеристики НО и НЗ транзисторов приведены на рис. 2.40,в. Величина $U_{ан}$, при которой достигается ток $I_{с max}$, составляет

$$U_{ан max} = U_{бш} + (I_{с max} + I_z) r_c. \quad (2.85)$$

Рассмотрим характеристики основных типов логических элементов на ПТШ, обобщенный токовый граф которых дан на рис. 2.41,а. В качестве ТК используются НО или НЗ транзисторы, ИТ реализуются на НО транзисторах с закороченным затвором и истоком ($U_{ан} = 0$). В соответствии с выражением (2.79) такие ИТ обеспечивают ток

$$I_{нт} = b_n (I_{нт} r_n + U_0)^2 = U_0 [(1-a) - \sqrt{1-2a}] / ar_n, \quad (2.86a)$$

где $a = 2b_n U_0 r_n$. При малых сопротивлениях истока $r_n \ll U_0 / I_{нт}$;

$$I_{нт} \approx b_n U_0^2. \quad (2.86б)$$

Необходимое значение тока $I_{нт}$ обеспечивается соответствующим выбором ширины канала W_k . В качестве ОТ1, реализующего конъюнкцию, используется монтажное соединение (Монтажное И, рис. 2.41,б,в), в качестве ОТ2, реализующего дизъюнкцию, — соединение истоков нескольких ПТШ, включенных как истоковые повторители (транзисторы VT4, рис. 2.41,в), или сборка диодов Шотки (рис. 2.41,г).

Элемент ЗПЛ (нормально закрытая полевая логика), использующий НЗ транзисторы VT1 в качестве ТК, реализует операцию

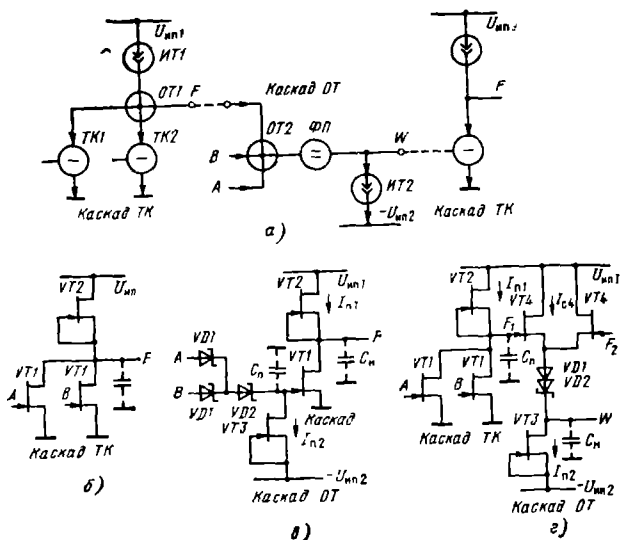


Рис. 241. Токовый граф логических элементов на ПТШ (а) и варианты их реализации ЗПЛ (б); ДПЛ (в); БПЛ (з)

ИЛИ — НЕ: $F = \overline{AB} = \overline{A} \overline{B}$. При низком потенциале на входе $U^0 < U^0_0$, где $U^0_0 > 0$ — пороговое напряжение НЗ транзистора¹ VT1, эти транзисторы закрыты и ток $I_{нт}$ транзистора VT2 течет в цепи затвора транзистора VT1 следующего элемента (нагрузки), который открывается и пропускает ток $I_c = I_{нт}$. На его затворе, т. е. на выходе элемента ЗПЛ, устанавливается потенциал

$$U^1 \approx U_{бш} + (I_a + I_c) r'_н = U_{бш} + 2I_{нт} r'_н. \quad (2.87)$$

При поступлении на вход потенциала $U^1 > U^0_0$ транзистор VT1 открывается и работает в крутой области характеристик. На выходе элемента устанавливается низкий потенциал U^0 , определяемый падением напряжения на этом транзисторе при протекании тока $I_c = I_{нт}$:

$$U^0 = U^0_{зи} = r'_т I_c + \Delta U_{зи} = r'_т I_c + r'_с I_c = I_{нт} (r'_к + r'_с + 2r'_н), \quad (2.88)$$

где ток затвора, поступающий от предыдущего элемента, $I_a = I_{нт}$; значение $r'_к$ определяется выражением (2.86) в котором $k_t \approx 0$, так как $U^0_{зи} \approx U_{бш}$ при $U_{вх} = U_{зи} = U^1$. Параметры НЗ транзистора

¹ Параметры НЗ транзисторов будем отмечать штрихом: U^0_0 , $r'_к$, $r'_с$, $r'_н$ и др

(W'_n/L'_n) , r'_c , r'_n выбираются такими, чтобы при $U_{вх} = U^0$ условие его запиранья $U^0 < U'_0$ выполнялось во всем диапазоне рабочих температур.

Порог переключения элемента ЗПЛ определим из условия $I'_c = I_{вт}$, где I'_c — ток стока транзистора $VT1$ при $U_{вх} = U_{зп} = V_n$. Используя выражение (2.81), получаем

$$V_n = U'_0 + \sqrt{I_{вт}/b'_n + I_{вт}r'_n}, \quad (2.89)$$

где b'_n — удельная крутизна $VT1$. Типовые значения порога V_n составляют 0,5 ... 0,6 В, уровней $U^0 = 0,1 ... 0,15$ В, $U^1 = 0,8 ... 1$ В. При этом обеспечивается помехоустойчивость $U^+_{п}$, $U^-_{п} \approx 0,2 ... 0,3$ В.

Выражение (2.89) определяет требования к величине b'_n , при выполнении которых реализуются необходимые значения V_n и $U^+_{п}$, $U^-_{п}$. Полученные при этом значения b'_n позволяют найти максимальный ток $I'_{c \max}$ транзистора $VT1$ с помощью выражения (2.81) при $U_{зп} = U^1$:

$$\begin{aligned} I'_{c \max} &= b'_n (U^1 - I'_{c \max} r'_n - U'_0)^2 = \\ &= (U^1 - U'_0) [(1 + \alpha') - \sqrt{1 + 2\alpha'}] / \alpha' r'_n, \end{aligned}$$

где $\alpha' = 2b'_n (U^1 - U'_0) r'_n$. Как показывают расчеты, требуемые значения V_n достигаются при выборе отношения токов $(I'_{c \max} / I_{вт}) = 3 ... 4$.

Потребляемая мощность $P_a = U_{пз} I_{вт}$. Типовые значения напряжения питания $U_{пз} \approx 1,5 ... 2,5$ В.

Задержки переключения определяются процессом перезаряда паразитной емкости C_n токами транзисторов $VT1$ и $VT2$:

$$t_3^{0,1} = C_n (V_n - U^0) / I_{вт}; \quad (2.90a)$$

$$t_3^{1,0} = C_n (U^1 - V_n) / (I'_{c \max} - I_{вт}). \quad (2.90b)$$

При типовых значениях $C_n = 0,1$ пФ, $P_a = 1$ мВт, $U_{пз} = 2,4$ В элементы ЗПЛ обеспечивают среднюю задержку переключения $t_3 = \approx 50 ... 100$ пс.

В элементе диодно-полевой логики (ДПЛ, рис. 2.41, в) используются НО транзисторы в инверторе и сборка диодов Шоттки, выполняющих операцию И. При высоком потенциале U^1 на одном или нескольких входах транзистор $VT1$ работает в режиме протекания затворного тока $I_3 = m_0 I_{вт1} - I_{вт2}$, где токи $I_{вт1}$ поступают с выходов предыдущих элементов через m_0 открытых диодов VDI ; m_0 — число входов, на которые подан потенциал U^1 . Ток стока транзистора $VT1$ равен $I_c = I_{вт1} - I_n$, где ток нагрузки I_n определяется логическим состоянием подключенных к выходу n элементов-нагрузок и имеет значение от 0 до $I_n = n I_{вт1}$. На выходе устанавливается низкий потенциал U^0 , значение которого определяется выражением

$$\begin{aligned} U^0 &= r_c I_c + \Delta U_{вн} = r_c I_{вт1} + r_c I_3 = \\ &= (r_k + r_c) I_{вт1} + (m_0 + 1) r_n I_{вт1} - r_n I_{вт2}, \end{aligned} \quad (2.91)$$

где r_k определяется выражением (2.80) при $K_U \approx 0$.

При низком потенциале на всех входах транзистор V_{T1} закрыт и на выходе устанавливается высокий потенциал U^1 . Ток $I_{ит1}$ поступает на входы элементов-нагрузок, и значение U^1 будет определяться падением напряжения во входной цепи этих элементов:

$$U^1 = 2U_{ш}^* + U_{вх\ max} = 2U_{ш}^* + U_{бш} + (I_3 + I_{ит1})r_{ш}, \quad (2.92)$$

где затворный ток транзисторов V_{T1} в этих элементах $I_3 = m_0 I_{ит1} - I_{ит2}$; m_0 — число открытых диодов V_{D1} в них. Таким образом, уровень U^1 в элементах ДПЛ оказывается выше, чем в элементах ЗПЛ, приблизительно на $2U_{ш}^* \approx 1,4 \dots 1,6$ В из-за включения диодов V_{D1} , V_{D2} .

Следует отметить, что транзистор V_{T1} в элементах-нагрузках будет работать в режиме затворных токов, если только выполняется условие $I_3 = (I_{ит1}/n) - I_{ит2} > 0$, где n — число нагрузок. Из этого условия определяется коэффициент разветвления $N = I_{ит1}/I_{ит2}$. Таким образом, ток $I_{ит2}$ должен быть в несколько раз меньше, чем $I_{ит1}$.

Порог переключения приблизительно можно оценить с помощью выражения

$$V_{п} = 2U_{ш}^* + U_0 + \sqrt{I_{ит1}/b_{п1}}, \quad (2.93)$$

где $b_{п1}$ — удельная крутизна транзистора V_{T1} .

Для элементов ДПЛ типовые значения $U^1 \approx 2 \dots 2,5$ В, $V_{п} = 1 \dots 1,2$ В, а помехоустойчивость составляет $U_{п}^+$, $U_{п}^- \approx 0,8 \dots 1,2$ В, что значительно выше, чем для ЗПЛ.

Потребляемая мощность

$$P_2 = U_{ип1} I_{ит1} + U_{ип2} I_{ит2} = I_{ип1} (U_{ип1} + U_{ип2}/\kappa), \quad (2.94)$$

где $\kappa = I_{ит1}/I_{ит2}$ выбирается в соответствии с заданным значением N . Для нормального функционирования элементов напряжения питания должны быть: $U_{ип1} \geq 3U_{ш}^*$, $|U_{ип2}| \geq 2U_{ш}^*$. Типовые значения $U_{ип1} = 2 \dots 3$ В, $U_{ип2} = -(1,5 \dots 2)$ В.

Задержка переключения определяется временем перезарядки емкостей $C_{п}$ и $C_{н}$. При изменении входного потенциала на одном из входов от $U_{вх} = U^0$ до U^1 , когда запирается транзистор V_{T1} предыдущего элемента, паразитная емкость $C_{п}$ во входной цепи заряжается поступающим на вход током $I_{ит1}$. За время t_0 транзистор V_{T1} отпирается. Его ток стока возрастает, стремясь к $I_{с\ max}$, и разряжает емкость нагрузки $C_{н}$. Потенциал на выходе снижается до уровня $V_{п}$ за время t_c . Задержку переключения в этом случае можно оценить с помощью выражения

$$t_3^{1,0} = t_0 + t_c = C_{п}(V_{п} - U^0)/(I_{ит1} - n'I_{ит2}) + C_{н}(U^1 - V_{п})/(I_{с\ max} - I_{ит1}), \quad (2.95)$$

где $I_{с\ max}$ определяется выражением (2.84б); n' — число нагрузок, подключенных к выходу предыдущего элемента.

Если потенциал на входах элемента изменяется от уровня $U_{вх} = U^1$ до U^0 , то входные диоды запираются и происходит раз-

ряд емкости C_{π} током $I_{\text{нт}2}$. Потенциал на затворе $VT1$ и его ток стока I_{c1} уменьшаются. При этом емкость C_{π} заряжается током $(I_{\text{нт}1} - I_{c1} - I_{\text{нт}2})$ и потенциал на выходе возрастает. Для оценки задержки переключения можно использовать приближенное выражение

$$t_{3,0.1} = C_{\pi}(U^1 - V_{\pi})/I_{\text{нт}2} + C_{\pi}(V_{\pi} - U^0)/(I_{\text{нт}1} - nI_{\text{нт}2}), \quad (2.96)$$

где первое слагаемое отражает задержку, связанную с перезарядом емкости C_{π} , второе — с перезарядом C_{π} .

Как показывает анализ, статические и переходные характеристики элементов ДПЛ весьма существенно зависят от числа нагрузок. Поэтому обычно их используют в тех цифровых устройствах, где не требуется высокого коэффициента разветвления: $N \leq 3 \dots 4$. При этом отношение токов $I_{\text{т}1}$ и $I_{\text{т}2}$ выбирается равным $n \approx 5$. Соотношение токов $I_{c \text{ max}}/I_{\text{нт}2}$ обычно принимается близким к 2.

Так как элемент ДПЛ имеет в 3 раза больший логический перепад и повышенное значение паразитной емкости (из-за большего числа компонентов), чем элемент ЗПЛ, то его быстродействие в несколько раз ниже. При типовых значениях $P_{\text{в}} = 2 \dots 5$ мВт элементы ДПЛ обеспечивают $t_{\text{з}} = 100 \dots 200$ пс.

При значительной емкости $C_{\pi} \gg C_{\pi}$ и большом числе нагрузок $n > 4 \dots 5$ целесообразно включить на выходе элемента дополнительный каскад, усиливающий выходной ток. Функцию такого буферного каскада выполняет истоковый повторитель. Такое схемотехническое решение используется в элементах буферизованной полевой логики (БПЛ), где параллельное включение транзисторов $VT1$ реализует операцию ИЛИ — НЕ: $F_1 = \overline{AB} = \overline{A \vee B}$ (рис. 2.41, з). Если соединить истоки транзисторов $VT4$ нескольких элементов для реализации операции Монтажное ИЛИ ($OT2$ на рис. 2.41, а), то на выходе элемента выполнится функция $W = F_1 \vee F_2 = \overline{(A \vee B)} F_2$, где F_2 реализуется каскадом ТК другого элемента. Дноды $VD1$, $VD2$, включаются в качестве ФП, осуществляя дополнительное снижение логических уровней U^0 , U^1 на величину $2U^*_{\text{ш}}$, чтобы обеспечить выполнение одного из условий работоспособности: $U^0 < U_0$.

При низком потенциале на входах $U_{\text{вх}} = U^0 < U_0$ транзисторы $VT1$ закрыты и ток $I_{\text{нт}1}$ течет в цепи затвора транзистора $VT4$. Ток истока $VT4$ при этом $I_{\text{н}4} = I_{c \text{ max}4} + I_{\text{з}} = I_{c \text{ max}4} + I_{\text{нт}1} > I_{\text{нт}2}$ и в цепи затвора транзисторов $VT1$ элементов-нагрузок будут поступать ток $I_{\text{з}} = (I_{c \text{ max}4} + I_{\text{нт}1} - I_{\text{нт}2})/n$. На входе элемента устанавливается высокий потенциал $U^1 = U_{\text{вх} \text{ max}}$, определяемый выражением (2.85).

При высоком потенциале хотя бы на одном из выходов $U_{\text{вх}} = U^1 > U_0$ соответствующие транзисторы $VT1$ открываются и пропускают ток $I_{\text{нт}1}$. В цепи затвора транзистора $VT4$ ток не протекает и его ток истока $I_{\text{н}4} = I_{\text{нт}2}$. Обычно транзисторы $VT4$ и $VT2$ имеют одинаковые параметры. При этом $U_{\text{зн}4} \approx 0$ и на выходе устанавливается низкий потенциал $U^0 = I_{\text{нт}1}/\gamma_{\text{т}1} - 2U^*_{\text{ш}}$.

Таким образом, уровни U^0 , U^1 и порог переключения $V_{п}$ для элемента БПЛ приблизительно на $2U^*_{ш} = 1,4 \dots 1,5$ В ниже, чем для элемента БПЛ, а перепад $U_{л}$ и помехоустойчивость $U^+_{п}$, $U^-_{п}$ имеют близкие значения.

Потребляемая элементом БПЛ мощность

$$P_3 = U_{ин1} (I_{ит1} + 0,5I_{ит2} + 0,5I_{с\max4}) + U_{ин2} I_{ит2}. \quad (2.97)$$

При уменьшении входного потенциала от значения $U_{вх} = U^0$ до U^1 транзисторы $VT1$ запираются. Ток $I_{ит1}$ заряжает емкость $C_{п}$, и потенциал на затворе $VT4$ увеличивается. Соответственно возрастает ток истока $VT4$, достигая максимального значения $I_{и4} = (I_{с\max4} + I_{ит1})$, когда транзистор входит в режим затворных токов. Этот ток заряжает емкость $C_{ш}$, обеспечивая увеличение выходного потенциала. Для оценки задержки переключения можно использовать выражение

$$t_{3^{0,1}} = C_{п} U^*_{ш} / I_{ит1} + C_{ш} (V_{п} - U^0) / (I_{с\max4} + I_{ит1} - I_{ит2}). \quad (2.98)$$

При увеличении потенциала на входе от $U_{вх} = U^0$ до U^1 открывается транзистор $VT1$ и емкость $C_{ш}$ разряжается током $(I_{с\max4} - I_{ит1})$. Потенциал на затворе транзистора $VT4$ снижается, и он запирается. После этого емкость $C_{п}$ разряжается током $I_{ит2}$, в результате чего выходной потенциал снизится до уровня U^0 . Приближенное выражение для оценки задержки

$$t_{3^{1,0}} = C_{ш} (U^*_{ш} - U^0) / (I_{с\max1} - I_{ит1}) + C_{п} (U^1 - V_{п}) / I_{ит2}. \quad (2.99)$$

Для получения минимальных значений средней задержки t_3 обычно выбираются соотношения токов $I_{с\max1} / I_{ит1} \approx (I_{с\max4} / I_{ит2}) \approx 2$. Рекомендуемые отношения токов ключевого каскада (транзисторы $VT1$, $VT2$) и истокового повторителя (транзисторы $VT3$, $VT4$) определяются значениями емкостей: $I_{с\max1} / I_{с\max4} \approx I_{ит1} / I_{ит2} \approx C_{ш} / C_{п}$. При одинаковых потребляемой мощности и емкости нагрузки элементы БПЛ и ДПЛ имеют близкие значения задержки t_3 .

Элементы БПЛ обеспечивают значительный выходной ток $I_{н} = (I_{с\max4} + I_{ит1} - I_{ит2})$, благодаря чему их коэффициент разветвления N достигает нескольких десятков. Таким образом, высокая нагрузочная способность является основным достоинством этого элемента по сравнению с ДПЛ. Дополнительным достоинством является возможность реализации функции Моптажное ИЛИ на выходе. Однако элемент занимает на кристалле несколько большую площадь, чем ДПЛ.

Элементы ЗПЛ, ДПЛ используются в качестве элементной базы арсенидогаллиевых БИС и СБИС. Элементы БПЛ применяются в микросхемах малой и средней степени интеграции, а также в качестве входных и выходных транзисторов в БИС и СБИС.

1. Определите логическую функцию, реализуемую в коллекторной цепи многоэмиттерного *n-p-n* транзистора при поступлении переменных на его базу и эмиттеры.

2. Определите логические функции, реализуемые при параллельном и последовательном включениях *p-n-p* транзисторов.

3. Рассчитайте сопротивления резисторов для элемента ТТЛ с простым инвертором (см. рис. 2.11,в) при заданном значении $P_3 = 1$ мВт.

4. Получите аналитические выражения для мощности, потребляемой элементом ШТЛ (см. рис. 2.16) с резисторным и транзисторным ИТ.

5. Определите условия насыщения транзисторов *VT2* и *VT4* в элементе ТТЛ со сложным инвертором (см. рис. 2.18,а).

6. Получите аналитические выражения для потребляемой мощности P_3 двух вариантов элементов ТТЛ со сложным инвертором (см. рис. 2.18). Сравните полученные выражения и объясните причину различия.

7. Как включить дополнительные диоды в элемент ТТЛ с диодами Шотки на входах (см. рис. 2.18,в), чтобы получить элемент с тремя состояниями?

8. Получите выражения для расчета мощности P_n , потребляемой источником опорного напряжения (см. рис. 2.26,б). Рассчитать сопротивления резисторов, обеспечивающие значения $P_n = 2$ мВт при $-U_{ин} = -4,5$ В.

9. Рассчитайте изменения уровня U^1 для элемента ЭСЛ при колебаниях температуры $T = -30 \dots 85^\circ \text{C}$ и напряжения питания $-U_{ин} = -(4 \dots 5)$ В.

10. Рассчитайте зависимость $t_3 = f(C_{ш})$ для элемента ЭСЛ (см. рис. 2.26) при $U_{ин} = 5$ В, $U_n = 0,8$ В, $P_3 = 5$ мВт и типовых значениях параметров транзисторов и паразитных емкостей (см. § 2.4).

11. Определите, какая часть мощности эмиттерного повторителя в элементе ЭСЛ, работающем на согласованную нагрузку ($z = 75$ Ом, $U_{см} = -2$ В), рассеивается на внешнем резисторе R_c .

12. Спитезируйте элементы КМДПТЛ, выполняющие логические операции $F = \overline{(A \vee B)C}$, $F = \overline{AB \vee C}$, Искключающее ИЛИ.

Глава 3. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ КОМБИНАЦИОННОГО ТИПА

Комбинационными называются функциональные узлы (блоки), логическое состояние выходов которых зависит только от комбинации логических сигналов на входах в данный момент времени

(см. § 1.4). Комбинационные узлы и блоки цифровых систем либо собираются из отдельных МИС, выполняющих функции элементов И—НЕ, ИЛИ—НЕ, И—ИЛИ—НЕ, Исключающе ИЛИ и др., либо изготавливаются в виде СИС, либо входят в состав БИС и СБИС. В настоящей главе дается описание основных типов комбинационных узлов, используемых в микроэлектронных цифровых системах, и излагаются методы их схмотехнического проектирования.

3.1. МЕТОДИКА ПРОЕКТИРОВАНИЯ КОМБИНАЦИОННЫХ УЗЛОВ

Исходными данными (техническим заданием) для проектирования комбинационного узла являются его функциональное описание и требования к основным электрическим параметрам. Функциональное описание комбинационного узла обычно задается в виде таблицы истинности или алгебраического выражения (см. § 1.3). Процесс проектирования разбивается на несколько последовательно выполняемых этапов:

- выбор элементной базы и способа реализации;
- минимизация заданной логической функции;
- преобразование минимизированной логической функции и синтез логической схемы;
- синтез электрической схемы;
- анализ и оптимизация электрической схемы.

Выбор элементной базы (ТТЛ, ЭСЛ, КМДПТЛ или их модификации) определяется требованиями, предъявляемыми к электрическим параметрам комбинационного узла: быстродействию, потребляемой мощности, помехоустойчивости и др. Анализ логических элементов, проведенный в гл. 2, и полученные на его основе рекомендации по их применению позволяют проектировщику после оценочных расчетов выбрать тот или иной вариант схемы базового элемента исходя из требований технического задания. При этом определяется также возможный способ реализации проектируемого узла: *элементарная реализация* на базе готовых схем логических элементов, выпускаемых серийно в виде МИС или входящих в состав функциональных библиотек для проектирования БИС и СБИС; *компонентная реализация*—путем разработки оригинальной схемы, в наибольшей степени удовлетворяющей требованиям технического задания.

Элементарная база и способ реализации проектируемого устройства могут быть однозначно определены в техническом задании, например путем указания серии микросхем, на базе которой данное устройство должно быть построено.

Минимизация логической функции выполняется с помощью одного из методов, описанных в § 1.3. В результате для заданной функции получается одно или несколько минимизированных выражений, обычно представленных в дизъюнктивной нормальной форме (МДНФ вида 1а, табл. 2.2).

При использовании некоторых типов базовых элементов логическая функция F должна быть представлена в инверсно-дизъюнктивной форме (2а, табл. 2.2). В этом случае минимизируется функция F (инверсная заданной), путем инверсии которой получается инверсная МДНФ заданной функции F .

Преобразование полученной МДНФ производится так, чтобы представить ее в виде комбинации операций, выполняемых базовыми элементами, на которых будет реализовано проектируемое устройство. Как показано в гл. 2, базовые элементы чаще всего выполняют функции И—НЕ, ИЛИ—НЕ, И—ИЛИ—НЕ. При этом преобразование МДНФ выполняется следующим образом.

При реализации на элементах И—НЕ полученная МДНФ переводится в инверсно-конъюнктивную форму (1б, табл. 2.2) с помощью двойной инверсии и преобразования инверсии дизъюнкции импликаит в конъюнкцию их инверсий с помощью теоремы де Моргана. Например:

$$F = \overline{BD} \vee \overline{ACD} \vee \overline{ABC} \overline{B} = \overline{\overline{BD} \vee \overline{ACD} \vee \overline{ABC} \overline{B}} = (\overline{\overline{BD}}) (\overline{\overline{ACD}}) (\overline{\overline{ABC} \overline{B}}).$$

В результате получается выражение, содержащее только операции И—НЕ, которое непосредственно реализуется логической схемой из соответствующим образом соединенных элементов И—НЕ (рис. 3.1,а).

При реализации на элементах ИЛИ—НЕ используется инверсная МДНФ (2в, табл. 2.2), которая переводится в инверсно-дизъюнктивную форму (2б, табл. 2.2), которая переводится в инверсно-дизъюнктивную форму (2б, табл. 2.2), которая переводится в инверсно-дизъюнктивную форму (2б, табл. 2.2).

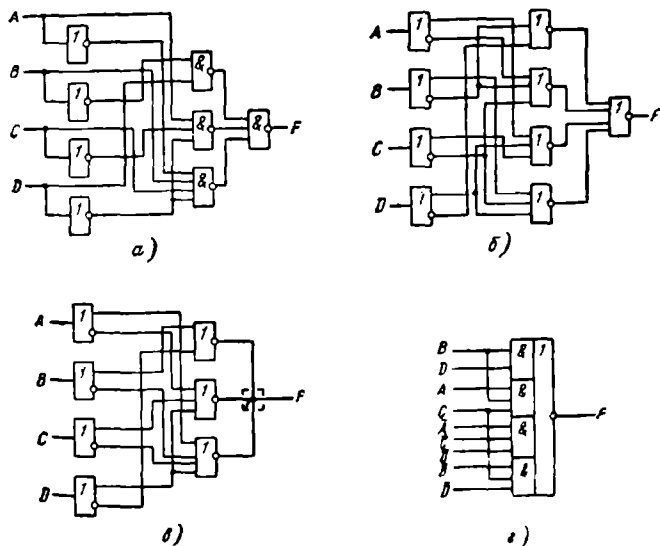


Рис. 3.1. Реализация комбинационной схемы на элементах И—НЕ (а), ИЛИ—НЕ (б), ИЛИ—НЕ, Монтажное ИЛИ (в), И—ИЛИ—НЕ (г)

конъюнктивную форму (2б, табл. 2.2) путем двойной инверсии каждой импликанты и преобразования их в дизъюнкции входных переменных или их инверсий с помощью теоремы де Моргана. Например:

$$F = \overline{BD \vee ABC \vee \bar{A}\bar{C}\bar{D} \vee \bar{B}C\bar{D}} = \overline{\overline{BD} \vee \overline{ABC} \vee \overline{\bar{A}\bar{C}\bar{D}} \vee \overline{\bar{B}C\bar{D}}} = \\ = (\overline{B \vee \bar{D}}) \vee (\overline{\bar{A} \vee \bar{B} \vee \bar{C}}) \vee (\overline{A \vee C \vee D}) \vee (\overline{B \vee C \vee \bar{D}}).$$

В полученном логическом выражении содержатся только операции ИЛИ—НЕ, поэтому оно непосредственно реализуется логической схемой из элементов ИЛИ—НЕ (рис. 3.1,б).

Если при объединении выходов элементов ИЛИ—НЕ выполняется операция Монтажное ИЛИ (см. § 2.4), то в качестве исходной используется МДНФ функции, импликанты которой преобразуются в инверсии дизъюнкций (дизъюнктивно-инверсная форма 2г табл. 2.2) с помощью двойной инверсии и преобразования де Моргана:

$$F = \overline{BD} \vee \overline{AC\bar{D}} \vee \overline{\bar{A}BC\bar{D}} = \overline{\overline{BD} \vee \overline{AC\bar{D}} \vee \overline{\bar{A}BC\bar{D}}} = \\ = (\overline{B \vee \bar{D}}) \vee (\overline{\bar{A} \vee C \vee D}) \vee (\overline{A \vee \bar{B} \vee \bar{C} \vee D}).$$

Соответствующая логическая схема показана на рис. 3.1,в.

При реализации на элементах И—ИЛИ—НЕ также используется инверсная МДНФ, которая непосредственно выполняется одним элементом данного типа (рис. 3.1,г).

После преобразования МДНФ выполняется синтез логической схемы путем соответствующего соединения выбранных логических элементов, на входы которых подаются логические переменные или их инверсии. Если необходимые инверсии переменных не поступают от предыдущих логических схем, то на входе проектируемого узла или блока дополнительно включается каскад инверторов (рис. 3.1,а). Часто входные каскады выполняют функции инверторов-повторителей, переменные на выходах которых представляются как в инверсном, так и в неинверсном виде (рис. 3.1,б,в). Включение таких каскадов снижает требования к нагрузочной способности предыдущих схем. Эти каскады могут также служить в качестве трансляторов логических уровней (см. § 2.1), обеспечивая защиту от входных помех и позволяя использовать для реализации логических функций более быстродействующие элементы с пониженным значением $U_{\text{д}}$ (см. гл. 2).

Как следует из сказанного выше, любая логическая функция в принципе может быть реализована с помощью двух последовательно соединенных каскадов из элементов И—НЕ либо ИЛИ—НЕ (рис. 3.1). Число элементов в первом каскаде и соответственно число входов элементов во втором каскаде равно числу импликант в МДНФ или инверсной МДНФ. Число входов элементов первого каскада равно числу переменных, входящих в эти импликанты. Для выполнения заданной функции могут потребоваться элементы с большим числом входов M , тогда как логические эле-

менты, выпускаемые в виде МИС или входящие в состав функциональных библиотек для проектирования БИС, обычно имеют $M = 4 \dots 5$. Чтобы реализовать такие функции, необходимо выполнить декомпозицию МДНФ либо инверсной МДНФ.

В ряде случаев достаточно произвести факторизацию МДНФ (инверсной МДНФ) и преобразование полученных выражений для реализации на элементах выбранного типа по методике, описанной в этом параграфе. Например, для рассмотренной выше функции F получаем

$$F = \overline{BD} \vee D(AC \vee \overline{A}BC) = \overline{\overline{BD} \vee D \overline{BG}} = (\overline{BD})(\overline{DG}),$$

$$G = A\overline{C} \vee \overline{A}BC = \overline{\overline{A\overline{C}} \vee \overline{A}BC} = (\overline{A\overline{C}})(\overline{A}BC).$$

При таком представлении функция F выполняется с помощью элементов И—НЕ, имеющих $M = 2 \dots 3$ (рис. 3.2, а). Однако число элементов и каскадов в логической схеме возрастает по сравнению с вариантом, реализованным на элементах с $M \leq 4$ (см. рис. 3.1, а). Аналогично факторизуется и преобразуется инверсная МДНФ:

$$F = \overline{BD \vee \overline{A\overline{C}} \vee \overline{A}BC \vee \overline{B}C\overline{B}} = \overline{B(D \vee AC) \vee \overline{B}(\overline{A\overline{C}} \vee \overline{B}C)} = \\ = \overline{BH \vee \overline{B}L} = \overline{(\overline{B \vee H}) \vee (\overline{D \vee L})},$$

$$H = D \vee AC = D \vee (\overline{A} \vee \overline{C}),$$

$$L = \overline{A\overline{C}} \vee \overline{B}C = (\overline{A \vee C}) \vee (\overline{B \vee C}).$$

В этом случае для реализации функции достаточно иметь элементы ИЛИ—НЕ с $M = 2$ (рис. 3.2, б). Если факторизация не обеспечивает получения выражений, реализуемых элементами с заданным числом входов, то используются другие способы декомпозиции (см. § 1.3), которые также позволяют решить проблему цены увеличения числа элементов и их каскадов. При реализации сложных функций число каскадов может достигать 5...10 и более. Таким образом, имеющиеся на практике ограничения на число входов M приводят к усложнению логической схемы и ухудшению ее характеристик: увеличению потребляемой мощности, снижению быстродействия.

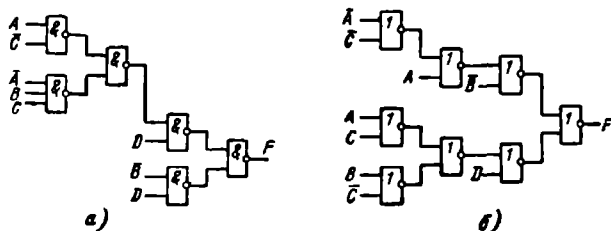


Рис. 3.2. Реализация комбинационной схемы на элементах И—НЕ с числом входов $M \leq 3$ (а), элементах ИЛИ—НЕ с $M \leq 2$ (б)

Синтез электрической схемы комбинационного узла при элементной реализации осуществляется путем замены элементов в полученной логической схеме их схемотехническими эквивалентами из имеющейся у проектировщика библиотеки или каталога. В этом случае составление электрической схемы ведется из готовых схемных фрагментов и для каждого варианта логической схемы формируется соответствующий вариант ее схемотехнической реализации.

При компонентной реализации синтезируется оригинальная электрическая схема всего проектируемого узла или элементов, входящих в его состав. При синтезе можно использовать метод токовых графов, описанный в § 2.2. В результате для каждого полученного варианта МДНФ создается несколько вариантов реализующих ее электрических схем.

Таким образом, на данном этапе обычно формируются несколько схемотехнических вариантов проектируемого узла.

Анализ синтезированных схем выполняется с целью проверки соответствия их параметров требованиям технического задания и выбора наиболее удачного схемного варианта. На данном этапе определяются основные характеристики полученных схем (в первую очередь потребляемая мощность и задержка переключения), а также проверяется выполнение приведенных в техническом задании ограничений на такие параметры, как помехоустойчивость, коэффициент разветвления, рабочий диапазон температур и напряжений питания.

При элементном проектировании параметры используемых логических элементов (мощность $P_э$, задержка $t_э$, помехоустойчивость U_n и др.) являются известными и указаны в соответствующих каталогах. Для оценки полученных схемных вариантов достаточно найти общую потребляемую мощность и задержку переключения

$$P_n = \sum_{N_э} P_э, \quad t_n = \sum_{K_n} t_э, \quad (3.1)$$

где $N_э$, K_n — число элементов и их последовательно включенных каскадов в синтезированной схеме.

При компонентном проектировании необходимо выполнить электрический анализ синтезированной схемы с помощью ЭВМ либо путем аналитических оценок, как это сделано в гл. 2 для логических элементов. Если трудно провести анализ всей спроектированной схемы, то проводится расчет параметров отдельных элементов, составляющих схему, а оценка характеристик полной схемы производится, как при элементной реализации с помощью выражений (3.1).

Если в проектируемой схеме можно изменить параметры компонентов (сопротивлений резисторов, ширину канала МДП-транзисторов), то следует произвести параметрическую оптимизацию схемы. При этом параметры компонентов изменяются по определенному алгоритму и определяется такое их сочетание, при кото-

ром обеспечиваются наилучшие характеристики проектируемой схемы.

Следует отметить, что ряд характеристик цифровых схем существенно зависит от их конструкторско-технологической реализации. Поэтому значения параметров, рассчитанные на данном этапе, являются предварительными. Эти параметры необходимо уточнить после окончания конструкторско-технологического проектирования схемы, когда будут определены характеристики всех компонентов [41, 42].

3.2. ПРЕОБРАЗОВАТЕЛИ КОДОВ, ШИФРАТОРЫ И ДЕШИФРАТОРЫ

Для представления информации используются разнообразные двоичные и двоично-десятичные коды: прямой, обратный, дополнительный, «с избытком 3» и др. (см. § 1.1). Поэтому в цифровых системах широко применяются преобразователи кодов, обеспечивающие перевод информации из одной формы в другую.

Наиболее простую структуру имеет преобразователь чисел из прямого кода $A = a_k \dots a_1 a_0$ в обратный $B = b_k \dots b_0 b_1$, который в соответствии со значением знакового разряда Z переводит отрицательное число ($Z=1$) в обратный код: $B = \bar{A}$, а положительное число ($Z=0$) передает на выход без изменения: $B = A$. Таким образом, в каждом i -м разряде преобразователя ($i=0, 1, 2, \dots, k$) выполняется логическая функция

$$b_i = Z\bar{a}_i \vee \bar{Z}a_i. \quad (3.2)$$

Эта функция реализуется с помощью схемы Иключающее ИЛИ, варианты которой приведены в гл. 2.

Логические схемы всевозможных преобразователей двоичных кодов (см. табл. 1.1) можно получить, используя методику, описанную в § 3.1. Например, для четырехразрядного преобразователя из прямого кода в дополнительный, используя табл. 1.1 в качестве таблицы истинности, получаем карты Карно для выходных функций c_0, c_1, c_2, c_3 , приведенные на рис. 3.3. Объединением клеток на картах Карно находим минимизированные выражения выходных функций:

$$c_0 = a_0 = 0 \oplus a_0;$$

$$c_1 = a_0 \bar{a}_1 \vee \bar{a}_0 a_1 = a_0 \oplus a_1,$$

$$c_2 = a_0 \bar{a}_2 \vee a_1 \bar{a}_2 \vee \bar{a}_0 \bar{a}_1 a_2 = (a_0 \vee a_1) \oplus a_2;$$

$$c_3 = a_2 \bar{a}_3 \vee a_0 \bar{a}_3 \vee a_1 \bar{a}_3 \vee \bar{a}_0 \bar{a}_1 \bar{a}_2 a_3 = (a_0 \vee a_1 \vee a_2) \oplus a_3,$$

где a_0, a_1, \dots — значения разрядов исходного числа. В общем виде выходная функция для i -го разряда преобразователя имеет вид

$$c_i = (a_0 \vee a_1 \vee \dots \vee a_{i-1}) \oplus a_i.$$

Полученные выражения выходных функций преобразуются, как описано в § 3.1, к виду, соответствующему выбранному набору

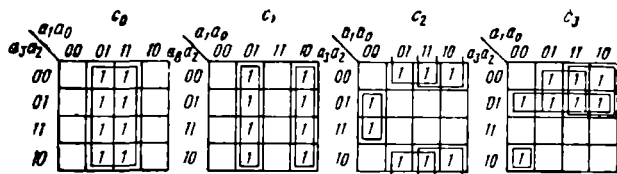


Рис. 33. Карты Карно функций c_0, c_1, c_2, c_3 преобразователя из прямого кода в дополнительный

элементов, на которых реализуется логическая схема. Как следует из выражения (3.2), выходная функция преобразователя существенно усложняется по мере возрастания номера разряда i . Поэтому для преобразования в дополнительный код многоразрядных чисел (16-, 32-разрядных и т. п.) более экономичным с точки зрения числа необходимых элементов и компонентов, потребляемой мощности являются перевод числа в обратный код и последующее прибавление 1 к младшему разряду с помощью сумматора.

Аналогично проектируются и преобразователи двоично-десятичных кодов (см. § 1.1). При этом для имеющихся безразличных наборов входных переменных выполняется доопределение выходных функций для получения наиболее простых логических выражений (см. § 3.1). Отметим, что преобразование двоично-десятичных чисел в код «с избытком 3» часто производится с помощью сумматора, прибавляющего 11 (3 в двоичном коде) к младшим разрядам числа.

Одними из основных видов преобразования информации в цифровых системах являются шифрация и дешифрация. Шифрацией называется преобразование m -разрядного двоичного кода, имеющего k_m безразличных наборов входных переменных, в однозначно соответствующий ему n -разрядный код, имеющий меньшее число разрядов $n < m$ и безразличных наборов $k_n < k_m$. Таким образом, при шифрации каждому из $2^m - k_m$ рабочих наборов входных переменных ставится в соответствие один из $2^n - k_n$ рабочих наборов выходных переменных, т. е. $2^m - k_m = 2^n - k_n$. В результате шифрации осуществляется «сжатие» информации для передачи по меньшему числу линий связи ($n < m$) за счет полного (при $k_n = 0$) или частичного (при $k_n \neq 0$) исключения безразличных наборов. Обратное преобразование, т. е. восстановление информации в первоначальном m -разрядном коде с k_m избыточными комбинациями, называется дешифрацией. Функциональные узлы для выполнения этих операций называются шифраторами и дешифраторами. Они различаются по числу входов и выходов и называются «шифратор (дешифратор) из m в n ». Максимальное число входов шифратора не превышает числа возможных комбинаций выходных сигналов: $m \leq 2^n$. Соответственно для дешифратора число выходов $n \leq 2^m$.

В цифровых системах шифраторы используются для передачи информации между различными устройствами при ограниченном

числе линий связи, а также преобразования вводимых чисел в двоичную форму. Например, ввод десятичных чисел часто производится нажатием соответствующей клавиши: $i=0, 1, 2, \dots, 9$ на управляющем пульте. При этом преобразование чисел в двоично-десятичную форму выполняется с помощью комбинационного шифратора «из 10 в 4». При нажатии i -й клавиши замыкается ключ на одном из десяти входов шифратора и на этот вход поступает сигнал $x_i=0$. Ненажатая клавиша обеспечивает на входе $x_i=1$. Таблица истинности такого шифратора имеет вид табл. 3.1. Число безразличных комбинаций входных переменных $k_m = (2^{10} - 10) = 1014$. Благодаря исключению безразличных комбинаций число выходных переменных уменьшено до четырех, а число их безразличных наборов — до $k_n = 6$ (наборы $a_3 a_2 a_1 a_0 = 1010, 1011, 1100, 1110, 1110, 1111$). Такой шифратор является одним из узлов БИС микрокалькуляторов.

Дешифратор реализует на выходах минтермы входных переменных или инверсии минтермов (макстермы). При $n=2^m$ дешифратор называется *полным*, так как на его выходах образуется полный набор минтермов (макстермов) входных переменных. По-

Таблица 3.1

Таблица истинности шифратора «из 10 в 4» (дешифратора «из 4 в 10»)

i	x_9	x_8	x_7	x_6	x_5	x_4	x_3	x_2	x_1	x_0	a_3	a_2	a_1	a_0
0	0	1	1	1	1	1	1	1	1	1	0	0	0	0
1	1	0	1	1	1	1	1	1	1	1	0	0	0	1
2	1	1	0	1	1	1	1	1	1	1	0	0	1	0
3	1	1	1	0	1	1	1	1	1	1	0	0	1	1
4	1	1	1	1	0	1	1	1	1	1	0	1	0	0
5	1	1	1	1	1	0	1	1	1	1	0	1	0	1
6	1	1	1	1	1	1	0	1	1	1	0	1	1	0
7	1	1	1	1	1	1	1	0	1	1	0	1	1	1
8	1	1	1	1	1	1	1	1	0	1	1	0	0	0
9	1	1	1	1	1	1	1	1	1	0	1	0	0	1

Таблица 3.2

Таблица истинности полного дешифратора «из 3 в 8»

A	B	C	F_0	F_1	F_2	F_3	F_4	F_5	F_6	F_7
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

этой логической выражение для i -й выходной функции полного дешифратора имеет вид

$$F_i = m_i = \bar{M}_{n-i-1} \text{ или } F_i = M_{n-i-1} = \bar{m}_i, \quad (3.3)$$

где m_i , M_i — соответствующие минтерм и макстерм. Так, полный дешифратор «из 3 в 8» (табл. 3.2), реализующий макстермы трех переменных, имеет следующие выходные функции:

$$F_0 = A \vee B \vee C = M_7 = \bar{m}_0 = \overline{ABC},$$

$$F_1 = A \vee B \vee \bar{C} = M_6 = \bar{m}_1 = \overline{AB\bar{C}},$$

$$F_2 = A \vee \bar{B} \vee C = M_5 = \bar{m}_2 = \overline{A\bar{B}C},$$

$$F_3 = A \vee \bar{B} \vee \bar{C} = M_4 = \bar{m}_3 = \overline{A\bar{B}\bar{C}},$$

$$F_4 = \bar{A} \vee B \vee C = M_3 = \bar{m}_4 = \overline{\bar{A}BC},$$

$$F_5 = \bar{A} \vee B \vee \bar{C} = M_2 = \bar{m}_5 = \overline{\bar{A}B\bar{C}},$$

$$F_6 = \bar{A} \vee \bar{B} \vee C = M_1 = \bar{m}_6 = \overline{\bar{A}\bar{B}C},$$

$$F_7 = \bar{A} \vee \bar{B} \vee \bar{C} = M_0 = \bar{m}_7 = \overline{\bar{A}\bar{B}\bar{C}}.$$

Для примера рассмотрим проектирование схемы такого дешифратора на базе ЭСЛ. Если в качестве базового используются элементы ИЛИ—НЕ/ИЛИ (см. рис. 2.26,а), то на их неинверсных выходах выполняются функции F_0, \dots, F_7 , если подать на входы соответствующие переменные или их инверсии. Таким образом, при элементной реализации получаем логическую схему, приведенную на рис. 3.4,а.

Компонентная реализация дешифратора в виде многоярусной схемы ЭСЛ позволяет существенно улучшить его характеристики. Используем методику синтеза, описанную в § 2.3. Обобщенное выражение (2.38) дает набор функций F_0, \dots, F_7 , если принять $A = Z^0_0 = Z^1_0 = Z^0_1 = Z^1_1$, $B = Y_0 = Y_1$, $C = X$, а коэффициентам ρ^j_i , g^j_i дать следующие значения:

$$\rho^0_0 = \rho^1_0 = \rho^0_1 = g^0_0 = g^1_0 = g^0_1 = g^1_1 = 1, \rho^1_1 = 0 \text{ для реализации } F_0,$$

$$\rho^0_0 = \rho^1_0 = \rho^0_1 = \rho^1_1 = g^0_0 = g^1_0 = g^0_1 = 1, g^1_1 = 0 \text{ для реализации } F_1,$$

$$\rho^0_0 = \rho^1_0 = \rho^1_1 = g^0_0 = g^1_0 = g^0_1 = g^1_1 = 1, \rho^0_1 = 0 \text{ для реализации } F_2,$$

$$\rho^0_0 = \rho^1_0 = \rho^0_1 = \rho^1_1 = g^0_0 = g^1_0 = g^1_1 = 1, g^0_1 = 0 \text{ для реализации } F_3,$$

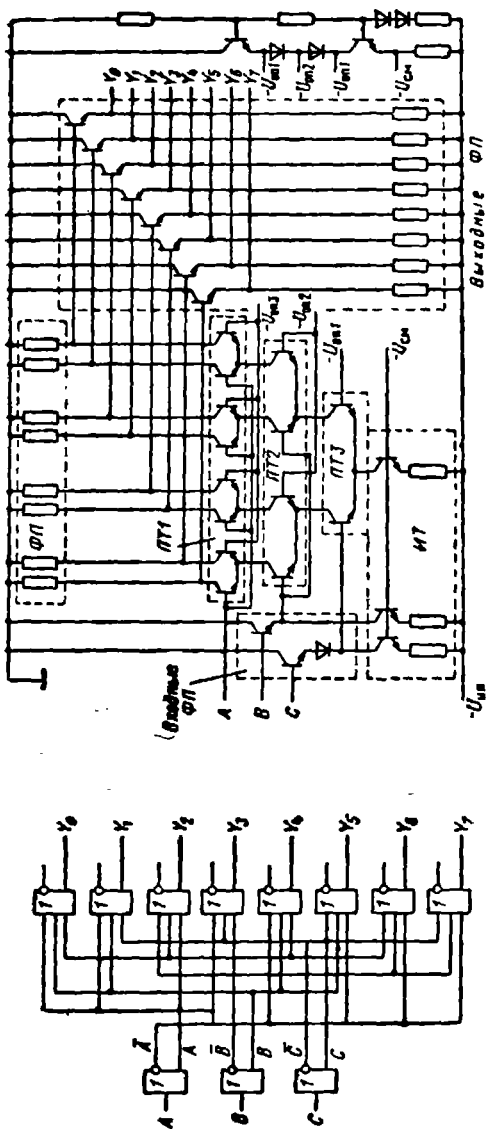
$$\rho^0_0 = \rho^0_1 = \rho^1_1 = g^0_0 = g^1_0 = g^0_1 = g^1_1 = 1, \rho^1_0 = 0 \text{ для реализации } F_4,$$

$$\rho^0_0 = \rho^1_0 = \rho^0_1 = \rho^1_1 = g^0_0 = g^0_1 = g^1_1 = 1, g^1_0 = 0 \text{ для реализации } F_5,$$

$$\rho^1_0 = \rho^0_1 = \rho^1_1 = g^0_0 = g^1_0 = g^0_1 = g^1_1 = 1, \rho^0_0 = 0 \text{ для реализации } F_6,$$

$$\rho^0_0 = \rho^1_0 = \rho^0_1 = \rho^1_1 = g^1_0 = g^0_1 = g^1_1 = 1, g^0_0 = 0 \text{ для реализации } F_7.$$

В соответствии с полученными значениями ρ^j_i , g^j_i обобщенная схема трехъярусного элемента ЭСЛ (см. рис. 2.24) преобразуется согласно правилам табл. 2.3. При этом каждая из функций реализуется на выходе 0 или 1 одного из четырех ПТ верхнего яруса. В результате на выходах этих ПТ получаем все необходимые функции F_0, \dots, F_7 (см. рис. 3.4,б). В данной схеме включены эмиттерные повторители на выходах, а также на входах ПТ первого и второго ярусов, выполняющие функции ФП (сдвиг уров-



а)

б)

Рис. 3.4. Логическая схема дешифраторов «из 3 и 8» на элементах ИЛИ—НЕ/ИЛИ (а) и его реализация в виде трехъярусного элемента ЭСД

ней потенциала), и транзисторные ИТ в эмиттерных цепях ПТ и входных повторителей.

Полученная схема дешифратора «из 3 в 8» имеет приблизительно такие же значения мощности P_n и задержки t_n , как один элемент ИЛИ—НЕ/ИЛИ ЭСЛ, и занимает на кристалле такую же площадь, как четыре элемента ЭСЛ. Поэтому данная схема обеспечивает снижение потребляемой мощности в 10 раз, задержки переключения в 2 раза и уменьшение площади, занимаемой на кристалле, в 2...3 раза по сравнению с дешифратором на рис. 3.4,а, построенным на одноярусных элементах ЭСЛ. Таким образом, если напряжение питания $U_{\text{пит}}=5$ В, что позволяет использовать схемы ЭСЛ с числом ярусов до трех, то следует применять схему на рис. 3.4,б, которая даст значительное улучшение основных показателей. При напряжениях питания $U_{\text{пит}}=2...3$ В, когда число ярусов в схемах ЭСЛ не может превышать одного (см. § 2.3), дешифратор реализуется на элементах ИЛИ—НЕ/ИЛИ в соответствии с логической схемой на рис. 3.4,а.

Если на выходах реализуется полный набор минтермов (макстермов), то дешифратор называется полным. Для неполных дешифраторов имеются безразличные наборы входных переменных, которые можно использовать при минимизации выходных функций. В виде СИС в составе современных серий микросхем ТТЛ выпускается, например, неполный дешифратор «из 4 в 10», который используется в устройствах вывода информации, чтобы обеспечить десятичную индикацию или печать двоично-десятичных чисел. В дешифраторе используются элементы ТТЛ с открытым коллектором (см. рис. 2.19,б), которые при логическом 0 на соответствующем выходе замыкают электрическую цепь, в которую включены индикаторные лампы или обмотки реле цифропечатающего устройства. Таким образом, дешифратор функционирует в соответствии с табл. 3.1, где a_0, \dots, a_3 служат входными переменными. Согласно табл. 3.1 имеется шесть безразличных наборов входных переменных $a_3 a_2 a_1 a_0$, которые можно использовать для минимизации логических выражений выходных функций x_0, \dots, x_9 . Для минимизации используем карты Карно, с помощью которых получим выражения, удобные для реализации на элементах И—НЕ:

$$x_0 = \overline{a_3 a_2 a_1 a_0}, \quad x_3 = \overline{a_2 a_1 a_0},$$

$$x_1 = \overline{a_3 a_2 a_1} a_0, \quad x_4 = a_2 \overline{a_1 a_0},$$

$$x_2 = \overline{a_2 a_1} a_0, \quad x_5 = \overline{a_2 a_1} a_0,$$

$$x_6 = a_2 a_1 \overline{a_0}, \quad x_9 = a_3 a_0.$$

$$x_7 = a_2 a_1 a_0,$$

$$x_8 = \overline{a_3 a_0}.$$

Соответствующая логическая схема дешифратора приведена на рис. 3.5.

Широко распространенным типом функциональных узлов, выпускаемых в виде микросхем средней степени интеграции, являются дешифраторы двоично-десятичных кодов в семисегментный код. Такие дешифраторы применяются в устройствах визуальной индикации десятичных цифр на световых табло (рис. 3.6), использующих светоизлучающие диоды, индикаторы на жидких кристаллах, электролюминесцентные или электровакуумные приборы. Логическое функционирование такого дешифратора определяется табл. 3.3, где обозначения выходных функций соответствуют семи сегментам $F_0 \dots F_6$ индикатора (рис. 3.6,а). Используя данную в § 3.1 методику, нетрудно получить логическую схему дешифратора (рис. 3.6б), реализуемую на элементах И—ИЛИ—НЕ ТТЛ. В схеме использованы элементы с открытым коллектором на выходе (см. рис. 2.19,б), поэтому сегменты будут светиться при низком потенциале на соответствующем выходе: $F_i = 0$.

Помимо устройств индикации дешифраторы широко используются в устройствах управления, где они в соответствии с поступающим кодом (адресом) формируют управляющий сигнал, включающий (или выключающий) один из блоков, подключенных к его выходам. Например, если включение блока обеспечивается подачей на его управляющий вход логического 0, то дешифраторы в

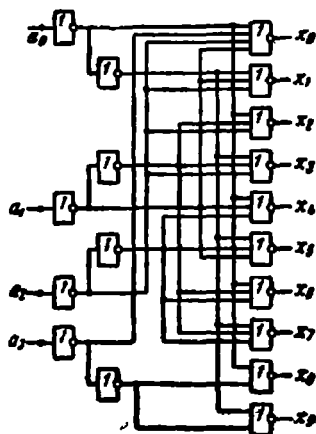


Рис. 3.5. Логическая схема дешифратора «из 4 в 10»

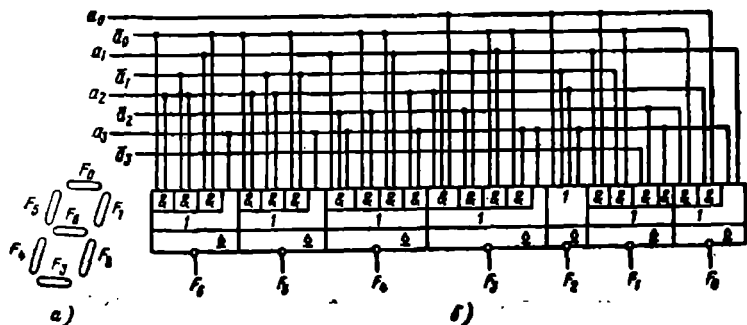


Рис. 3.6. Семисегментный индикатор (а) и дешифратор из двоичного кода в семисегментный (б)

Таблица 3.3

Таблица истинности дешифратора и семисегментный код

a_3	a_2	a_1	a_0	F_0	F_1	F_2	F_3	F_4	F_5	F_6	F_7
0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	1	0	0	1	1	1	1	1
0	0	1	0	0	0	1	0	0	1	1	0
0	0	1	1	0	0	0	0	1	1	1	0
0	1	0	0	1	0	0	1	1	0	0	0
0	1	0	1	0	1	0	0	1	0	0	0
0	1	1	0	0	1	0	0	0	0	0	0
0	1	1	1	0	0	0	1	1	1	1	1
1	0	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	1	0	0	0

соответствии с табл. 3.1 и 3.2 формируют сигнал включения только для того блока, номер которого соответствует поступившему на их входы двоичному коду.

3.3. МУЛЬТИПЛЕКСОРЫ И ДЕМУЛЬТИПЛЕКСОРЫ

Мультиплексором (селектором) называется функциональный узел, обеспечивающий передачу информации, поступающей по нескольким входным линиям связи, на одну выходную линию. Выбор той или иной входной линии A_i осуществляется в соответствии с поступающим адресным кодом S_0, S_1, \dots . При наличии n адресных входов можно реализовать $M=2^n$ комбинаций адресных сигналов S_i , каждая из которых обеспечивает выбор одной из M входных линий. Чаще всего используются мультиплексоры «из 4 в 1» ($M=4, n=2$), «из 8 в 1» ($M=8, n=3$), «из 16 в 1» ($M=16, n=4$). Если допустить наличие избыточных комбинаций адресных сигналов, то можно спроектировать мультиплексоры с любым числом входных линий $M \leq 2^n$.

Используя табл. 3.4, описывающую функционирование мультиплексора «из 4 в 1», получаем выражение для его выходной функции:

$$F = A_0(\bar{S}_1\bar{S}_0) \vee A_1(\bar{S}_1S_0) \vee A_2(S_1\bar{S}_0) \vee A_3(S_1S_0),$$

где в скобках помещены минтермы адресных переменных S_0, S_1 . В общем виде выходная функция мультиплексора «из M в 1»

$$F = \sum_{i=1}^M A_i m_i, \quad (3.4)$$

где m_i — минтерм n адресных переменных S_0, S_1, \dots, S_{n-1} ; $n = \log_2 M$.

Таблица истинности мультиплексора «из 4 в 1»

S_1	S_0	F
0	0	A_0
0	1	A_1
1	0	A_2
1	1	A_3

Мультиплексирование при большом числе входных линий M можно выполнять пирамидальным каскадированием мультиплексоров. На рис. 3.7 приведен пример мультиплексирования «из 16 в 1» с помощью каскадирования мультиплексоров «из 4 в 1».

В качестве примера схемотехнической реализации на рис. 3.8 показана логическая и электрическая схемы мультиплексора «из 4 в 1» на базе элемента И—ИЛИ—НЕ, который выпускается в виде микросхемы ТТЛ средней степени интеграции. В микросхеме используется сложный выходной инвертор, обеспечивающий большой коэффициент разветвления $N \geq 10$ и высокое быстродействие при работе на значительную емкостную нагрузку (см. § 2.2). В качестве входных инверторов и элемента И—ИЛИ—НЕ включаются схемы ТТЛ с упрощенным инвертором, которые имеют достаточно высокий порог переключения $V_{п}$ для получения необходимых значений помехоустойчивости $U_{-п}$, $U_{+п}$.

Наиболее эффективная реализация аналогичного мультиплексора на элементах ЭСЛ получается при использовании трехъярусной схемы. Для синтеза этой схемы функция F представляется в конъюнктивной форме (2а, табл. 3.2), а затем преобразуется к виду, соответствующему обобщенному выражению (2.38):

$$F = (A_0 \vee S_0 \vee S_1) (A_1 \vee \bar{S}_0 \vee S_1) (A_2 \vee S_0 \vee \bar{S}_1) \cdot \\ \cdot (A_3 \vee \bar{S}_0 \vee \bar{S}_1) = [\bar{S}_0 \vee (\bar{S}_1 \vee A_3) (S_1 \vee A_1)] \cdot \\ \cdot [S_0 \vee (\bar{S}_1 \vee A_0) (S_1 \vee A_2)].$$

В соответствии с § 2.4 трехъярусная схема ЭСЛ будет реализовывать эту функцию, если на ее входы подать сигналы $S_0 = X$, $S_1 = Y_0 = \bar{Y}_1$, $A_0 = Z^0_1$, $A_1 = Z^1_0$, $A_2 = Z^1_1$, $A_3 = Z^0_0$ и обеспечить значения

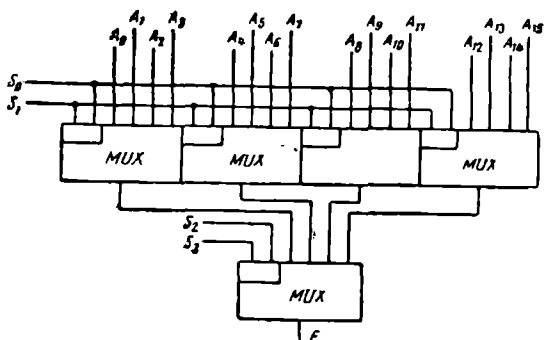


Рис. 3.7. Каскадирование мультиплексоров «из 4 в 1» для реализации мультиплексирования «из 16 в 1»

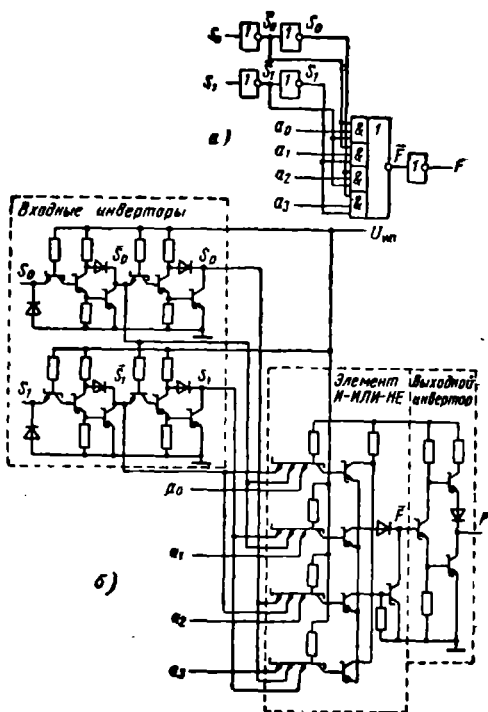


Рис. 3.8. Логическая схема мультиплексора «из 4 в 1» (а) и ее схемная реализация на элементах ТТЛ (б)

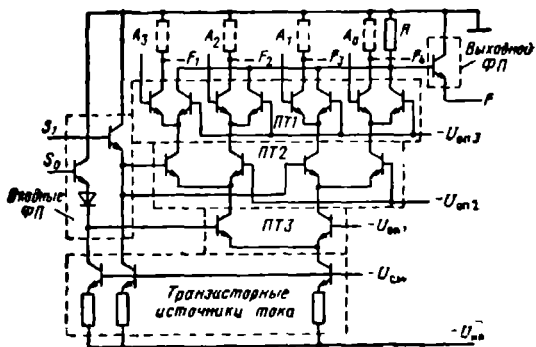


Рис. 3.9. Схема мультиплексора «из 4 в 1» на трехъярусном элементе ЭСЛ

коэффициентов $p^0_0 = p^1_0 = p^0_1 = p^1_1 = 0$, $g^0_0 = g^1_0 = g^0_1 = g^1_1 = 1$. При этом из обобщенной схемы (см. рис. 2.24) получим электрическую схему (рис. 3.9), где функция F реализуется путем монтажного объединения выходов 0 переключателей тока верхнего яруса на общем резисторе R . В схему включены входной и выходной эмиттерные повторители и транзисторные ИТ, задающие эмиттерные токи. Полученная схема потребляет приблизительно в 5 раз меньшую мощность, имеет в 2 раза меньшие задержку переключения и площадь, чем схема мультиплексора, построенная из одноступенчатых элементов ЭСЛ.

При необходимости можно, подключив резисторные ФП к инверсным выходам ПТ верхней ступени (показано штриховыми линиями на рис. 3.3), получить на дополнительных выходах функции

$$\bar{F}_1 = \overline{A_0 S_0 S_1}, \quad F_2 = \overline{A_1 S_0 S_1},$$

$$F_3 = \overline{A_2 S_0 S_1}, \quad F_4 = \overline{A_3 S_0 S_1}$$

либо реализовать любую конъюнкцию этих функций путем монтажного объединения соответствующих инверсных выходов.

Как показано в § 2.5, функцию мультиплексора «из 2 в 1» в схемах КМДПТЛ выполняют два транзистора (см. рис. 2.37,б). Путем каскадирования этой схемы реализуется мультиплексор «из 4 в 1» (рис. 3.10), который имеет задержку переключения и площадь, занимаемую на кристалле, приблизительно такие же, как один элемент ИЛИ—НЕ КМДПТЛ.

В современных цифровых системах мультиплексоры часто используются для формирования различных логических функций. Как следует из выражения (3.4), выходная функция мультиплексора содержит все минтермы n переменных, поэтому при подаче на входе соответствующих значений переменных A_i можно получить на выходе любую логическую функцию n переменных. Если исходная функция F представлена в виде СДНФ (см. § 1.2), то для ее реализации с помощью мультиплексора достаточно подать на информационные входы управляющие переменные $A_i = f_i$, где f_i — значение функции при наборе входных переменных, соответствующем минтерму m_i , а на адресные входы S — входные переменные.

Чтобы реализовать логическую функцию на мультиплексорах, имеющих n адресных входов, необходимо преобразовать ее следующим образом.

1. В МДНФ функции выделить n переменных, имеющих наивысшие ранги.

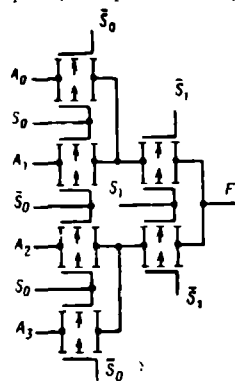


Рис. 3.10. Схема мультиплексора «из 4 в 1» из КМДП-транзисторах

2. Преобразовать МДНФ таким образом, чтобы обеспечить входение выделенных переменных во все импликанты. Преобразование осуществляется путем умножения импликант на $(x_i + \bar{x}_i)$, где x_i выделенная переменная, не входящая в соответствующую импликанту.

3. Выполнить факторизацию полученной ДНФ путем вынесения за скобки минтермов выделенных переменных.

В результате получаем выражение исходной функции, которое выполняется мультиплексором «из $M=2^n$ в 1», если на его адресные входы подать выделенные переменные, а на информационных входах реализовать логические выражения, заключенные в скобках. Если эти выражения равны 0, 1 или одной из входных переменных, то каких-либо дополнительных схем для выполнения заданной функции не требуется. Если выражения в скобках представляют собой функции двух и более переменных, то их необходимо реализовать с помощью дополнительных логических схем. Можно использовать для их реализации мультиплексоры. В этом случае каждое выражение в скобках преобразуется по описанной выше методике и выполняется с помощью мультиплексоров, выходы которых подключаются к информационным входам мультиплексора, реализующего заданную функцию.

Рассмотрим пример реализации с помощью мультиплексора «из 4 в 1» логической функции

$$F = AB\bar{D}E \vee \bar{A}\bar{D}E \vee \bar{A}\bar{C}D \vee C\bar{D} \vee BC.$$

1. Определим ранги переменных: $r_A = r_C = 3$, $r_B = r_E = 2$, $r_D = 4$. Так как для мультиплексора «из 4 в 1» число адресных входов $n=2$, выбираем две переменные с наибольшими показателями: D и C .

2. Преобразуем МДНФ, вводя выделенные переменные во все импликанты:

$$F = AB\bar{D}E(C \vee \bar{C}) \vee (\bar{A}DE)(C \vee \bar{C}) \vee \bar{A}\bar{C}D \vee C\bar{D} \vee \vee \bar{B}C(D \vee \bar{D}) = AB\bar{C}\bar{D}E \vee \bar{A}\bar{C}\bar{D}E \vee \bar{A}\bar{C}D \vee C\bar{D} \vee \bar{B}CD.$$

3. Выполняем факторизацию, вынося за скобки минтермы переменных C и D :

$$F = \bar{C}\bar{D}(ABE \vee \bar{A}E) \vee (\bar{A})\bar{C}D \vee C\bar{D} \vee (\bar{B})CD.$$

Полученное выражение реализуется согласно (3.4) мультиплексором «из 4 в 1», если на его входах A_i , S_i поступают следующие переменные и функции:

$$S_0 = C, S_1 = D, A_0 = ABE \vee \bar{A}E,$$

$$A_1 = \bar{A}, A_2 = 1, A_3 = \bar{B}.$$

Функция A_0 выполняется с помощью мультиплексора «из 4 в 1» или логических элементов. Схема включения мультиплексоров показана на рис. 3.11.

Для восстановления мультиплексированной информации используются *демультиплексоры*, которые в соответствии с принятым

Таблица 3.5

Таблица истинности демультиплектора «из 1 в 4»

S_1	S_0	F_0	F_1	F_2	F_3
0	0	A	0	0	0
0	1	0	A	0	0
1	0	0	0	A	0
1	1	0	0	0	A

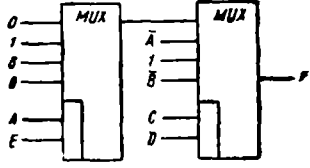


Рис. 3.11. Включение мультиплекторов для реализации заданной логической функции

адресом направляют информацию в одну из M выходных линий (табл. 3.5). При этом на остальных выходных линиях поддерживается логический 0. Выходные функции демультиплектора «из 1 в M » имеют вид

$$F_i = A m_i. \tag{3.5}$$

В качестве примера рассмотрим реализацию демультиплектора «из 1 в 4» на элементах ИЛИ—НЕ. В соответствии с методикой, описанной в § 3.1, преобразуем выходные функции (3.5) демультиплектора к виду

$$F_0 = A (\bar{S}_0 \bar{S}_1) = \bar{A} \vee \bar{S}_0 \vee \bar{S}_1,$$

$$F_1 = A (\bar{S}_0 S_1) = \bar{A} \vee \bar{S}_0 \vee S_1,$$

$$F_2 = A (S_0 \bar{S}_1) = \bar{A} \vee S_0 \vee \bar{S}_1,$$

$$F_3 = A (S_0 S_1) = \bar{A} \vee \bar{S}_0 \vee S_1.$$

Логическая схема, выполняющая данные функции, показана на рис. 3.12,а. Схема может быть реализована на элементах ИЛИ—

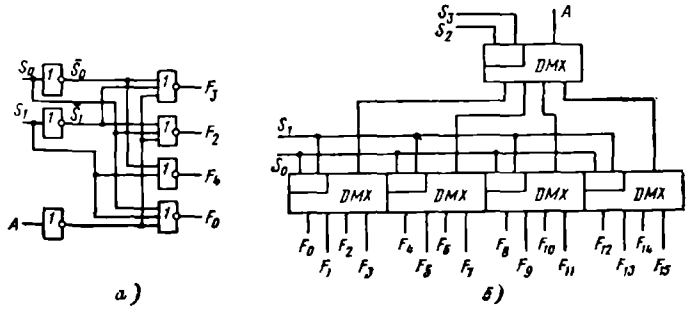


Рис. 3.12. Демультиплектор «из 1 в 4» (а) и их каскадирование для демультиплекторирования «из 1 в 16»

НЕ ЭСЛ (см. рис. 2.26) или КМДПТЛ (см. рис. 2.35,д). При большом числе M демультимплексирование осуществляется с помощью каскадного соединения демультимплексоров с малыми значениями M . На рис. 3.12,б показан пример включения демультимплексоров «из 1 в 4» для демультимплексирования сигнала «из 1 в 16» выходных линий.

При $A=1$ демультимплексор выполняет функции полного дешифратора, реализуя на выходах минтермы m_i адресных переменных S_0, \dots, S_{n-1} . При $A=0$ на всех выходах устанавливается состояние $F_0, \dots, F_{M-1}=0$. Таким образом, демультимплексор «из 1 в M » можно использовать в качестве дешифратора «из n в M », в котором на вход A поступает стробирующий сигнал, разрешающий или запрещающий формирование минтермов.

Путем последовательного включения мультиплексоров и демультимплексоров реализуются различные схемы коммутаторов, соединяющих источники и приемники информации в соответствии с поступившими адресами. На рис. 3.13 показана схема коммутатора, соединяющая любой из четырех источников I_i информации с любым из восьми приемников P_j . Адрес (номер) источника i задается поступающим двоичным кодом (S_1S_0) , адрес (номер) приемника j — кодом $(S'_2S'_1S'_0)$.

Для одновременной передачи многоразрядных чисел используется параллельное включение рассмотренных выше одnorазрядных мультиплексоров (см. рис. 3.8) и демультимплексоров (см. рис. 3.12). При этом с помощью демультимплексора «из 1 в 3» можно осуществить сдвиг многоразрядного числа вправо или влево на один разряд. Например, в схеме сдвигателя на рис. 3.14 одна из комбинаций сигналов $S_1S_0(00)$ обеспечивает передачу числа A без сдвига: $A_i=x_i$, другая комбинация — сдвиг вправо: $A_i=x_{i-1}$, третья комбинация — сдвиг влево: $A_i=x_{i+1}$. Такой способ сдвига чисел широко используется в микропроцессорах, умножителях и ряде других цифровых БИС.

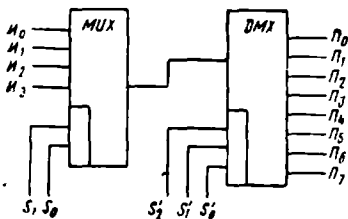


Рис. 3.13. Реализация коммутаторов на мультиплексоре и демультимплексоре

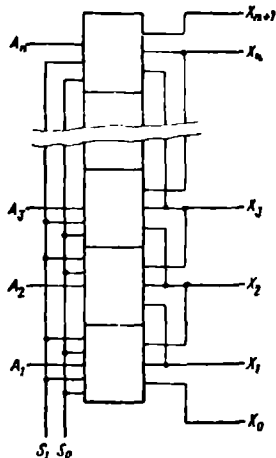


Рис. 3.14. Использование демультимплексоров для сдвига операндов

3.4. ОДНОРАЗРЯДНЫЙ СУММАТОР

Основной операцией при выполнении арифметических действий в современных цифровых системах является сложение (см. § 1.1). Поэтому основным блоком операционных устройств обычно является *сумматор*, который используется также для вычитания, умножения, деления, преобразования чисел в дополнительный код, код «с избытком 3» и в ряде других операций.

Суммирование многоразрядных чисел производится путем их поразрядного сложения с переносом между разрядами (см. § 1.1). Поэтому основным узлом многоразрядных сумматоров является комбинационный одноразрядный сумматор, который выполняет арифметическое сложение одноразрядных двоичных чисел A_i , B_i и перенос из младшего разряда C_i , образуя на выходах значения суммы S_i и переноса в старший разряд C_{i+1} (табл. 3.6). Функции S_i и C_{i+1} после минимизации имеют вид

$$S_i = A_i B_i C_i \vee A_i \bar{B}_i \bar{C}_i \vee \bar{A}_i B_i \bar{C}_i \vee \bar{A}_i \bar{B}_i C_i = (A_i \oplus B_i) \oplus C_i, \quad (3.6)$$

$$C_{i+1} = A_i B_i C_i \vee A_i B_i \bar{C}_i \vee A_i \bar{B}_i C_i \vee \bar{A}_i B_i C_i = A_i B_i \vee A_i C_i \vee B_i C_i. \quad (3.7)$$

Как следует из (3.6) и (3.7), функция S_i имеет более сложное выражение, чем C_{i+1} , так как представляется в виде СДНФ, т. е. не минимизируется. Функцию S_i удобно реализовать с помощью двух схем Искключающее ИЛИ, которые часто называют *полусумматорами*.

Используем выражения (3.6) и (3.7) в качестве исходных при проектировании схемы одноразрядного сумматора. Преобразовав согласно методике, описанной в § 3.1, эти выражения к виду, удобному для реализации на элементах И—НЕ, получим

$$S_i = \overline{(A_i B_i C_i) (A_i \bar{B}_i \bar{C}_i) (\bar{A}_i B_i \bar{C}_i) (\bar{A}_i \bar{B}_i C_i)}, \quad (3.6a)$$

$$C_{i+1} = \overline{(A_i \bar{B}_i) (A_i C_i) (B_i C_i)}. \quad (3.7a)$$

Логическая схема (рис. 3.15,а), реализующая эти функции, содержит три входных инвертора и девять элементов И—НЕ, имеет потребляемую мощность $P_s = 12P_z$, задержки сигнала на выходах суммы $t_s = 3t_z$ и переноса $t_c = 2t_z$.

Таблица 3.6

Таблица истинности одноразрядного сумматора

A_i	B_i	C_i	S_i	C_{i+1}	A_i	B_i	C_i	S_i	C_{i+1}
0	0	0	0	0	1	0	0	1	0
0	0	1	1	0	1	0	1	0	1
0	1	0	1	0	1	1	0	0	1
0	1	1	0	1	1	1	1	1	1

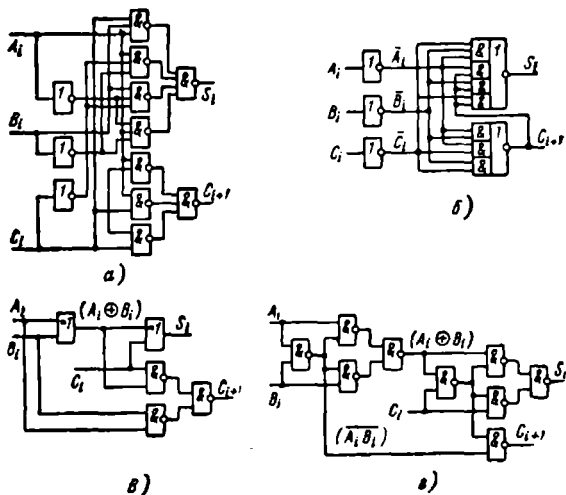


Рис. 3.15. Варианты логической схемы одnorазрядного сумматора на элементах ИЛИ—НЕ (а), И—ИЛИ—НЕ (б), И—НЕ (в), Исключающее ИЛИ (г)

При реализации сумматора на элементах И—ИЛИ—НЕ преобразуем выражения (3.6) и (3.7) к виду

$$S_i = \overline{A_i}C_{i+1} \vee \overline{B_i}C_{i+1} \vee \overline{C_i}C_{i+1} \vee \overline{A_i}B_iC_i, \quad (3.66)$$

$$C_{i+1} = \overline{A_i}C_i \vee \overline{B_i}C_i \vee \overline{A_i}B_i. \quad (3.76)$$

Схема сумматора, построенная на элементах И—ИЛИ—НЕ в соответствии с этими выражениями, показана на рис. 3.15,б. Сумматор с такой структурой реализуется на элементах ТТЛ, КМДПТЛ.

Третий вариант сумматора можно получить, реализуя функцию S_i с помощью элементов Исключающее ИЛИ. При этом выражение (3.7) преобразуем к виду

$$C_{i+1} = A_iB_i \vee (A_i \oplus B_i)C_i = \overline{(A_iB_i)} \overline{(A_i \oplus B_i)} C_i. \quad (3.7в)$$

Соответствующая схема сумматора показана на рис. 3.15,в. Если реализовать операцию Исключающее ИЛИ с помощью четырех элементов И—НЕ, то получим схему сумматора (рис. 3.15,г), содержащую минимальное число элементов и их соединений. Такой сумматор потребляет мощность $P_s = 9P_2$ и имеет задержки переключения $t_s = 6t_3$ и $t_c = 5t_3$.

Используя различные способы минимизации логических функций, можно получить структуры сумматоров, отличающихся по числу элементов, мощности и быстродействию, которые реализуются на различной элементной базе. С помощью метода токовых графов (см. § 2.2) синтезируем варианты электрических схем сумматоров на базе ТТЛ и ЭСЛ.

Для получения более простой схемы проведем факторизацию выражения (3.6б), а затем преобразуем (3.6б) и (3.7б) по теореме де Моргана, чтобы реализовать функции S_i , C_{i+1} с помощью монтажного объединения выходов элементов ТТЛ (Монтажное И):

$$S_i = (\overline{A_i B_i C_i}) C_{i+1} (\overline{A_i \overline{B_i} \overline{C_i}}), \quad (3.6г)$$

$$C_{i+1} = (\overline{A_i \overline{B_i}}) (\overline{A_i \overline{C_i}}) (\overline{B_i \overline{C_i}}). \quad (3.7г)$$

В соответствии с выражениями (3.6г) и (3.7г) получим токовый граф сумматора, показанный на рис. 3.16,а. При использовании диодных объединителей ОТ на входах ТК включают диодные ФП, чтобы обеспечить выполнение условий переключения (2.14). При переходе к электрической схеме сумматора используем резисторные источники ИТ и монтажные объединители ОТ на выходах ключей ТК, в качестве которых служат *n-p-n* транзисторы.

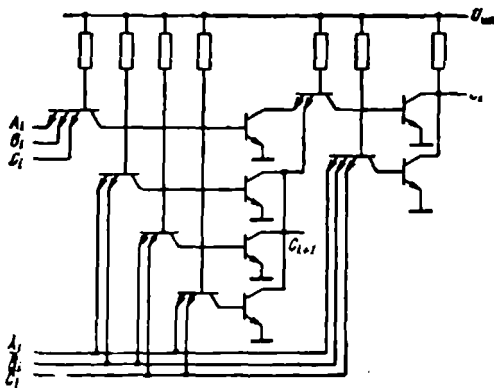
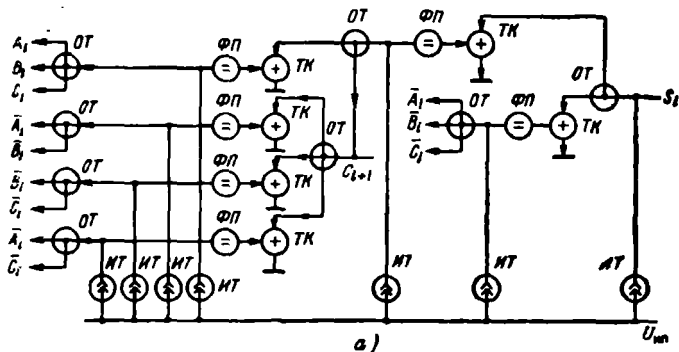


Рис. 3.16. Токовый граф (а) и схемная реализация (б) одноразрядного сумматора

Диодные ОТ и ФП на входе каждого ключа совмещаем в один компонент — МЭТ. В результате получаем схему сумматора, приведенную на рис. 3.16,б.

При реализации сумматора на элементах ЭСЛ наиболее эффективно использовать трехъярусные схемы, для которых функции представим в виде (см. § 2.4)

$$S_i = \{\bar{A}_i \vee (\bar{B}_i \vee C_i) (B_i \vee \bar{C}_i)\} [A_i \vee (B_i \vee C_i) (\bar{B}_i \vee \bar{C}_i)], \quad (3.6д)$$

$$C_{i+1} = [\bar{A}_i \vee B_i \vee C_i] [A_i \vee B_i (\bar{B}_i \vee C_i)]. \quad (3.7д)$$

Используя обобщенное выражение (2.38), получаем, что трехъярусная схема ЭСЛ выполняет функцию S_i при $p^0_0 = p^1_1 = g^0_1 = g^1_0 = 0$, $p^1_0 = p^0_1 = g^0_0 = g^1_1 = 1$, а функцию C_{i+1} при $p^0_0 = g^0_0 = g^1_0 = g^0_1 = 1$, $p^1_0 = p^0_1 = p^1_1 = g^1_1 = 0$. В соответствии с методикой проектирования, описанной в § 2.4, получаем схему из двух трехъярусных элементов ЭСЛ, реализующую функции сумматора (рис. 3.17). В этой схеме транзисторы верхнего яруса, имеющие непосредственно соединенные базы и коллекторы ($VT1$ и $VT7$; $VT3$ и $VT5$; $VT2$ и $VT8$; $VT4$ и $VT6$; $VT10$, $VT12$ и $VT14$), для экономии площади можно совместить в двух- и трехэмиттерные транзисторы. По сравнению с сумматором, построенным на одноярусных элементах ЭСЛ, эта схема имеет в 4 раза меньшую мощность, в 2 раза меньшую площадь, в 2 раза более высокое быстродействие.

Один из вариантов сумматора на элементах КМДПТЛ можно получить, используя элементы Искключающее ИЛИ, Равнозначность, которые реализуются с помощью мультиплексора «из 2 в 1» (рис. 2.37,в) на паре p - и n -канальных транзисторов. При этом схема сумматора на рис. 3.15 преобразуется к виду, показанному на рис. 3.18,а, ее схемотехническая реализация приведена на рис. 3.18,б. По сравнению с вариантами сумматора на элементах И—

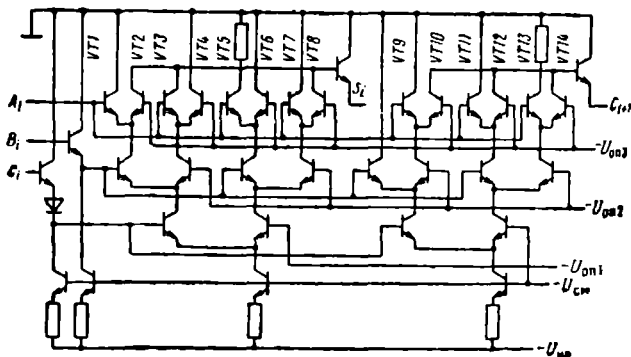


Рис. 3.17. Схема одноразрядного сумматора на трехъярусных элементах ЭСЛ

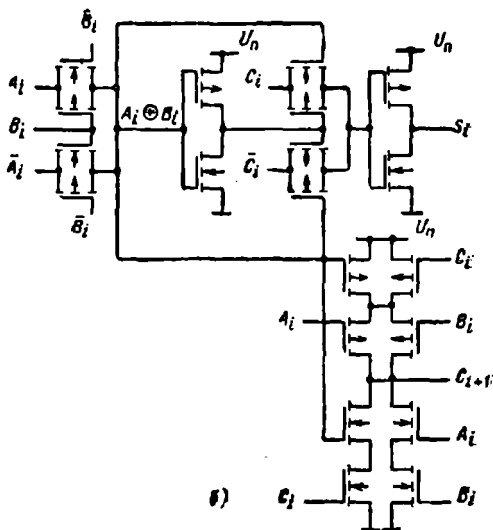
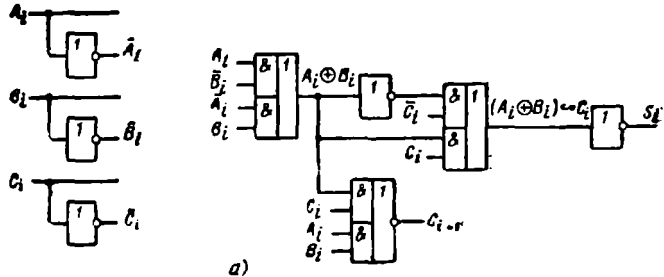


Рис. 3.18. Логическая (а) и электрические (б) схемы одноразрядного сумматора на КМДП-транзисторах

ИЛИ—НЕ КМДПТЛ данная схема при близких значениях быстродействия содержит в 1,5...2 раза меньше транзисторов и занимает существенно меньшую площадь на кристалле.

3.5. СХЕМЫ СРАВНЕНИЯ (ДВОИЧНЫЕ КОМПАРАТОРЫ)

Для сравнения операндов в цифровых системах часто используют специальные схемы — двоичные компараторы. Простейшим вариантом компараторов являются схемы для определения равенства двух операндов A и B . Равенство одноразрядных операндов определяется с помощью логической операции Равнозначность (см. табл. 1.6): $F=1$ при $A=B$, $F=0$ при $A \neq B$. Примеры схемной

реализации операции Сравнительности даны в § 2.5. Для определения равенства многоразрядных операндов выполняется конъюнкция результатов сравнения отдельных разрядов:

$$F_n = F_0 F_1 \dots F_{n-1} = (A_0 B_0 \vee \bar{A}_0 \bar{B}_0) (A_1 B_1 \vee \bar{A}_1 \bar{B}_1) \dots (A_{n-1} B_{n-1} \vee \bar{A}_{n-1} \bar{B}_{n-1}) = \overline{\bar{F}_0 \vee \bar{F}_1 \vee \dots \vee \bar{F}_{n-1}} = \overline{(A_0 \bar{B}_0 \vee \bar{A}_0 B_0) \vee (A_1 \bar{B}_1 \vee \bar{A}_1 B_1) \vee \dots \vee (A_{n-1} \bar{B}_{n-1} \vee \bar{A}_{n-1} B_{n-1})}. \quad (3.8)$$

Более сложными являются схемы сравнения для определения неравенства n -разрядных операндов A и B :

$$F = \begin{cases} 1 & \text{при } A > B \\ 0 & \text{при } A \leq B, \end{cases} \quad (3.9) \quad H = \begin{cases} 1 & \text{при } A < B, \\ 0 & \text{при } A \geq B. \end{cases} \quad (3.10)$$

Для одноразрядных операндов A_0 и B_0 функции сравнения реализуются с помощью операций Запрет (см. табл. 1.5):

$$F_0 = A_0 \bar{B}_0, \quad H_0 = \bar{A}_0 B_0.$$

Для двухразрядных операндов $A = A_1 A_0$ и $B = B_1 B_0$ функции неравенства F_1 и H_1 определяются таблицей истинности (табл. 3.7). Минимизируя выражения функций с помощью карт Карно, получаем

$$F_1 = A_1 B_1 \vee A_1 A_0 B_0 \vee A_0 \bar{B}_0 B_1 = A_1 B_1 \vee (\bar{A}_1 \bar{B}_1) F_0,$$

$$H_1 = \bar{A}_1 B_1 \vee \bar{A}_1 \bar{A}_0 B_0 \vee \bar{A}_0 B_0 B_1 = \bar{A}_1 B_1 \vee (A_1 \bar{B}_1) H_0.$$

Аналогично представляются функции сравнения n -разрядных операндов:

$$F_{n-1} = A_{n-1} \bar{B}_{n-1} \vee (\bar{A}_{n-1} B_{n-1}) F_{n-2} = \overline{(\bar{A}_{n-1} \bar{B}_{n-1}) (\bar{A}_{n-1} B_{n-1}) F_{n-2}}, \quad (3.11)$$

$$H_{n-1} = \bar{A}_{n-1} B_{n-1} \vee (A_{n-1} \bar{B}_{n-1}) H_{n-2} = \overline{(\bar{A}_{n-1} B_{n-1}) (A_{n-1} \bar{B}_{n-1}) H_{n-2}}, \quad (3.12)$$

где F_{n-2} , H_{n-2} — функции сравнения $(n-1)$ младших разрядов.

Согласно выражениям (3.11), (3.12) сравнение операндов можно производить последовательно, начиная с младших разрядов A_0 , B_0 . Пример многоразрядного компаратора с последовательной структурой, реализованного в соответствии с выражением (3.11), дан на рис. 3.19,а. Общая задержка формирования сигнала F для этой схемы составляет $t_F = 2nt_3$. Поэтому при большом числе разрядов ($n > 4 \dots 8$) компараторы с последовательной структурой имеют низкое быстродействие.

Таблица 3.7

Таблица истинности схемы сравнения двухразрядных чисел $(A_1 A_0)$ и $(B_1 B_0)$

A_1	A_0	B_1	B_0	F_1	H_1	A_1	A_0	B_1	B_0	F_1	H_1
0	0	0	0	0	0	1	0	0	0	1	0
0	0	0	1	0	1	1	0	0	1	1	0
0	0	1	0	0	1	1	0	1	0	0	0
0	0	1	1	0	1	1	0	1	1	0	1
0	1	0	0	1	0	1	1	0	0	1	0
0	1	0	1	0	0	1	1	0	1	1	0
0	1	1	0	0	1	1	1	1	0	1	0
0	1	1	1	0	1	1	1	1	1	0	0

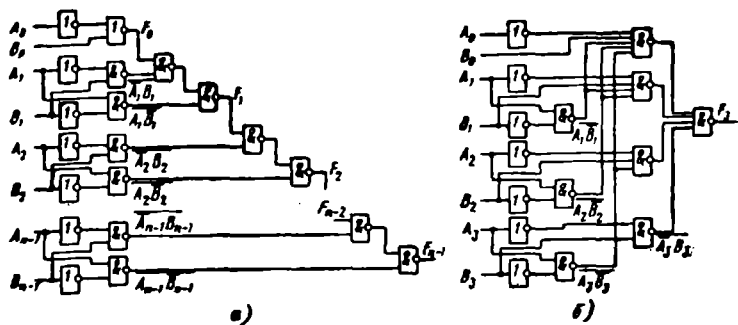


Рис. 3.19. Схемы компараторов с последовательным (а) и параллельным (б) сравнением разрядов

В быстродействующих компараторах реализуется одновременное (параллельное) сравнение всех разрядов операндов в соответствии с выражениями (3.11а), (3.12а). Эти выражения получаются из (3.11), (3.12) подстановкой функций F_{n-2}, \dots, F_0 или H_{n-2}, \dots, H_0 :

$$F_{n-1} = A_{n-1}B_{n-1} \vee (\overline{A_{n-1}B_{n-1}}) (A_{n-2}B_{n-2}) \vee \dots \vee (\overline{A_{n-1}B_{n-1}}) (\overline{A_{n-2}B_{n-2}}) \dots \dots (\overline{A_2B_2}) (\overline{A_1B_1}) (A_0B_0); \quad (3.11a)$$

$$H_{n-1} = \overline{A_{n-1}B_{n-1}} \vee (\overline{A_{n-1}B_{n-1}}) (\overline{A_{n-2}B_{n-2}}) \vee \dots \vee (\overline{A_{n-1}B_{n-1}}) (\overline{A_{n-2}B_{n-2}}) \dots \dots (\overline{A_2B_2}) (\overline{A_1B_1}) (\overline{A_0B_0}). \quad (3.12a)$$

Схема четырехразрядного компаратора с параллельной структурой показана на рис. 3.19,б. Задержка формирования сигнала F для компаратора с параллельной структурой составляет $t_F = 4t_{\text{э}}$, независимо от числа разрядов. Однако в схеме требуются логические элементы с числом входов $n+1$, реализация которых при $n > 4 \dots 8$ затруднительна. Поэтому в виде СИС выпускаются четырех- или восьмиразрядные компараторы с параллельной структурой.

3.6. ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ МАТРИЦЫ (ПЛМ)

Типовая структура ПЛМ (рис. 3.20) содержит три каскада логических элементов, между которыми располагаются два коммутационных поля, где осуществляется необходимое соединение выводов элементов (программирование ПЛМ) для реализации заданного набора функций. Первый каскад повторителей-инверторов выдает поступившие переменные в прямой и инверсной форме. Во втором каскаде размещаются элементы И, входы которых соединяются с соответствующими шинами переменных для реализации импликант, входящих в ДНФ заданных функций. Число используемых элементов И равно общему числу различных импликант в ДНФ всех выходных функций. Третий каскад состоит из элементов ИЛИ, входы которых соединяются с выходами элементов И

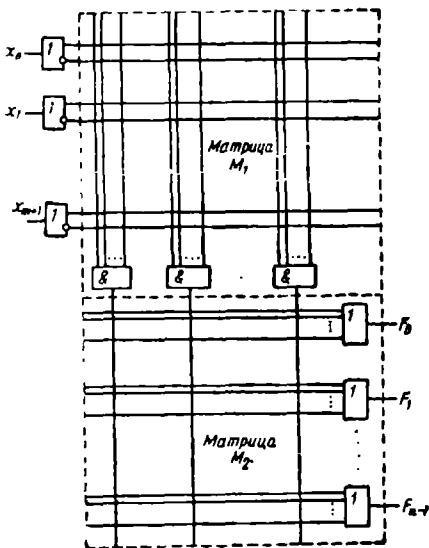


Рис. 3.20. Общая структура ПЛМ

предыдущего каскада для получения на выходе заданных функций. Число элементов ИЛИ определяет число логических функций, одновременно реализуемых на выходах ПЛМ. Каскад элементов И вместе с коммутационным полем образует программируемую матрицу конъюнкции M_1 , каскад элементов ИЛИ с коммутационным полем — матрицу дизъюнкции M_2 .

Таким образом, ПЛМ выполняет набор логических функций, задаваемых в дизъюнктивной форме. Для уменьшения числа используемых элементов и упрощения их коммутации исходные функции задаются в виде МДНФ, полученных с помощью методов совместной минимизации (см. §

1.4). Так как с помощью ПЛМ обычно реализуются достаточно сложные функции большого числа переменных, то для их совместной минимизации используются специальные программы, реализуемые на ЭВМ.

Различные варианты ПЛМ выпускаются в виде отдельных микросхем либо входят в состав микропроцессоров и ряда других типов БИС. В серийно выпускаемых ПЛМ число входных переменных $m=8 \dots 22$, число выходных функций $n=8 \dots 16$, число одновременно реализуемых импликант — несколько десятков (обычно $50 \dots 100$). Для ПЛМ, используемых в современных микропроцессорах и ряде других БИС, эти числа часто в $5 \dots 10$ раз больше. Элементы И, ИЛИ в составе ПЛМ имеют $8 \dots 10$ и более входов. Все эти показатели ограничивают число и сложность функций, выполняемых ПЛМ. Если заданный набор функций после минимизации не может быть реализован одной ПЛМ, то производится разделение набора или декомпозиция наиболее сложных функций так, чтобы обеспечить их выполнение с помощью параллельного или последовательного включения нескольких ПЛМ. Методы минимизации и декомпозиции функций, используемые при разработке цифровых устройств на базе ПЛМ, описаны в [30].

Программирование, т. е. коммутация выводов элементов в ПЛМ для реализации заданных функций, выполняется различными способами:

разработкой соответствующей топологии металлических соединений;

разрушением металлических соединений («пережигание» перемычек) между определенными входами и выходами элементов;

изменением состояния (проводящее или непроводящее) транзисторов, через которые соединены элементы различных каскадов ПЛМ.

При первом способе соединения элементов ПЛМ, обеспечивающие получение на выходах заданного набора функций, создаются в процессе изготовления микросхемы с помощью специально разрабатываемого фотошаблона. Такой способ программирования изготовителем широко применяется при создании ПЛМ, входящих в состав серийно выпускаемых БИС, например микропроцессоров, контроллеров периферийных устройств (дисплеев, цифрочасти и др.).

Второй способ программирования ПЛМ состоит в использовании плавких перемычек для получения необходимой конфигурации соединений элементов. Эти перемычки, которые обычно изготавливаются из нихрома, включаются в соединения между элементами и разрушаются (перегорают) при подаче на них импульса напряжения достаточно большой амплитуды (обычно 12...20 В) и определенной длительности. В режиме программирования на логических входах устанавливаются комбинации адресных переменных в соответствии с которыми импульс повышенного напряжения поступает на определенную перемычку, которая при этом перегорает. Таким образом, последовательно нарушаются все ненужные соединения и остаются только те, которые позволяют реализовать заданные функции. Такой способ программирования потребителем широко используется для создания специализированных комбинационных схем, которые выполняют набор функций для решения определенных задач. Потребитель программирует ПЛМ с помощью специального программатора, формирующего сигналы для разрушения тех или иных перемычек в соответствии с заданным набором реализуемых функций.

Третий способ программирования также осуществляется потребителем, но вместо плавких перемычек в соединении включены МДП-транзисторы. В закрытом состоянии они разрывают соответствующие соединения, в открытом — замыкают. При этом используются специальные МДП-структуры¹, в которых проводящий канал индуцируется под действием заряда, накапливаемого на границе раздела двух диэлектриков под затвором или на изолированном («плавающем») затворе при подаче программируемого импульса напряжения. Накопленный заряд сохраняется в течение нескольких лет, обеспечивая необходимое соединение элементов ПЛМ. Перед программированием все МДП-структуры переводятся в непроводящее состояние путем облучения ультрафиолетом или подачей специального электрического сигнала. Затем с помощью

¹ Эти МДП-структуры описаны в § 6.5.

программатора формируются сигналы, переводящие определенные МДП-структуры в проводящее состояние, путем образования в них индуцированных каналов. При этом возможно многократное программирование (репрограммирование) ПЛМ для реализации различных наборов функций.

На рис. 3.21 показаны типовые варианты реализации каскадов ПЛМ в биполярных и МДП-микросхемах. Диодные объединители (рис. 3.21,а,б) выполняют операции конъюнкции или дизъюнкции в зависимости от направления протекания тока (см. § 2.2). Путем объединения выходов эмиттерных (рис. 3.21,в) или истоковых (рис. 3.21,г) повторителей реализуется операция Монтажное ИЛИ. Объединение выходов транзисторных ключей (рис. 3.21,д,е) выполняет операцию Монтажное И. При подаче инверсных значений входных переменных такое включение транзисторов реализу-

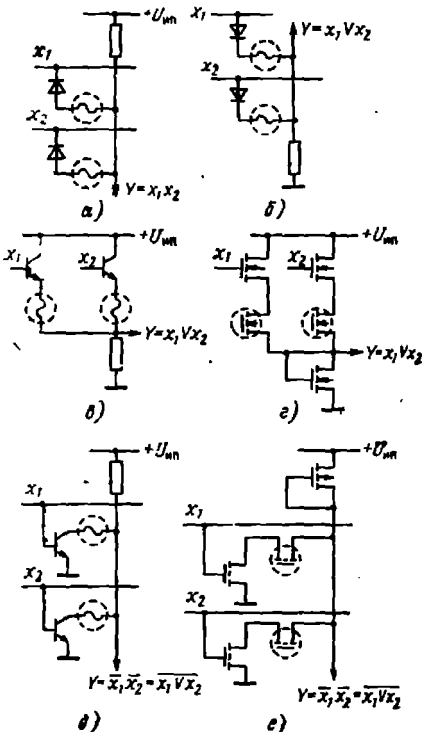


Рис. 3.21. Варианты схемной реализации элементов И (а), ИЛИ (б—г), Монтажное И (д, е) в ПЛМ

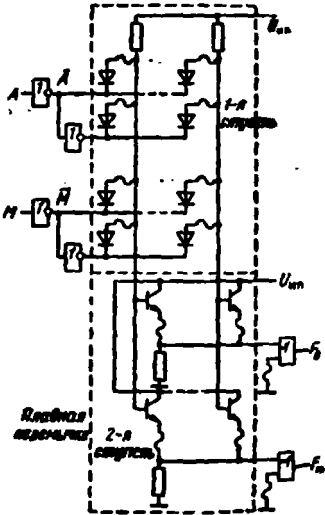


Рис. 3.22. Схема ПЛМ, программируемой путем разрушения перемычек электрическими сигналами

ет функцию И, а при подаче неинверсных переменных — функцию ИЛИ с инверсией. Программирование с помощью фототаблонов, плавких перемычек (рис. 3.21,а—д) или МДП-структур с накоплением заряда (рис. 3.21,г,е) обеспечивает вхождение тех или иных переменных в выходные функции. В биполярных микросхемах обычно применяются диодные элементы (рис. 3.21,а) для реализации матрицы M_1 и транзисторные (рис. 3.21,в) для реализации матрицы M_2 . В МДП-микросхемах чаще всего используется схема на рис. 3.21,е в матрице M_1 , схема на рис. 3.21,г в матрице M_2 .

На рис. 3.22 приведен пример реализации ПЛМ на базе ТТЛ. Элементы Исключающее ИЛИ на выходах позволяют получить инверсное или неинверсное значение выходной функции. Они содержат сложный выходной ТТЛ-инвертор (см. § 2.3), обеспечивающий значительный коэффициент разветвления и высокое быстродействие при работе на емкостную нагрузку.

Наличие двух программируемых матриц M_1 и M_2 (см. рис. 3.20) требует использования значительного числа коммутирующих компонентов (плавких перемычек, МДП-структур), которые снижают быстродействие и увеличивают площадь кристалла ПЛМ. Поэтому ПЛМ, программируемые пользователем, часто выпускаются с одной программируемой матрицей M_1 . Вместо матрицы M_2 осуществляется фиксированное соединение элементов ИЛИ третьего каскада с выходами элементов И второго каскада. Такие ПЛМ называются схемами *программируемой матричной логики (ПМЛ)*. По сравнению с обычными ПЛМ реализуемый ими набор функций более ограничен, однако они имеют меньшую задержку переключения и площадь, занимаемую на кристалле.

КОНТРОЛЬНЫЕ ВОПРОСЫ И УПРАЖНЕНИЯ

1. Синтезируйте логические схемы, выполняющие заданные функции:

а) $F_1 = \overline{A}B\overline{C} \vee \overline{A}B\overline{C}D \vee \overline{A}B\overline{C}D \vee \overline{A}B\overline{C} \vee (B\overline{C} \vee D\overline{E}) \vee ABE(C\overline{D} \vee C\overline{D})$ на трехвыходных элементах И—НЕ; элементах И—ИЛИ—НЕ, имеющих по четыре входа И, три сборки ИЛИ;

б) $F_2 = \overline{B}\overline{C}D\overline{E} \vee \overline{A}B\overline{C}D\overline{E} \vee \overline{B}\overline{C}D\overline{E} \vee \overline{A}B\overline{C}D\overline{E} \vee \overline{A}B\overline{C}D\overline{E} \vee \overline{A}B\overline{C}D\overline{E} \times (C\overline{D} \vee C\overline{D})$ на четырехвыходных элементах ИЛИ—НЕ; четырехвыходных элементах ИЛИ—НЕ, монтажное ИЛИ;

2. Постройте трехъярусную схему ЭСЛ, реализующую функцию

$$F_1 = A(B \vee \overline{C}) \vee A\overline{C}(\overline{D} \vee E) \vee DE(\overline{A} \vee B \vee \overline{C});$$

$$F_2 = \overline{A}B \vee AC \vee \overline{B}D \vee CD.$$

3. Синтезируйте на элементах И—НЕ, И—ИЛИ—НЕ логическую схему трехвыходного мажоритарного элемента, состояние выхода которого соответствует состоянию большинства входов (схема голосования). Синтезируйте схему, формирующую сигнал $M =$

=1 при несовпадении состояний входов мажоритарного элемента (сигнал ошибки).

4. Спроектируйте логическую схему преобразователя из четырехразрядного дополнительного кода в прямой на четырехходовых элементах И—НЕ; на элементах И—ИЛИ—НЕ, имеющих по три входа И и четыре сборки ИЛИ.

5. Спроектируйте на четырехходовых элементах ИЛИ—НЕ логическую схему шифратора, обеспечивающего ввод десятичных чисел 0...9 в коде «с избытком 3».

6. Постройте на элементах ТТЛ схему дешифратора из дополнительного кода в семисегментный код с индикацией знака.

7. Реализуйте логическую функцию $F = ABE \vee \bar{A}E$ на мультиплексорах «из 2 в 1» и «из 4 в 1». Сравните результаты с рис. 3.11.

8. Спроектируйте схему КМДПТЛ, выполняющую функции мультиплексора «из 4 в 1».

9. Спроектируйте трехъязычную схему ЭСЛ, выполняющую функции демультиплексора «из 1 в 4».

10. Реализуйте на мультиплексорах «из 4 в 1» в демультиплексорах «из 1 в 4» коммутатор, выполняющий соединение любого из 8 источников с любым из 24 приемников информации.

11. Докажите эквивалентность логических выражений (3.6) и (3.6б), (3.6г) для суммы S_i , выражений (3.7) и (3.7б), (3.7в), (3.7г) для переноса C_{i+1} .

12. Спроектируйте ПЛМ, реализующую функции сумматора двухразрядных чисел.

Глава 4. ТРИГГЕРЫ И ДИНАМИЧЕСКИЕ ЭЛЕМЕНТЫ

Помимо логических элементов для построения цифровых систем требуются элементы памяти, осуществляющие хранение двоичной информации в течение требуемого времени. В зависимости от способа хранения информации элементы памяти делятся на статические и динамические. Элементы памяти, которые могут хранить информацию сколь угодно долго, называются *статическими*. В качестве статического элемента памяти в цифровых микросхемах используется бистабильная ячейка (БЯ), представляющая собой два инвертирующих логических элемента (чаще всего ИЛИ—НЕ или И—НЕ), соединенных перекрестными связями: прямой и обратной. Элементы памяти, хранящие информацию в течение ограниченного, относительно короткого промежутка времени называются *динамическими*. Динамические элементы памяти, используемые в цифровых микросхемах, состоят из компонен-

та, накапливающего заряд (конденсатор, транзистор или диод), и транзисторных ключей, управляющих процессами его зарядки и разрядки.

На основе элементов памяти строятся триггеры — электронные схемы, имеющие два устойчивых состояния, которые устанавливаются при подаче соответствующей комбинации сигналов на управляющие входы триггера и сохраняются в течение заданного времени после окончания действия этих сигналов. В зависимости от типа используемых элементов памяти триггеры подразделяются на два класса: статические и динамические¹.

4.1. СТРУКТУРА И КЛАССИФИКАЦИЯ СТАТИЧЕСКИХ ТРИГГЕРОВ

В микроэлектронных цифровых устройствах используется большое число различных триггеров, которые классифицируются по ряду признаков: способу записи информации, логической структуре, типу функционирования, элементной базе.

Общая структура статических триггеров показана на рис. 4.1, где в качестве выходного элемента памяти используется БЯ. Переключение БЯ осуществляется сигналами S' (set — установка), R' (reset — сброс), поступающими с выходов схемы управления. Логическое значение сигналов S' , R' зависит от комбинаций сигналов на внешних управляющих входах X триггера и от состояния выходной БЯ, которое определяется значением сигнала Q , поступающего с выхода БЯ по цепи обратной связи.

Если используются два взаимноинверсных выхода БЯ (Q и \bar{Q} на рис. 4.1), то данный триггер имеет парафазный выход. Если используется только один выход, то триггер имеет однофазный выход.

Состояние триггера определяется значением выходного сигнала Q . Если изменение Q , т. е. переключение триггера, происходит только при поступлении синхронизирующего сигнала (синхроимпульса) на специальный вход синхронизации C (clock — время-задающий), то триггер называется *синхронным*. Триггеры могут синхронизироваться уровнем или фронтом синхроимпульсов. Триггеры, *синхронизируемые уровнем*, могут изменить свое состояние в течение длительности синхроимпульса (уровня синхросигнала) при поступлении соответствующих управляющих сигналов X , т. е. могут переключаться несколько раз за время действия одного синхроимпульса. В течение паузы между синхроимпульсами состояние такого триггера сохраняется при любых изменениях управляющих сигналов. Триггеры,

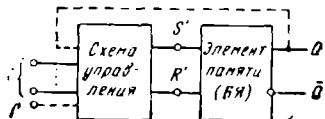


Рис. 4.1. Общая структура статического триггера

В некоторых триггерах совместно используются статические и динамические элементы памяти. Такие триггеры называются *статико-динамическими*.

синхронизируемые фронтом, изменяют свое состояние при поступлении на синхронизирующий вход соответствующего фронта (положительного или отрицательного) синхросигнала, а затем это состояние сохраняется при любых изменениях управляющих сигналов X . За время действия одного синхросигнала триггер, синхронизируемый фронтом, может переключиться только один раз. В асинхронных триггерах отсутствует вход синхронизации. Поэтому переключение асинхронных триггеров происходит, как только на управляющие входы поступает соответствующая комбинация управляющих сигналов X .

В зависимости от комбинации управляющих сигналов X , вызывающих изменение состояния, триггеры подразделяются на несколько функциональных типов. Тип триггера определяется по его характеристическому уравнению или таблице состояний, которые указывают значения выходного сигнала Q^{n+1} после переключения триггера (в момент времени t_{n+1}) в зависимости от значений управляющих сигналов X и выходного сигнала Q^n до переключения триггера (в момент времени t_n). Наиболее часто используются триггеры RS -, JK -, T -, D -типов и некоторые их разновидности. Буквами R и S , J и K , T , D и другими принято обозначать управляющие входы (X) триггеров соответствующих типов.

RS -триггер (рис. 4.2,а) имеет два управляющих входа S и R , с помощью которых выполняются функции установки триггера в состояние $Q=1$ (при $S=1, R=0$) и сброса в состояние $Q=0$ (при $S=0, R=1$). При $S=R=0$ триггер работает в режиме хранения, т. е. сохраняет ранее установленное состояние: $Q=0$ либо $Q=1$. Комбинация входных переменных $S=R=1$ (установка и сброс одновременно) является запрещенной, так как может привести к неопределенному (непредсказуемому) состоянию выхода Q : может быть $Q=0$, а может быть и $Q=1$. Во избежание возникновения сбоев в цифровых системах комбинацию $R=S=1$ исключают, поэтому она является нереализуемой. Полная таблица состояний (табл. 4.1) представляет собой табличное описание функциониро-

Таблица 4.1

Полная таблица состояний RS -триггера

R	S	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	X
1	1	1	X

Таблица 4.2

Таблица состояний RS -триггера

R	S	Q^{n+1}
0	0	Q^n
0	1	1
1	0	0
1	1	X

¹ Обозначения входов приняты в соответствии с поступающими на них управляющими сигналами установки S и сброса R .

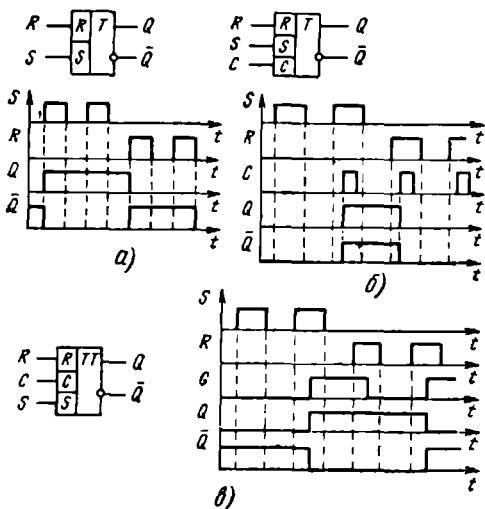


Рис. 4.2. Асинхронный (а), синхронизируемый уровнем (б) и синхронизируемый фронтом (в) RS-триггеры

вания RS-триггера. Нереализуемая комбинация входных переменных $S=R=1$ дает два безразличных набора переменных (S, R, Q^n), для которых значение функции Q^{n+1} не определено. Минимизировав функцию $Q^{n+1}=f(S, R, Q^n)$, получим характеристическое уравнение RS-триггера:

$$Q^{n+1} = S + \bar{R}Q^n. \quad (4.1)$$

Как видно из табл. 4.1, при $S=R=0$ (режим хранения) состояние выхода триггера не изменяется: $Q^{n+1}=Q^n$. Поэтому полную таблицу состояний путем объединения строк и исключения столбца Q^n можно преобразовать в более компактную форму (табл. 4.2). RS-триггеры могут быть асинхронными (рис. 4.2,а) или синхронными, синхронизируемыми уровнем (рис. 4.2,б) либо фронтом (рис. 4.2,в) синхросигнала. Наглядное представление об их функционировании дают временные диаграммы (рис. 4.2,а—в), которые показывают изменения состояния выходов при последовательном поступлении различных комбинаций управляющих и синхронизирующего сигналов. Синхронизация триггера, временные диаграммы которого приведены на рис. 4.2,б, производится уровнем $C=1$. Синхронизация триггера, диаграммы которого даны на рис. 4.2,в, производится положительным фронтом сигнала C . Как видно из диаграмм, триггер, синхронизируемый уровнем, чувствителен к изменениям управляющих сигналов S, R в течение всего времени, когда $C=1$. Триггер, синхронизируемый фронтом, реагирует

Таблица 4.3

Таблица состояний JK-триггера

J	K	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	\bar{Q}^n

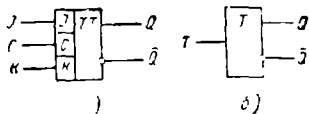


Рис. 4.3. Условное обозначение синхронизируемого фронтом JK-триггера (а) и T-триггера (б)

только на те значения S, R , которые имеются на входах в момент поступления положительного фронта C .

JK-триггер характеризуется таблицей состояний 4.3. Он отличается от RS-триггера тем, что при поступлении на входы комбинации $J=K=1$ меняет состояние выхода на противоположное: $Q^{n+1} = \bar{Q}^n$. Таким образом, JK-триггер не имеет запрещенных комбинаций входных сигналов, которые следовало бы исключать при работе цифровых систем. Его характеристическое уравнение имеет вид

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n. \quad (4.2)$$

Подставив в это уравнение все возможные комбинации входных переменных J, K , получим значения функции Q^{n+1} , приведенные в табл. 4.3. Таким образом, характеристическое уравнение (4.2) и таблица состояний 4.3 дают эквивалентное описание функционирования триггера. Так же как RS-триггер, JK-триггер может быть асинхронным, синхронизируемым уровнем или фронтом. На практике обычно используются JK-триггеры, синхронизируемые фронтом (рис. 4.3, а).

T-триггер (рис. 4.3, б), называемый часто *счетным триггером*, характеризуется таблицей состояний 4.4. Состояние его выхода меняется на противоположное при поступлении на вход счетного сигнала $T=1$ и сохраняется неизменным при $T=0$. В соответствии с табл. 4.4 характеристическое уравнение T-триггера имеет вид

$$Q^{n+1} = \bar{T}Q^n + T\bar{Q}^n. \quad (4.3)$$

Из табл. 4.3 видно, что при $J=K=1$ состояние JK-триггера, синхронизируемого фронтом, будет изменяться на противоположное $Q^{n+1} = \bar{Q}^n$ при поступлении каждого синхронимпульса. Таким обра-

Таблица 4.4

Таблица состояний T-триггера

T	Q^{n+1}
0	Q^n
1	\bar{Q}^n

Таблица 4.5

Таблица состояний D-триггера

D	Q^{n+1}
0	0
1	1

зом, JK -триггер в этом случае функционирует как T -триггер при подаче счетного сигнала T на вход синхронизации C .

D -триггер имеет таблицу состояний 4.5, в которой отсутствует состояние, соответствующее режиму хранения. D -триггеры бывают только синхронными, и в соответствии с табл. 4.5 они после поступления синхросигнала устанавливаются в состояние

$$Q^{n+1} = D. \quad (4.4)$$

Выражение (4.4) является характеристическим уравнением D -триггера. D -триггер выполняет функцию задержки информации, поступающей на управляющий вход D , на один период синхросигналов (такт машинного времени). В микроэлектронной аппаратуре широко используются D -триггеры, синхронизируемые фронтом (рис. 4.4, а), и синхронизируемые уровнем¹ (рис. 4.4, б).

Согласно таблицам состояний 4.3 и 4.5 синхронный JK -триггер будет выполнять функции D -триггера, если исключить комбинации, при которых $J=K$. Это достигается соединением входов J и K через инвертор (рис. 4.4, в). В свою очередь, D -триггер, синхронизируемый фронтом, выполняет функции T -триггера, если соединить вход D с инверсным выходом \bar{Q} (штриховая линия на рис. 4.4, б).

Как следует из данного описания функционирования триггеров, их состояние Q^{n+1} в каждый момент времени определяется как значениями управляющих и синхронизирующих сигналов, так и состоянием Q^n в предыдущий момент времени, т. е. триггер «помнит» свое предыдущее состояние. Так как предыдущее состояние зависело от ранее имевшейся комбинации входных сигналов, то можно сказать, что состояние триггера определяется последовательностью сигналов, поступающих на входы, т. е. порядком их следования по времени. Триггеры являются простейшими узлами последовательностного типа (см. § 1.5), на базе которых строятся более сложные функциональные узлы и блоки, рассмотренные в гл. 5, 7.

Изменения состояний триггера при поступлении различных последовательностей входных (управляющих и синхронизирующих) сигналов представляются с помощью *графа переходов*. На рис. 4.5 показаны графы переходов для RS -триггеров, синхронизируемых высоким уровнем ($C=1$) и положительным фронтом ($C=0 \rightarrow$

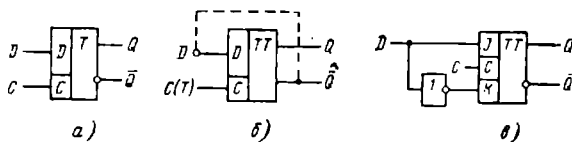


Рис. 4.4. D -триггеры, синхронизируемые уровнем (а), и фронтом (б), реализованные на базе JK -триггера (в)

¹ D -триггер, синхронизируемый уровнем, часто называют триггер-защелка (latch).

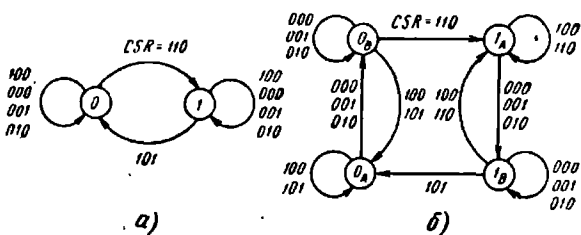


Рис. 4.5. Графы переходов RS -триггера, синхронизируемого уровнем (а) и фронтом (б)

→1) синхросигнала. Кружками, в которых указаны значения выходного сигнала Q , обозначены устойчивые состояния триггера. Стрелками показаны переходы триггера из одного состояния в другое при поступлении соответствующих комбинаций входных сигналов. Если данная комбинация не вызывает изменения Q , то стрелка замыкается на исходном состоянии. Графы состояний полностью соответствуют временным диаграммам на рис. 4.2, т. е. описывают функционирование триггера во времени. Триггер, синхронизируемый фронтом, имеет по два различных состояния, соответствующих $Q=0$ и $Q=1$, которые помечены индексами A, B . Изменение значения Q происходит при поступлении перепада $C=0 \rightarrow 1$, если предварительно при $C=0$ на управляющих входах установлены соответствующие комбинации (см. табл. 4.2): $SR=10$ или 01 . Поэтому граф переходов (рис. 4.5,б) имеет промежуточные состояния $0_B, 1_B$, в которые триггер переводится перед переключением. Схема управления такого триггера должна содержать

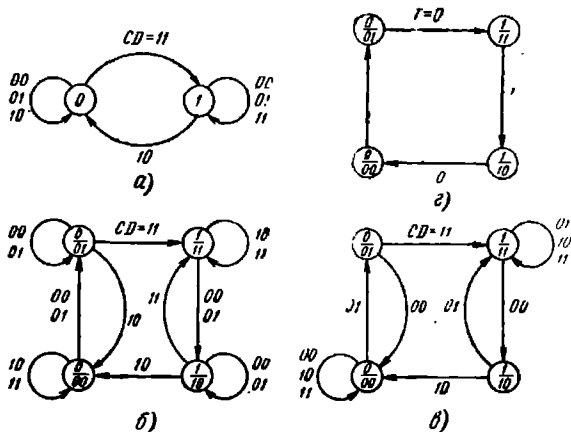


Рис. 4.6. Графы переходов D -триггера, синхронизируемого уровнем (а), фронтом (б, в) и T -триггера (г)

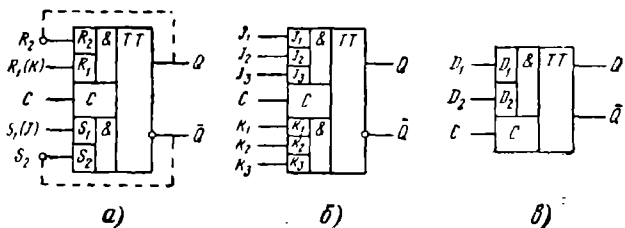


Рис. 4.7. RS-триггер (а), JK-триггер (б), D-триггер (в), выполняющие логические функции на входах

элементы памяти, имеющие различные значения выходных сигналов Y для состояний, полученных индексами A, B . На рис. 4.6 показаны графы переходов D-триггеров, синхронизируемых высоким уровнем и положительным фронтом синхросигнала, и T-триггера, переключаемого отрицательным фронтом счетного сигнала. Вместо индексов «А», «В» на рис. 4.6, б, в использованы двоичные коды 00, 01, 11, 10, приведенные для каждого состояния в виде знаменателя дроби.

Триггеры часто проектируются так, чтобы обеспечить выполнение логических операций И либо ИЛИ над входными переменными. Например, на входах ряда триггеров, выпускаемых в виде микросхем, реализуются функции: $R = (R_1 R_2)$, $S = (S_1 S_2)$ (рис. 4.7, а), $J = (J_1 J_2 J_3)$, $K = (K_1 K_2 K_3)$ (рис. 4.7, б) $D = (D_1 \vee D_2)$ (рис. 4.7, в) и др. Такие триггеры обладают расширенными логическими возможностями, и их использование в цифровых системах позволяет уменьшить количество требуемых элементов.

Отметим, что из RS-триггера, имеющего два и более входов, можно получить JK-триггер, введя обратные связи с выхода Q на один из входов R и с выхода \bar{Q} на один из входов S (штриховые линии на рис. 4.7, а). В этом случае при подаче 1 на все остальные входы R, S получим взаимноинверсные значения входных функций $R = Q$, $S = \bar{Q}$, которые приведут согласно табл. 4.2 к изменению состояния Q на противоположное. Таким образом, получаем JK-триггер, где в качестве J служат оставшиеся входы S , а в качестве K — входы R .

В синхронных триггерах различных типов часто вводят входы предварительной установки S_a и сброса R_a (см. рис. 4.23, 4.26). При поступлении сигналов на эти входы изменяется состояние выхода в соответствии с табл. 4.1 до прихода синхроимпульсов, т. е. асинхронно.

4.2. СТРУКТУРНЫЕ ВАРИАНТЫ ТРИГГЕРОВ И МЕТОДЫ ИХ ПРОЕКТИРОВАНИЯ

В зависимости от типа БЯ и структуры схемы управления имеется ряд вариантов триггеров, используемых в микросхемотехнике.

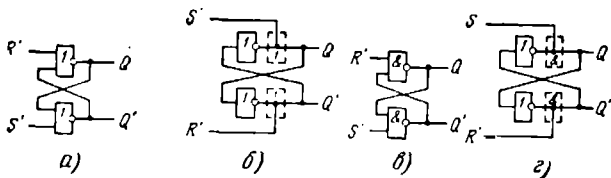


Рис. 4.8. Дизъюнктивные БЯ с управлением по входам (а) и по выходам (б), конъюнктивные БЯ с управлением по входам (в) и выходам (г)

Типы БЯ и особенности их функционирования. На рис. 4.8 показаны два основных типа БЯ: *дизъюнктивная*, реализованная на элементах ИЛИ—НЕ либо ИЛИ, НЕ; конъюнктивная на элементах И—НЕ либо И, НЕ. Управляющие сигналы S' , R' , переключающие ячейку, постулают на входы БЯ (рис. 4.8, а, в) либо на выходы БЯ (рис. 4.8, б, г). В последнем случае выходные функции Q и Q' образуются с помощью операций Монтажное ИЛИ (рис. 4.6, б) либо Монтажное И (рис. 4.6, г), которые выполняются над управляющими сигналами S' , R' и сигналами на выходах инверторов БЯ.

Задержки переключения БЯ определяются с помощью временных диаграмм, примеры которых для дизъюнктивных БЯ (рис. 4.8, а, б) приведены на рис. 4.9, а, б. Как видно из диаграмм, БЯ, управляемые по входам, переключаются за время

$$t_n = 2t_3 \quad (4.5а)$$

после поступления соответствующих управляющих сигналов, где t_3 — средняя задержка переключения элемента БЯ. Для БЯ, управляемых по выходам, время переключения

$$t_n = t_3. \quad (4.5б)$$

Таким образом, применение БЯ, управляемых по выходам, позволяет получать более быстродействующие структуры триггеров.

При поступлении управляющих сигналов $S' = R' = 1$ дизъюнктивные БЯ будут иметь состояние выходов $Q = Q' = 0$, т. е. взаимноинверсность выходов нарушается: $Q \neq \bar{Q}'$. Если затем поступят

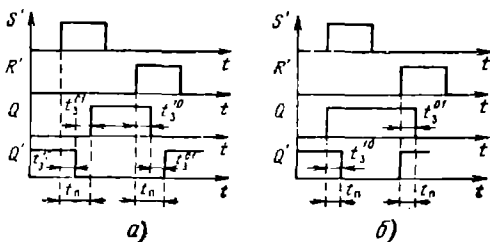


Рис. 4.9. Временные диаграммы переключения дизъюнктивных БЯ с управлением по входам (а) и по выходам (б)

Таблица 4.6

Полная таблица состояний и функций переходов дизъюнктивной и конъюнктивной БЯ

S'	R'	Q ⁿ	Дизъюнктивная БЯ		Конъюнктивная БЯ	
			Q ⁿ⁺¹	F _Q	Q ⁿ⁺¹	F _Q
0	0	0	0	0	X	—
0	0	1	1	1	X	—
0	1	0	0	0	0	0
0	1	1	0	∇	0	∇
1	0	0	1	Δ	1	Δ
1	0	1	1	1	1	1
1	1	0	X	—	0	0
1	1	1	X	—	1	1

сигналы $S' \neq R'$ ($R'=0, S'=1$ или $R'=1, S'=0$), то произойдет установка БЯ в состояние $Q=1$ либо $Q=0$ в соответствии с табл. 4.6. Если же после $R'=S'=1$ управляющие сигналы примут значения $R'=S'=0$, то оба элемента БЯ будут стремиться переключиться в состояние $Q=Q'=1$. Такое состояние не может реализоваться, так как при этом было бы нарушено логическое функционирование элементов БЯ. Поэтому на практике переключается только один из элементов, а другой сохраняет состояние 0 на выходе. Какой из элементов БЯ переключится, а какой сохранит свое состояние, зависит от их параметров, которые имеют разброс даже для однотипных элементов. Состояние БЯ будет зависеть от разброса параметров элементов и не может быть определено однозначно, т. е. можно получить $Q=1, Q'=0$ либо $Q=0, Q'=0$. Таким образом, неопределенность состояния БЯ вызывает не комбинация сигналов $S'R=11$ (при этом состоянии выходов определено: $Q=Q'=0$), а последовательность сигналов $S'R'=11 \rightarrow 00$.

Последовательности управляющих сигналов, приводящие к неоднозначным состояниям последовательностных устройств, называются *критическими*. Чтобы избежать ошибок при обработке информации, критические последовательности при проектировании цифровых устройств должны быть исключены. Наиболее простым способом исключения критической последовательности $S'R'=11 \rightarrow 00$ в дизъюнктивной БЯ является *запрещение поступления комбинации $S'R'=11$* , как это показано в табл. 4.6. Аналогичным анализом нетрудно показать, что для конъюнктивной БЯ критической является последовательность $S'R'=00 \rightarrow 11$, исключить которую можно, запретив использование комбинации $S'R'=00$ (см. табл. 4.6).

Функционирование дизъюнктивных и конъюнктивных БЯ с запрещенными комбинациями описывается таблицей состояний 4.6. Как показывает сравнение табл. 4.6 и 4.1, дизъюнктивная БЯ выполняет функции асинхронного RS-триггера, конъюнктивная БЯ

выполняет функции $\bar{R}\bar{S}$ -триггера, т. е. триггера, имеющего такие же состояния, как RS , которые реализуются при инвертированных значениях сигналов ($\bar{R}\bar{S}$). Таким образом, *БЯ* являются простейшими триггерами.

При проектировании функциональных узлов на основе *БЯ* удобно использовать так называемую *функцию переходов* *БЯ*, которая указывает изменение (или сохранение) состояния Q в зависимости от значений управляющих сигналов. Эта функция F_Q определяется с помощью полной таблицы состояний и принимает следующие значения:

- $F_Q = \Delta$ — переход из состояния $Q^n = 0$ в $Q^{n+1} = 1$,
- $F_Q = \nabla$ — переход из состояния $Q^n = 1$ в $Q^{n+1} = 0$,
- $F_Q = 0$ — сохранение состояния $Q^n = Q^{n+1} = 0$,
- $F_Q = 1$ — сохранение состояния $Q^n = Q^{n+1} = 1$.

Получим функцию перехода для дизъюнктивной *БЯ*, которая имеет полную таблицу состояний 4.6. В каждой строке таблицы даны значения Q^n и Q^{n+1} , в соответствии с которыми определяется значение функции перехода F_Q . Составим таблицу, которая указывает, какие значения управляющих сигналов вызывают тот или иной переход Q . Например, из табл. 4.6 следует, что $F_Q = \Delta$, если $R' = 0$, $S' = 1$. Значение $F_Q = 1$ будет при $R' = 0$ и любом S' (либо 0, либо 1). Определив аналогичным образом значения S' , R' , соответствующие $F_Q = \nabla$ и $F_Q = 0$, получим табл. 4.7, которая называется *словарем переходов* дизъюнктивной *БЯ*. С помощью полной таблицы состояний конъюнктивной *БЯ* (см. табл. 4.6) также получим ее словарь переходов, приведенный в табл. 4.7.

Можно использовать *БЯ*, имеющие несколько входов S' и R' (показаны штриховыми линиями на рис. 4.8). При этом над входными переменными выполняются логические функции дизъюнкции в дизъюнктивной *БЯ*: $S'_1 \vee S'_2 \vee \dots = S'$, $R'_1 \vee R'_2 \vee \dots = R'$ и конъюнкции в конъюнктивной *БЯ*: $S'_1 S'_2 \dots = S'$, $R'_1 R'_2 \dots = R'$.

Таблица 4.7

Словари переходов дизъюнктивной и конъюнктивной *БЯ*

F_Q	Дизъюнктивная <i>БЯ</i>		Конъюнктивная <i>БЯ</i>	
	S'	R'	S'	R'
0	0	X	X	1
1	X	0	1	X
Δ	1	0	1	0
∇	0	1	0	1

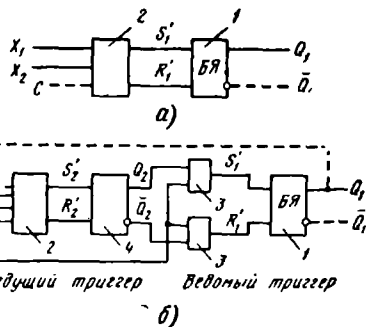


Рис. 4.10. Общая структура триггеров, синхронизируемых уровнем (а) и фронтом (б):

1 — выходная *БЯ*; 2 — входная комбинационная схема; 3 — промежуточные ключи; 4 — управляющая *БЯ*

Основные структурные варианты триггеров. Различные типы триггеров отличаются главным образом структурой схемы управления. Наиболее простую структуру имеют асинхронные и синхронизируемые уровнем триггеры, которые состоят из БЯ того или иного типа и входной комбинационной схемы (рис. 4.10,а). Вид комбинационной схемы зависит от функционального типа триггера, способа синхронизации и элементной базы.

Триггеры, синхронизируемые фронтом, содержат в схеме управления статические (БЯ) или динамические элементы памяти. В статических интегральных триггерах этого класса чаще всего используется структура с управляющей БЯ, показанная на рис. 4.10,б. Такие триггеры содержат два БЯ, на выходах которых устанавливаются состояния $Q_1 = f(C, Q_2)$, $Q_2 = f(X, C', Q_1)$. При одном из значений синхросигнала, например $C' = 0$, входная комбинационная схема в соответствии с управляющими сигналами X и Q_1 вырабатывает значения S' и R'_2 , устанавливающие на выходе управляющей БЯ то значение Q_2 , которое согласно таблице состояний триггера должно быть на выходе Q_1 после поступления фронта синхросигнала C . На вход C промежуточных ключей при этом поступает сигнал, устанавливающий на их выходах значения $S'_1 = R'_1 = 0$ для дизъюнктивной выходной БЯ, $S'_1 = R'_1 = 1$ для конъюнктивной выходной БЯ. Таким образом, при данном значении сигнала происходит установка управляющей БЯ в соответствии с заданной таблицей состояний, а выходная БЯ сохраняет свое состояние, установленное во время предыдущего периода синхросигнала.

При поступлении положительного фронта синхросигнала, когда устанавливается $C' = 1$, входная комбинационная схема при любых значениях X и Q_1 вырабатывает сигналы $S'_2 = R'_2 = 0$ для дизъюнктивной управляющей БЯ либо $S'_2 = R'_2 = 1$ для конъюнктивной управляющей БЯ. В результате управляющая БЯ при $C' = 1$ будет сохранять свое состояние при любых изменениях сигналов X и Q_1 . На вход C промежуточных ключей подается сигнал, который обеспечивает пропускание сигналов Q_2 , \bar{Q}_2 на входы выходной БЯ: $S'_1 = Q_2$, $R'_1 = \bar{Q}_2$. В результате выходная БЯ после поступления положительного фронта синхросигнала C принимает такое же состояние, что и управляющая БЯ, т. е. значение Q_1 устанавливается в соответствии с таблицей состояний триггера.

При поступлении отрицательного фронта синхросигнала, когда устанавливается $C' = 0$, промежуточные ключи снова запираются сигналом C (т. е. устанавливается $S' = R'_1 = 0$ или $S'_1 = R'_1 = 1$), отключая выходную БЯ от управляющей. Вследствие этого выходная БЯ сохранит свое состояние до прихода следующего положительного фронта C . Входная комбинационная схема при $C' = 0$ формирует сигналы S'_2 , R'_2 , устанавливающие состояние управляющей БЯ в соответствии со значениями сигналов X и Q_1 .

Таким образом, триггер этого типа синхронизируется положительным фронтом. В течение первой части периода синхросигнала ($C = 0$) производится установка состояния управляющей БЯ (при-

ем информацией) в соответствии с управляющими сигналами X и состоянием Q_1 выходной БЯ. При поступлении положительного фронта синхросигнала происходит передача информации из управляющей БЯ в выходную, т. е. установка состояния Q_1 триггера согласно заданной таблице состояний. В течение второй части периода синхросигнала ($C=1$) триггер не реагирует на изменения управляющих сигналов.

Для триггеров, синхронизируемых отрицательным фронтом, прием информации в управляющую БЯ происходит при $C=1$, передача информации в выходную БЯ — при поступлении отрицательного фронта синхросигнала, а при $C=0$ сохраняются установившиеся состояния управляющей и выходной БЯ при любых значениях X и Q_1 .

Как видно из рис. 4.10, *а, б*, управляющая БЯ с входной комбинационной схемой и выходная БЯ с промежуточными ключами имеют такую же структуру, как триггер, синхронизируемый уровнем. Поэтому триггер с управляющей БЯ можно представить в виде соединения двух триггеров — *ведущего и ведомого*¹, синхронизируемых противоположными уровнями синхросигналов $C=\bar{C}'$. Чтобы однозначно определить состояние триггера, необходимо задать значения управляющих сигналов X , синхросигнала C и состояния всех входящих в него БЯ, т. е. значения Q_1, Q_2 . В отличие от внешних переменных X и C логические значения сигналов Q_1, Q_2 называются *внутренними переменными*. Таким образом, совокупность внешних и внутренних переменных полностью определяет текущее состояние триггера. Изменение состояния триггера при поступлении новых значений внешних переменных зависит от имеющихся значений внутренних переменных: $Q^{n+1}=f(X, Q^n_1, Q^n_2)$. Каждому состоянию соответствуют определенные значения внутренних переменных, которые образуют код состояния. При этом различные состояния на графе переходов отличаются своим кодом.

Для нормального функционирования триггеров, синхронизируемых фронтом, необходимо исключить опасные состязания. *Состязанием* называется эффект неодновременного изменения переменных X, Q_1, Q_2 на входах триггера или БЯ, входящих в его состав, вызванный разбросом задержек переключения элементов цифровых систем. Из-за этого разброса трудно обеспечить одновременное изменение тех или иных переменных, так как фактически одна из них всегда будет изменяться несколько раньше другой. Если разница времени изменения переменных будет превышать время переключения БЯ, то возможна ее установка в состояние, которое не должно реализоваться при нормальной работе триггера. В результате может произойти ложное переключение триггера. Состязания, вызывающие ложное переключение, называются *опасными*.

¹ Соответствующие английские термины: master (хозяин) и slave (раб). Поэтому триггеры с данной структурой часто называют master-slave (М-S-триггерами).

Опасные состязания внутренних переменных Q_1, Q_2 устраняются при соответствующем кодировании состояний триггера. Если при переходе триггера из одного состояния в другое одновременно меняются обе переменные Q_1, Q_2 , то в триггере с управляющей БЯ (см. рис. 4.10,б) состязания Q_1, Q_2 синхросигналов C, C' могут вызвать ложное переключение БЯ, т. е. оказываются опасными. Если же переход происходит между состояниями, коды которых отличаются значением только одной переменной (Q_1 или Q_2), то опасных состязаний не возникает. Поэтому триггеры необходимо проектировать так, чтобы при их переключении из одного состояния в другое не происходило изменение значений обеих внутренних переменных. Пример такого кодирования состояний D -триггера, синхронизируемого положительным фронтом синхросигнала C , дан на рис. 4.6,б, где значения внутренних переменных Q_1, Q_2 указаны для каждого состояния в знаменателе дроби, числителем которой служат значения выходного сигнала Q_1 триггера.

Выявление опасных состязаний входных переменных X и C производится путем анализа графа переходов. На графе выделяются цепи переходов, вызванные последовательностями взаимноинверсных входных переменных. Например, для состояния $Q_1Q_2=00$ D -триггера (рис. 4.6,б) выделяем следующие последовательности и переходы:

$a: CD=00 \rightarrow 11$, переходы $Q_1Q_2=00 \rightarrow 01 \rightarrow 11$,

$b: CD=01 \rightarrow 10$, $\leftarrow\leftarrow$ $Q_1Q_2=00 \rightarrow 01 \rightarrow 00$,

$v: CD=10 \rightarrow 01$, $\leftarrow\leftarrow$ $Q_1Q_2=00 \rightarrow 00 \rightarrow 01$,

$z: CD=11 \rightarrow 00$, $\leftarrow\leftarrow$ $Q_1Q_2=00 \rightarrow 00 \rightarrow 01$,

Для каждой последовательности составляются альтернативные варианты, образующиеся из-за состязаний входных переменных, и определяются соответствующие цепи переходов. Так, для последовательности a получаем следующие альтернативные варианты:

$a_1: CD=00 \rightarrow 01 \rightarrow 11$, переходы $Q_1Q_2=00 \rightarrow 01 \rightarrow 01 \rightarrow 11$,

$a_2: CD=00 \rightarrow 10 \rightarrow 11$, $\leftarrow\leftarrow$ $Q_1Q_2=00 \rightarrow 01 \rightarrow 00 \rightarrow 00$.

Состязание, образующее последовательность a_1 (переменная D меняется раньше C), не является опасным, так как переключает триггер в состоянии $Q_1Q_2=11$, как это происходит и при отсутствии состязаний (последовательность a , C и D меняются одновременно). Состязание, образующее последовательность a_2 (переменная C меняется раньше D), является опасным, так как триггер при этом остается в состоянии $Q_1Q_2=00$ вместо переключения в состояние $Q_1Q_2=11$. Выполнив анализ альтернативных вариантов для последовательностей b, v, z , находим еще одну возможность неправильного функционирования:

$b_1: CD=01 \rightarrow 11 \rightarrow 10$, переходы $Q_1Q_2=00 \rightarrow 01 \rightarrow 11 \rightarrow 11$.

Этот вариант показывает, что состязание переменных C и D (C меняется раньше D) приводит к переходу в состояние $Q_1Q_2=11$ вместо требуемого сохранения состояния $Q_1Q_2=00$. Аналогично проверяется наличие опасных состязаний для остальных состояний триггера: $Q_1Q_2=01, 11, 10$.

Опасные состязания входных переменных возникают только при одновременном изменении X и C . Поэтому наиболее радикальным способом борьбы с ними является запрещение одновременного изменения управляющих переменных X и синхросигнала C . Данное условие выполняется, если запретить какие-либо изменения X в течение некоторого промежутка времени Δt перед поступлением фронта синхросигнала. При этом граф переходов D -триггера имеет вид, показанный на рис. 4.6.2. С помощью аналогичной процедуры анализа можно убедиться в отсутствии опасных состязаний. При выполнении данного условия переключение БЯ происходит уже при установившихся значениях управляющих переменных X и не возникает ложных переходов. Величина Δt должна превышать реальный разброс времени поступления сигналов X и C , который может быть в цифровой системе. Введение запасов времени приводит к соответствующему увеличению периода следования синхросигналов T_c на $2\Delta t$ и уменьшению максимальной частоты переключения f_{max} . Таким образом, исключение опасных состязаний достигается ценой снижения быстродействия.

В цифровых устройствах часто запрещаются изменения переменных X при определенном уровне синхросигнала: $C=1$ для триггеров, синхронизируемых отрицательным фронтом; $C=0$ для триггеров, синхронизируемых положительным фронтом. Длительность синхросигнала $t_c = \Delta t$ обеспечивает необходимый запас времени, исключающий опасные состязания входных переменных.

Общая методика схемотехнического проектирования триггеров. При схемотехническом проектировании триггера требуется произвести выбор структурного варианта и типов используемых БЯ, получить структуру входной комбинационной схемы и промежуточных ключей, а затем разработать их схему реализацию. Исходными данными при разработке триггера служат заданные описание его логического функционирования и требования к основным электрическим параметрам. Для проектирования логической схемы триггеров используем *словарный метод*, основанный на применении словарей переходов БЯ (см. табл. 4.7). В качестве исходной информации удобно использовать граф переходов, который дает наглядное и компактное описание функционирования триггера. Общая методика схемотехнического проектирования триггеров состоит из следующих этапов, выполнение которых рассмотрим на примере разработки синхронизируемого отрицательным фронтом ($C=1 \rightarrow 0$) JK -триггера.

1. **Получение графа переходов и кодирование состязаний.** Граф переходов проектируемого триггера может быть задан или построен по временным диаграммам, словесному или табличному описанию его функционирования. Граф переходов синхронизируемого отрицательным фронтом JK -триггера с управляющей БЯ показан на рис. 4.11,а, где в кружках указаны значения выходной переменной Q_1 (числитель дроби) и принятый для данного состояния код значения внутренних переменных Q_1Q_2 (знаменатель дроби). Для

исключения состязаний внутренних переменных переменной состояние — состояние при переходе меняется значение не более одной переменной: Q_1 или Q_2 . Возможны два варианта такого кодирования, один из которых приведен на рис. 4.10,а.

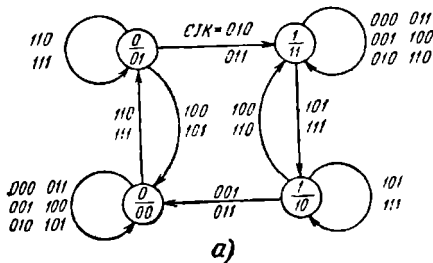
В соответствии с табл. 4.3 при отрицательном фронте $C=1 \rightarrow 0$ триггер переходит из состояния $Q_1Q_2=01$ в состояние $Q_1Q_2=11$ либо из $Q_1Q_2=10$ в $Q_1Q_2=00$, т. е. изменяет значение Q_1 при $J=1, K=0$ (установка $Q_1=1$), $J=0, K=1$ (установка $Q_1=0$) и $J=K=1$ (инвертирование Q_1). При $J=K=0$ триггер сохраняет установленное состояние $Q_1Q_2=11$ либо $Q_1Q_2=00$. Разрешенные переходы из одного состояния в другое при поступлении соответствующих комбинаций переменных C, J, K показаны стрелками. Отметим, что на графе не показаны переходы из состояния $Q_1Q_2=01$ при поступлении комбинаций $CJK=000$ или 001 ; эти комбинации являются запрещенными, так как они образуются из комбинаций $CJK=110, 111$, обеспечивающих переход в данное состояние путем одновременного изменения значений C и J . Как показано выше, одновременное изменение переменных вызывает опасные состязания. По той же причине запрещено поступление комбинаций $CJK=000$ и 011 для состояния $Q_1Q_2=10$.

2. **Определение функций переходов F_{Q_1}, F_{Q_2} для внутренних переменных.** Функции переходов представляются в виде карты (рис. 4.11,б), каждая строка которой соответствует определенному состоянию Q_1Q_2 триггера, а столбцы — поступающим комбинациям входных переменных CJK . В клетках карты указываются значения функции переходов: 0, 1, Δ, ∇ , показывающие изменение внутренней переменной при поступлении данной комбинации CJK . Запрещенные комбинации отмечаются прочерком в соответствующей клетке.

3. **Выбор типа БЯ (управляющей и выходной), получение и минимизация функций, входов БЯ.** Выбор типа БЯ определяется базовым элементом, на основе которого предполагается реализация триггера. Например, в триггерах ТТЛ обычно используется конъюнктивная БЯ, в триггерах ЭСЛ — дизъюнктивная БЯ.

После выбора типа БЯ на основании составленных на этапе 2 карт функций переходов F_{Q_1}, F_{Q_2} определяются входные функции S'_1, R'_1 и S', R'_2 для выходной и управляющей БЯ. Функции $S', R' = f(X, C, Q_1, Q_2)$ представляются на картах Карно, размещение переменных X, C, Q_1, Q_2 на которых аналогично картам функцией переходов F_{Q_1}, F_{Q_2} .

Заполнение карт Карно для функций S', R' производится согласно словарю переходов для выбранных БЯ. При этом для каждого значения F_Q в карте функции перехода (0, 1, Δ или ∇) с помощью операторного словаря переходов определяются значения функций S', R' (0, 1 или X), которые и проставляются в соответствующих клетках карт Карно (см. рис. 4.9,д). Для клеток, где вместо значения F_Q поставлены прочерки, значения S', R' принимаются безразличными (нереализуемые состояния) и отмечаются знаком X в карте Карно. Минимизация логических выра-



(F_{Q1})

Q ₁ Q ₂ \ CJK	000	001	011	010	110	111	101	100
00	0	0	0	0	0	0	0	0
01	-	-	Δ	Δ	0	0	0	0
11	1	1	1	1	1	1	1	1
10	-	∇	∇	-	1	1	1	1

(F_{Q2})

Q ₁ Q ₂ \ CJK	000	001	011	010	110	111	101	100
00	0	0	0	0	Δ	Δ	0	0
01	-	-	1	1	1	1	∇	∇
11	1	1	1	1	1	∇	∇	1
10	-	0	0	-	Δ	0	0	Δ

(S'₁)

Q ₁ Q ₂ \ CJK	000	001	011	010	110	111	101	100
00	X	X	X	X	X	X	X	X
01	X	X	1	1	X	X	X	X
11	1	1	1	1	1	1	1	1
10	X	0	0	X	1	1	1	1

(R'₁)

Q ₁ Q ₂ \ CJK	000	001	011	010	110	111	101	100
00	1	1	1	1	1	1	1	1
01	X	X	0	0	1	1	1	1
11	X	X	X	X	X	X	X	X
10	X	1	1	X	X	X	X	X

(S'₂)

Q ₁ Q ₂ \ CJK	000	001	011	010	110	111	101	100
00	X	X	X	X	1	1	X	X
01	X	X	1	1	1	1	0	0
11	1	1	1	1	1	0	0	1
10	X	X	X	X	1	X	X	1

(R'₂)

Q ₁ Q ₂ \ CJK	000	001	011	010	110	111	101	100
00	1	1	1	1	0	0	1	1
01	X	X	X	X	X	X	1	1
11	X	X	X	X	X	1	1	X
10	X	1	1	X	0	1	1	0

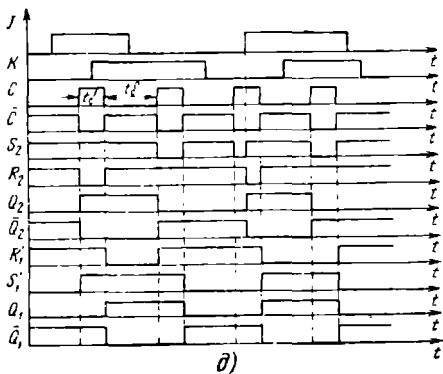
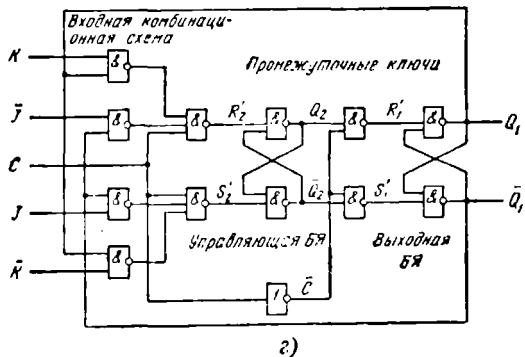
б)

Рис. 4.11. Граф переходов (а) и карты функций переходов (б), карты Карно включения (в) JK-триггера

жений функций S' , R' на входах БЯ производится с помощью карт Карно ранее описанным методом (см. § 1.3).

Пример заполнения и минимизации функций входов S' , R' для БЯ, на которых будет реализован JK-триггер, показан на рис. 4.11, в.

4. Составление логической схемы триггера выполняется после преобразования полученных выражений функций S' , R' к виду, удобному для реализации на выбранной элементной базе. Способы такого преобразования описаны в § 3.1. Затем строятся комбинационные схемы, реализующие функции S' , R' для БЯ, входящих в триггер. Путем соединения входов и выходов БЯ и комбинационных схем составляется схема триггера. Например, для JK-



функции входов (в), логическая схема (г) и временные диаграммы пере-

триггера с помощью карт Карно на рис. 4.11,в получим минимизированные выражения функций S'_1 , R'_1 , которые приводим к виду, удобному для реализации на элементах И—НЕ:

$$S'_1 = C \vee Q_2 = \overline{C} \overline{Q_2},$$

$$R'_1 = C \vee \overline{Q_2} = \overline{C} Q_2,$$

$$S'_2 = \overline{C} \vee J \overline{Q_1} \vee R Q_1 = \overline{C} (\overline{J} \overline{Q_1}) (\overline{R} Q_1),$$

$$R'_2 = \overline{C} \vee J \overline{Q_1} \vee K Q_1 = \overline{C} (\overline{J} \overline{Q_1}) (\overline{K} Q_1).$$

Соединив выходы комбинационных схем, построенных в соответствии с полученными выражениями, со входами S'_1 , R'_1 и S'_2 , R'_2

выходной и управляющей конъюнктивных БЯ, получим логическую схему триггера на рис. 4.11,з.

5. Анализ полученной логической схемы производится с целью проверки правильности ее функционирования. При этом по полученной схеме составляют логические выражения для функций входов S'_1 , R'_1 и S' , R'_2 . Затем в соответствии со словарями переходов, используемых БЯ (см. табл. 4.7), определяют значения Q_1 и Q_2 для всех разрешенных комбинаций переменных C , X . По результатам анализа составляют граф переходов или временные диаграммы, которые сравниваются с исходными. Таким образом, получены временные диаграммы, иллюстрирующие работу JK-триггера (рис. 4.11,д).

С помощью полученного графа переходов по описанной выше методике проверяется наличие опасных состязаний входных переменных. Если такие состязания обнаруживаются, то соответствующие последовательности переменных C , X запрещаются. Если проверка показывает, что полученная логическая схема функционирует в соответствии с заданием, то выполняется следующий этап проектирования.

6. Составление электрической схемы триггера и определение его параметров производится на основе полученной логической схемы с помощью описанных в § 2.1 методов схемного синтеза. Особенности схемной реализации различных типов триггеров, используемых в цифровых микросхемах, рассмотрены в § 4.2 и 4.3. При реализации триггера на элементах И—НЕ, ИЛИ—НЕ и др. логические уровни U^0 , U^1 , порог переключения V_n , помехоустойчивость $U^+_{п}$, $U^-_{п}$ будут равны аналогичным параметрам элементов (см. гл. 2), составляющих триггер. Коэффициент разветвления N_T на выходе триггера равен коэффициенту разветвления N элементов выходной БЯ, уменьшенному на число подключенных обратных связей; обычно $N_T = N - 1$ или $N_T = N - 2$. Мощность P_T , потребляемая триггером, равна сумме мощностей элементов P_z .

Быстродействие триггеров характеризуется следующими параметрами:

временем t_n , необходимым для переключения триггера из состояния $Q_1 = 0$ в 1 или наоборот при поступлении соответствующего синхросигнала;

максимальной частотой переключения f_{max} .

Эти параметры зависят от значения задержек t_z элементов, на которых построен триггер. Определение значений t_n , f_{max} производится с помощью временных диаграмм триггера с учетом задержек элементов, входящих в состав БЯ, входной комбинационной схемы и промежуточных ключей.

Как следует из логической схемы и временных диаграмм спроектированного JK-триггера (рис. 4.11,з,д), для изменения выходной переменной Q_1 после поступления отрицательного фронта C требуется время, равное сумме задержек переключения инвертора синхросигнала, промежуточного ключа и выходной БЯ: $t_n = 4t_z$, где t_z — задержка элемента И—НЕ.

Максимальная частота переключения триггера

$$f_{max} = 1/T_{cmin} = 1/(t_{cmin}^0 + t_{cmin}^1), \quad (4.6)$$

где T_{cmin} — минимальная длительность периода синхросигнала; t_{cmin}^0, t_{cmin}^1 — минимальные значения длительностей отрицательного ($C=0$) и положительного ($C=1$) полупериодов синхросигнала, при которых обеспечивается требуемое переключение триггера. Как видно из рис. 4.11, д, длительность t_c^1 синхросигнала $C=1$ должна быть достаточной, чтобы после поступления положительного фронта C переключились входная комбинационная схема и управляющая БЯ, т. е. установилось необходимое значение Q_2 : $t_c^1 = 3t_3$. Длительность t_c^0 синхросигнала $C=0$ должна быть достаточной для установки необходимого значения Q_1 : $t_c^0 = t_n = 4t_3$. В результате находим для данного триггера $T_{cmin} = 7t_3$, $f_{max} = 1/7t_3$ при потребляемой мощности $P_T = 13P_3$. В случае реализации триггера на элементах ТТЛ, имеющих $P_3 = 1$ мВт, $t_3 = 4$ нс, получаем $P_T = 13$ мВт, $f_{max} = 36$ МГц. Таким образом, зная параметры элементов, нетрудно определить параметры построенного на них триггера.

4.3. АСИНХРОННЫЕ И СИНХРОНИЗИРУЕМЫЕ УРОВНЕМ ТРИГГЕРЫ

Асинхронные триггеры. Из асинхронных триггеров в цифровых микросхемах используются RS - или $\bar{R}\bar{S}$ -триггеры, представляющие собой дизъюнктивную или конъюнктивную БЯ (см. рис. 4.8), которая построена на элементах ТТЛ, ЭСЛ или КМДПТЛ. На рис. 4.12, а, б приведены структурная и электрическая схемы RS -триггера с управлением по выходам БЯ на элементах ТТЛ с простым инвертором. Схема $\bar{R}\bar{S}$ -триггера (рис. 4.12, в) на таких же элементах имеет структуру, показанную на рис. 4.8, в. Триггер устанавливается в состояние $Q_1 = 1$ при сигналах на входах $\bar{S} = 0, \bar{R} = 1$, в

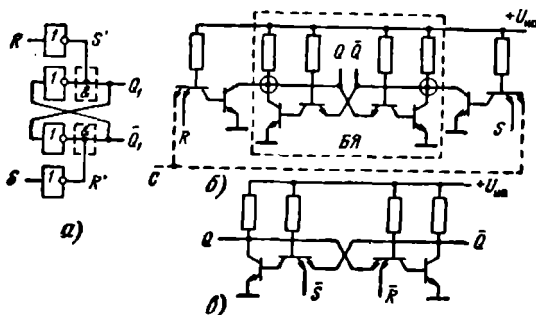


Рис. 4.12. Логическая схема асинхронного RS -триггера с управлением по выходам БЯ (а), электрические схемы асинхронных RS (б) и $\bar{R}\bar{S}$ - (в) триггеров на элементах ТТЛ

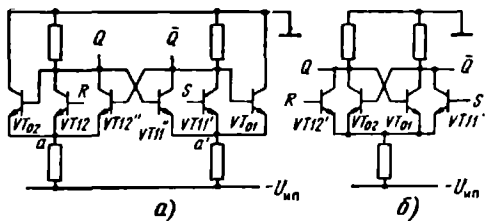


Рис. 4.13. Схема асинхронного RS- триггера на элементах ЭСЛ: а — исходный вариант; б — вариант с совмещенными транзисторами

$Q_1 = 0$ при $\bar{S} = 1$, $\bar{R} = 0$, поэтому в структуре на рис. 4.6,б $\bar{S} = R'$, $\bar{R} = S'$.

Схема RS-триггера, построенного на элементах ПТЛ в соответствии со структурой на рис. 4.8,а, дана на рис. 4.13,а, где вместо источника $U_{оп}$ базы опорных транзисторов VT_{01} , VT_{02} подключены к инверсным выходам элементов (см. § 2.3). В этой схеме потенциалы объединенных эмиттеров транзисторов обоих элементов (точки а и а') равны при любых состояниях триггера. Поэтому можно электрически соединить точки а и а' на рис. 4.13,а и использовать один общий резистор в эмиттерной цепи. Так как при этом транзисторы VT_{01} и VT_{12} , VT_{02} и VT_{11} оказываются включенными параллельно, то можно заменить каждую из пар одним транзистором. В результате получаем схему RS-триггера (дизь-

а)

CD	00	01	11	10
Q ₁	0	0	Δ	0
	1	1	1	0

б)

CD	00	01	11	10
R'	1	1	0	1
	X	X	X	1
S'	0	X	1	X
	1	1	1	0

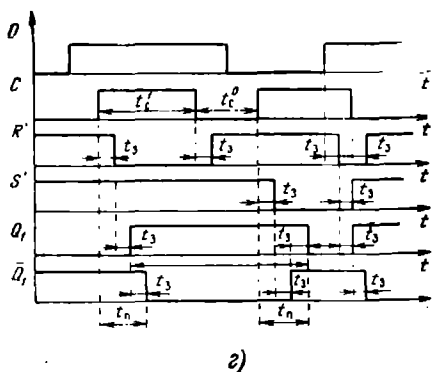
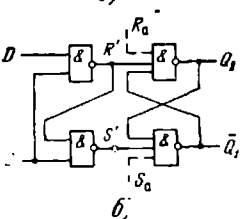


Рис. 4.14. Проектирование синхронизируемого уровнем D-триггера: а — карта переходов внутренних переменных; б — карты Карно функций S' , R' выходной БЯ; в — логическая схема; г — временные диаграммы

конъюнктивной БЯ), показанную на рис. 4.13,б. Как видно из сравнения схем на рис. 2.26,а и 4.13,б, полученный RS-триггер содержит приблизительно столько же компонентов и поэтому занимает почти такую же площадь на кристалле, как элемент ЭСЛ. Потребляемая мощность и задержка переключения данного триггера такие же, как для элемента ЭСЛ. Таким образом, можно построить БЯ на одном переключателе тока, используя обратные связи между его парафазными выходами. Использование таких БЯ позволяет существенно повысить быстродействие, снизить мощность и сократить площадь триггеров и других последовательностных узлов. Поэтому БЯ (асинхронные RS-триггеры) на одном переключателе тока широко применяются в микросхемах ЭСЛ.

Триггеры, синхронизируемые уровнем. Из числа триггеров, синхронизируемых уровнем, в цифровых микросхемах наиболее широко используются D- и JK-триггеры. Проектирование триггеров этого класса с помощью словарного метода проиллюстрируем на примере D-триггера, синхронизируемого уровнем $C=1$. В соответствии с графом переходов (см. рис. 4.6,а) составляем карту функции переходов F_Q (рис. 4.14,а). Выбрав для реализации триггера конъюнктивную БЯ, с помощью словаря переходов (см. табл. 4.8) получаем карты Карно для функций входов R' , $S' = f(C, D, Q_1)$ (рис. 4.14,б). После минимизации преобразуем полученные функции S' , R' для реализации на элементах И—НЕ:

$$R' = \overline{C} \sqrt{D} = \overline{CD},$$

$$S' = \overline{C} \sqrt{D} = \overline{C} \sqrt{CD} = \overline{CR'}$$

Соответствующая логическая схема D-триггера приведена на рис. 4.14,в, где показаны также дополнительные входы асинхронной установки и сброса S_a, R_a .

Используя полученную схему, строим временные диаграммы (рис. 4.14,г) с учетом задержек t_s , составляющих ее элементов И—НЕ. Полученные диаграммы показывают, что данная схема действительно функционирует как D-триггер, синхронизируемый уровнем $C=1$. Определяем по диаграммам время переключения, необходимое для установки требуемых значений Q_1, \overline{Q}_1 на выходах триггера: $t_n = 3t_s$. Если сокращать период следования синхросигналов $T_c = (t_c^0 + t_c^1)$, то уменьшается длительность импульсов t_n , образующихся на выходах Q_1, \overline{Q}_1 триггера. Длительность t_n снижается до минимального допустимого уровня $t_{n \min} = t_s$ при периоде синхросигналов $T_{c \min} = 4t_s$. Поэтому в качестве максимальной частоты переключения обычно принимается $f_{\max} = 1/T_{c \min} = 1/4t_s$. Отметим, что при частоте синхросигналов $f_c < 1/3t_s$ значения Q_1, \overline{Q}_1 не успевают поменяться, т. е. триггер не переключается.

Аналогично могут быть получены структуры D-триггеров на другой элементной базе, примеры которых даны на рис. 4.15. D-триггер на рис. 4.15,а построен на элементах ИЛИ—НЕ, соединенных так же, как на рис. 4.14,г. Триггер синхронизируется низким уровнем C ($C=0$), имеет задержку переключения $t_n = 3t_s$ и

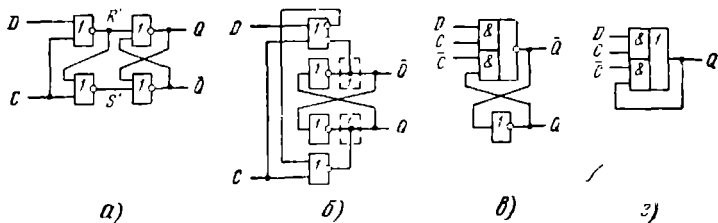


Рис. 4.15. Варианты синхронизируемых уровнем D -триггеров на элементах ИЛИ-НЕ (а), ИЛИ-НЕ, Монтажное ИЛИ (б), И-ИЛИ-НЕ (в), И-ИЛИ (з)

может реализоваться на элементах ЭСЛ. Для повышения быстродействия в триггерах на элементах ЭСЛ можно использовать управление по выходам БЯ (рис. 4.15,б) с помощью Монтажного ИЛИ (см. § 2.3). При этом задержка переключения уменьшается до $t_n = 2t_3$. Снижения потребляемой мощности и сокращения площади кристалла для триггеров на элементах ЭСЛ можно достичь, используя в качестве БЯ переключатель тока с обратными связями (см. рис. 4.13,б). На рис. 4.15,в приведена схема D -триггера, синхронизируемого высоким уровнем ($C=1$) на элементе И-ИЛИ-НЕ. Для синхронизации триггера требуется парафазный синхросигнал, причем при изменении подключения сигналов синхронизации C и \bar{C} триггер будет синхронизироваться низким уровнем ($C=0$). Данная схема реализуется на элементах ТТЛ, КМДПТЛ. Исключением инверторов в структуре на рис. 4.15,в получаем D -триггер на элементе И-ИЛИ (рис. 4.15,з).

Логические схемы синхронизируемых уровнем RS -триггеров, в которых используются конъюнктивные БЯ с управлением по входам и по выходам, показаны на рис. 4.16,а,б. Выполняя анализ функционирования приведенных схем с помощью методики, описанной в § 4.2, найдем выражения для функций S'_1, R'_1 на входах БЯ: $R'_1 = \bar{S}\bar{C}$, $S'_1 = \bar{R}\bar{C}$, а затем с помощью словаря переходов БЯ (см. табл. 4.8) получим граф переходов триггеров, который имеет вид, показанный на рис. 4.5,а. Таким образом, приведенные логические схемы действительно выполняют функции RS -триггеров.

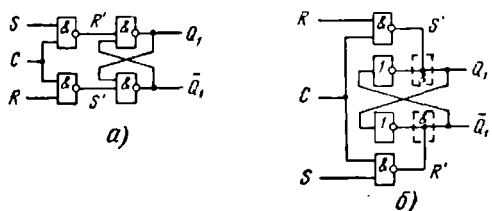


Рис. 4.16. Синхронизируемые уровнем RS -триггеры с управлением по входам БЯ (а) и по выходам БЯ (б)

Электрическая схема RS -триггера, реализованная на элементах ТТЛ с простым инвертором согласно структуре на рис. 4.16, б, имеет вид, приведенный на рис. 4.12, б, где штриховой линией показано подключение цепи синхросигнала C . Данная схема имеет задержку переключения $t_n = 2t_3$, что в 1,5 раза меньше по сравнению с триггером, реализованным на таких же элементах согласно структуре на рис. 4.16, а. Эта схема потребляет меньшую мощность и содержит меньше компонентов, т. е. занимает меньшую площадь на кристалле.

Примеры синхронизируемых уровнем RS - и $\bar{R}\bar{S}$ -триггеров на элементах других типов приведены на рис. 4.17. Синтез этих структур можно произвести с помощью словарного метода (см. § 1.2). Структурные схемы на рис. 4.17, а, б аналогичны показанным на рис. 4.16, а, б, но построены на элементах ИЛИ—НЕ и Монтажное ИЛИ. Как показывает анализ, эти схемы выполняют функции $\bar{R}\bar{S}$ -триггеров, синхронизируемых уровнем $C=0$. Такие триггеры можно реализовать на одноступенчатых элементах ЭСЛ. На рис. 4.17, в приведена структура RS -триггера на элементах И—ИЛИ—НЕ, который имеет задержку переключения $t_n = 2t'_3$, где t'_3 — задержка элементов И—ИЛИ—НЕ (обычно t'_3 больше, чем задержка t_3 элементов И—НЕ, ИЛИ—НЕ при равной потребляемой мощности). Такие триггеры реализуются на элементах ТТЛ со сложным инвертором, а также на элементах КМДПТЛ.

Рассмотрим примеры синтеза RS - и D -триггеров, синхронизируемых уровнем, с помощью метода токовых графов (см. § 2.2). Одна из структурных схем D -триггера, синхронизируемого высоким уровнем ($\bar{C}=1$), приведена на рис. 4.18, а. Триггер построен на базе БЯ, управляемой по выходам с помощью Монтажного И. При $C=0$ элементы БЯ сохраняют установленное на выходе триггера состояние Q при любых изменениях сигнала на входе D . При $C=1$ на выходе \bar{Q} устанавливается состояние $\bar{Q} = \bar{D} \cdot 1 = \bar{D}$, которое передается на выход Q через инвертор: $Q = \bar{\bar{D}} = D$. Таким образом происходит установка схемы в соответствии с таблицей состояний D -триггера. Можно представить схему триггера в виде, показанном на рис. 4.18, б, где БЯ построена на элементах, выполняющих операцию импликации. Эту операцию можно реализовать с по-

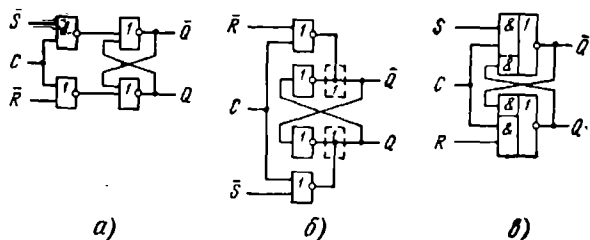


Рис. 4.17. Варианты RS - и $\bar{R}\bar{S}$ -триггеров на элементах ИЛИ—НЕ (а), ИЛИ—НЕ, Монтажное ИЛИ (б), И—ИЛИ—НЕ (в)

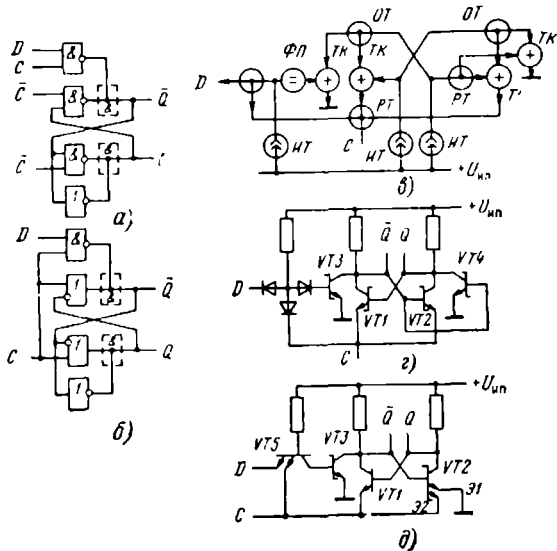


Рис. 4.18. Синтез D -триггера на элементах ТТЛ:

a — исходная логическая схема; b — ее модификация; $в$ — токовый граф; $г$ — первичная схема; $д$ — схема после совмещения компонентов

мощью транзисторного ключа, управляемого по базе и эмиттеру (см. рис. 2.5). С помощью методики, описанной в § 2.2, получим токовый граф (рис. 4.18, $в$), соответствующий данной структурной схеме. При переходе к электрической схеме используем резисторные ИТ, монтажные ОТ на выходах триггера и двухэмиттерный транзистор в качестве ОТ на входе D . В результате получим схему, приведенную на рис. 4.18, $г$. Совместив диоды, а также транзисторы $VT2$ и $VT4$, имеющие общие базы и коллекторы, в двухэмиттерные транзисторы $VT5$ и $VT2$, получим окончательный вариант электрической схемы (рис. 4.18, $д$).

С помощью электрического анализа схемы нетрудно убедиться, что она действительно выполняет функцию D -триггера, синхронизируемого уровнем $C=1$. При $C=1$ транзистор $VT2$, а также эмиттерный переход $\mathcal{E}2$ транзистора $VT5$ заперты. Если $D=0$, то транзистор $VT3$ закрыт, эмиттерный переход $\mathcal{E}1$ транзистора $VT5$ открыт и этот транзистор находится в насыщении. На выходах триггера устанавливаются значения $Q=D=0$, $\bar{Q}=\bar{D}=1$. Если $D=1$, то открыт и насыщен транзистор $VT1$, а оба эмиттерных перехода $VT3$ закрыты. При этом на выходах получаем $Q=D=1$, $\bar{Q}=\bar{D}=0$. Таким образом, при $C=1$ выполняется установка требуемого состояния триггера. При $C=0$ транзистор $VT1$ закрыт при любых значениях D . Транзисторы $VT2$ и $VT3$ сохраняют состояния, установленные при $C=1$, поэтому значения Q и \bar{Q} остаются неизменными.

Полученная схема содержит в 2 раза меньше компонентов и соответственно занимает вдвое меньшую площадь на кристалле по сравнению со схемой *D*-триггера, построенной на элементах ТТЛ с простым инвертором согласно структурной схеме на рис. 4.14,в. Кроме того, данная схема имеет в 1,5 раза меньшую задержку переключения и потребляет в 2 раза меньше мощности. Поэтому такие триггеры находят широкое применение в цифровых БИС на базе ТТЛ.

Для синтеза *RS*-триггера на многоярусных элементах ЭСЛ или ПТЛ используем функции *Q*, \bar{Q} , соответствующие схеме на рис. 4.17,в, которые преобразуем согласно методике, описанной в § 3.4:

$$Q = \overline{RCV\bar{Q}} = (CVQ)(\bar{C}\bar{V}(R\bar{V}\bar{Q})),$$

$$\bar{Q} = \overline{SCVQ} = (CV\bar{Q})(\bar{C}\bar{V}(S\bar{V}Q)).$$

Полученные функции реализуются путем двухъярусного соединения ПТ, показанного в обобщенном виде на рис. 4.19,а. Так как переключатели *ПТ1* и *ПТ4* нижнего яруса выполняют одинаковые

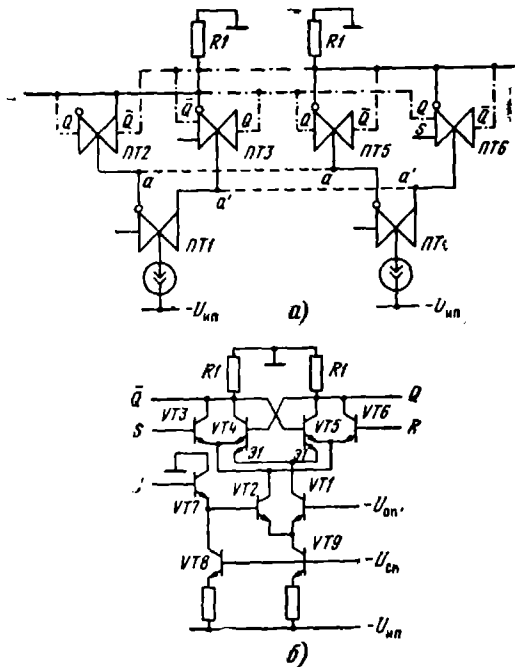


Рис. 4.19. Синтез *RS*-триггера на базе двухъярусного элемента ЭСЛ:
 а — токовый граф; б — схема после совмещения компонентов

функции, их можно заменить одним ПТ, соединив узлы a и a' (штриховые линии на рис. 4.19,а). Вместо опорного напряжения $U_{оп2}$ на базы опорных транзисторов переключателей ПТ2, ПТ3, ПТ4 можно подать парафазные сигналы Q, \bar{Q} с выходов элементов (штрихпунктирные линии на рис. 4.19,а). Соответствующая электрическая схема RS-триггера, полученная путем замены ПТ их схемными реализациями, исключения лишних транзисторов, не участвующих в формировании функций Q, \bar{Q} и физической интеграции транзисторов, имеющих общие базы и эмиттеры, в двух эмиттерные структуры, показана на рис. 4.19,б. При $C=1$ транзистор $VT1$ и переходы Э1 транзисторов $VT4, VT5$ закрыты. Транзистор $VT2$ открыт и служит источником тока для БЯ на транзисторах $VT3—VT6$, схема которой аналогична приведенной на рис. 4.13,б. Под действием сигналов на входах R, S происходит установка соответствующих значений Q и \bar{Q} на выходах БЯ (триггера). При $C=0$ закрываются транзисторы $VT1, VT3, VT6$ и переходы Э2 транзисторов $VT4, VT5$. Транзистор $VT2$ и переходы Э1 транзисторов $VT4, VT5$ открыты. Эти транзисторы образуют БЯ, которая сохраняет состояния Q и \bar{Q} неизменными при любых значениях R и S . Таким образом, анализ схемы подтверждает, что она функционирует как RS-триггер.

Аналогично можно получить электрические схемы синхронизируемых уровнем D -триггеров. Схемы D -триггеров на двухъярусных элементах ЭСЛ и ПТЛ приведены на рис. 4.20,а,б.

Полученные схемы RS- и D -триггеров имеют такие же значения задержки переключения, мощности и занимаемой на кристалле площади, как соответствующие двухъярусные элементы ЭСЛ. По этим параметрам они дают выигрыш приблизительно в 2 раза по сравнению с триггерами на одноярусных элементах ИЛИ—НЕ ЭСЛ (см. рис. 4.15,а и 4.17,а). В полученных триггерах можно изменить уровень синхронизации на $C=1$, подав синхросигнал на базу транзистора $VT1$, а опорное напряжение на базу $VT2$. Быст-

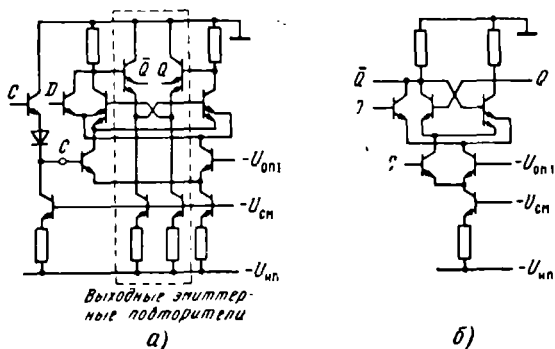


Рис. 4.20. Схемы D -триггеров на двухъярусных элементах ЭСЛ (а) и ПТЛ (б)

родействие этих триггеров повышается приблизительно в 1,5 раза, если вместо опорного напряжения $U_{оп}$ подавать инверсный синхросигнал C , т. е. использовать парафазную синхронизацию.

4.4. ТРИГГЕРЫ, СИНХРОНИЗИРУЕМЫЕ ФРОНТОМ

В цифровых микросхемах чаще всего используются JK - и D -триггеры, синхронизируемые фронтом. Методика их проектирования с использованием управляющей БЯ описана в § 4.2 на примере JK -триггера.

Логическая схема JK -триггера существенно упрощается, если запретить изменение переменных J , K во время действия синхросигнала. В этом случае при синхронизации отрицательным фронтом граф переходов будет иметь вид, показанный на рис. 4.21,а. По сравнению с графом на рис. 4.11,а здесь исключены переходы из состояния $Q_1Q_2=01$ в $Q_1Q_2=00$ при $CJK=100$ или 101 , из $Q_1Q_2=11$ в $Q_1Q_2=10$ при $CJK=100$ или 110 , так как они были вызваны запрещенными изменениями переменных J , K во время действия синхросигнала $C=1$. Карты функции переходов внутренних переменных Q_1 , Q_2 , соответствующие данному графу, показаны на рис. 4.21,б. Определив с помощью словаря переходов конъюнктивной БЯ (см. табл. 4.8) функции входов S'_1 , R'_1 и S'_2 , R'_2 (рис. 4.21,в), после минимизации получаем

$$S'_1 = C \vee Q_2 = \overline{C} \overline{Q_2}, \quad R'_1 = C \vee \overline{Q_2} = \overline{C} Q_2,$$

$$S'_2 = \overline{C} \vee K \vee \overline{Q_1} = \overline{C} K \overline{Q_1},$$

$$R'_2 = \overline{C} \vee J \vee Q_1 = \overline{C} J Q_1.$$

Соответствующая логическая схема JK -триггера, реализованная на элементах И—НЕ, дана на рис. 4.21,г. По сравнению с JK -триггером на рис. 4.11,д данная схема содержит приблизительно в 1,5 раза меньше элементов и соответственно потребляет меньшую мощность. Анализ временных диаграмм показывает, что триггер имеет максимальную частоту переключения $f_{max} = 1/7t_d$.

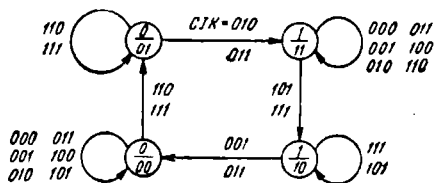
Чтобы получить JK -триггер, синхронизируемый положительным фронтом, необходимо изменить подключение прямого C и инверсного \overline{C} синхросигналов, как указано на рис. 4.21,г в скобках. Часто в триггере используются дополнительные входы J и K (показаны штриховыми линиями на рис. 4.21,г). При этом на входах выполняется логическая функция И: $J = (J_1 J_2 J_3)$, $K = (K_1 K_2 K_3)$, использование которой позволяет упростить структуру узлов на таких триггерах (см. гл. 5).

В триггере можно исключить использование инверсного синхросигнала \overline{C} , если подать на входы промежуточных ключей вместо C сигналы S'_2 , R'_2 (штрихпунктирные линии на рис. 4.21,г). Электрические связи, которые вводятся при этом между входной комбинацией

национной схеме и промежуточными ключами, называются за-
 прецессирующими. В этом случае имеем

$$S'_1 = \overline{S'_2 R'_2 Q_2} = \overline{(R\bar{Q}_1 \vee JQ_1 \vee \bar{C})} \vee Q_2;$$

$$R'_1 = \overline{S'_2 R'_2 Q_2} = \overline{(R\bar{Q}_1 \vee JQ_1 \vee \bar{C})} \vee \bar{Q}_2.$$



а)

CJK	Q ₁ Q ₂							
	00	01	11	10	10	11	01	00
F _{Q1}	0	0	0	0	0	0	0	0
F _{Q2}	-	-	Δ	Δ	0	0	-	-
S ₁ '	1	1	1	1	1	1	1	1
R ₁ '	-	∇	∇	-	-	1	1	-

CJK	Q ₁ Q ₂							
	00	01	11	10	10	11	01	00
F _{Q1}	0	0	0	0	Δ	Δ	0	0
F _{Q2}	-	-	1	1	1	1	-	-
S ₁ '	1	1	1	1	1	∇	∇	1
R ₁ '	-	0	0	-	-	0	0	-

б)

CJK	Q ₁ Q ₂							
	000	001	011	010	110	111	101	100
S ₁ '	X	X	X	X	X	X	X	X
R ₁ '	X	X	1	1	X	X	X	X
S ₂ '	1	1	1	1	1	1	1	1
R ₂ '	X	0	0	X	1	1	1	1

в)

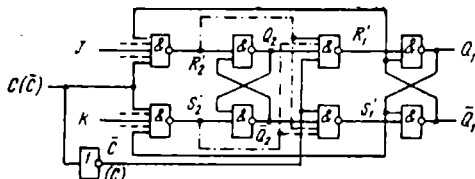
CJK	Q ₁ Q ₂							
	000	001	011	010	110	111	101	100
S ₁ '	1	1	1	1	1	1	1	1
R ₁ '	X	X	0	0	1	1	1	1
S ₂ '	X	X	X	X	X	X	X	X
R ₂ '	X	1	1	X	X	X	X	X

г)

CJK	Q ₁ Q ₂							
	00	01	11	10	10	11	01	00
S ₁ '	X	X	X	X	1	1	X	X
R ₁ '	X	X	1	1	1	1	X	X
S ₂ '	1	1	1	1	1	0	0	1
R ₂ '	X	X	X	X	X	X	X	X

д)

CJK	Q ₁ Q ₂							
	00	01	11	10	10	11	01	00
S ₁ '	1	1	1	1	0	0	1	1
R ₁ '	X	X	X	X	X	X	X	X
S ₂ '	X	X	X	X	X	1	1	X
R ₂ '	X	1	1	X	X	1	1	X



з)

Рис. 421. Проектирование синхронизируемого фронтом JK-триггера с управляющей БЯ:

а — граф переходов; б — карты функций переходов F_{Q1}, F_{Q2}; в — карты функций входов S₁', R₁' и S₂', R₂'; г — логическая схема

При $C=0$ промежуточные ключи передают (с инверсией) сигналы с выходов управляющей БЯ на входы выходной БЯ: $S'_1=Q_2$, $R'_1=\bar{Q}_2$. При $C=1$ выходная БЯ не изменяет своего состояния, так как оказывается $S'_1=Q_2$, $R'_1=\bar{Q}_2$ в тех случаях, когда значения J и K не должны изменять состояния Q_1 (т. е. при $J=K=0$, $J=Q_1=0$, $K=\bar{Q}_1=0$), и $S'_1=R'_1=1$ в остальных случаях (т. е. при $J=K=1$, $K=Q_1=1$, $J=\bar{Q}_1=1$).

Как видно из рис. 4.21,г, структурную схему JK -триггера, синхронизируемого фронтом, можно представить как последовательное соединение двух RS -триггеров, синхронизируемых уровнем (см. рис. 4.16,а). Соответствующая структура RS - и JK -триггеров, синхронизируемых фронтом, дана на рис. 4.22,а, где штриховыми линиями показаны обратные связи, превращающие RS -триггер в JK -триггер. Аналогичные триггеры с однофазной синхронизацией (рис. 4.22,б) получаются, если ведущий и ведомый RS -триггеры синхронизируются разными уровнями синхросигнала C . Таким образом, для реализации синхронизируемых фронтом RS - и JK -триггеров можно использовать разнообразные варианты синхронизируемых уровнем RS -триггеров, описанные в § 4.3. При этом ведущий и ведомый триггеры могут отличаться по структуре и электрической схеме. В результате получим различные электрические схемы триггеров, используемых в микросхемах ТТЛ, ЭСЛ, КМДПТЛ.

В качестве примера на рис. 4.23,а приведена схема $JK(RS)$ -триггера, в котром ведущий триггер, синхронизируемый уровнем $C=0$, построен на элементах И—ИЛИ—НЕ, а ведомый триггер, синхронизируемый уровнем $C=1$, — на элементах Импликация и И—НЕ. На рис. 4.23,б дана электрическая схема этого триггера, реализованная на элементах ТТЛ типа И—НЕ со сложным инвертором (см. рис. 2.18), И—ИЛИ—НЕ с упрощенным инвертором и транзисторных ключах, выполняющих операцию Импликация (см. рис. 2.9,в). Такие триггеры выпускаются в составе современных серий микросхем ТТЛ. По сравнению со схемой JK -триггера на рис. 4.21,г, реализованной на элементах ТТЛ, данная схема обеспечивает уменьшение потребляемой мощности, площади кристалла и повышение быстродействия в 1,5...2 раза за счет сокращения числа компонентов.

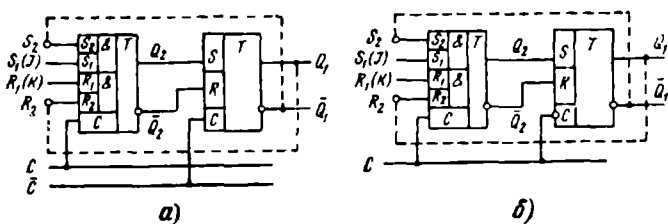


Рис. 4.22. Структуры синхронизируемых фронтом RS - и JK -триггеров на базе синхронизируемых уровнем RS -триггеров с парафазной (а) и однофазной (б) синхронизацией

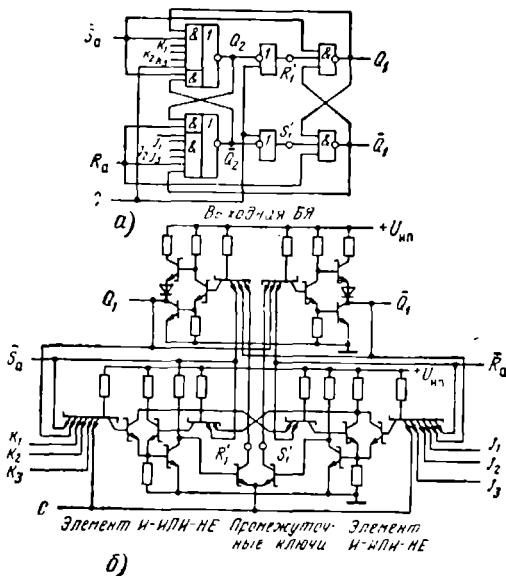


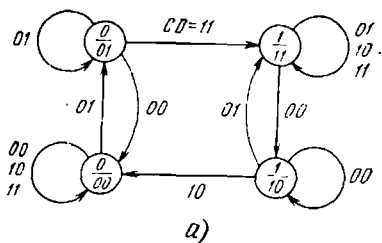
Рис. 4.23. Логическая (а) и электрическая (б) схемы JK(RS)-триггера на базе элементов ТТЛ

Используя описанный метод синтеза, можно получить и разнообразные варианты D-триггеров с управляющей БЯ. Так, логическую схему синхронизируемого фронтом D-триггера на элементах ИЛИ—НЕ можно спроектировать, взяв в качестве исходного графа переходов на рис. 4.24,а. Кодировка внутренних состояний проведена в соответствии с данными в § 4.2 правилами. На графе исключены переходы из состояния $Q_1Q_2=01$ в $Q_1Q_2=11$ при $CD=10$, из $Q_1Q_2=10$ в $Q_1Q_2=00$ при $CD=11$, так как данные переходы соответствуют одновременному изменению значений C и D, при котором состязания входных переменных становятся опасными (см. § 4.2). Соответствующие данному графу карты функций переходов внутренних переменных даны на рис. 4.24,б. Выберем в качестве базовых элементы ИЛИ—НЕ. Тогда, используя словарь переходов дизъюнктивной БЯ (см. табл. 4.7), получим карты Карно функций входов S'_1, R'_1 для выходной БЯ и S'_2, R'_2 для управляющей БЯ (рис. 4.24,в). После минимизации имеем

$$S'_1 = \overline{C} \vee \overline{Q_2}, \quad R'_1 = \overline{C} \vee Q_2,$$

$$S'_2 = \overline{C} \vee \overline{D} = \overline{R'_2} \vee \overline{C}, \quad R'_2 = \overline{C} \vee D.$$

В соответствии с полученными выражениями реализуем логическую схему D-триггера на элементах ИЛИ—НЕ (рис. 4.24,г).



а)

		CD			
		00	01	11	10
F _{G1}	00	0	0	0	0
	01	0	0	Δ	-
	11	1	1	1	1
	10	1	1	-	∇

		CD			
		00	01	11	10
F _{G2}	00	0	Δ	0	0
	01	∇	1	1	-
	11	∇	1	1	1
	10	0	∇	-	0

б)

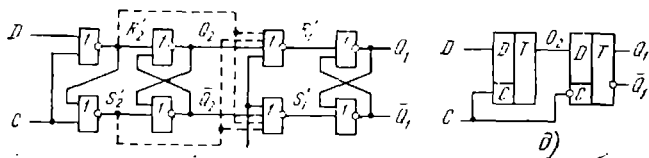
		CD			
		00	01	11	10
S ₁ '	00	0	0	0	0
	01	0	0	1	X
	11	X	X	X	X
	10	X	X	X	0

		CD			
		00	01	11	10
S ₂ '	00	0	1	0	0
	01	0	X	X	X
	11	0	X	X	X
	10	0	1	X	∇

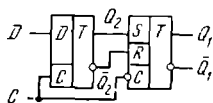
		CD			
		00	01	11	10
R ₁ '	00	X	X	X	X
	01	X	X	0	X
	11	0	0	0	0
	10	0	0	X	1

		CD			
		00	01	11	10
R ₂ '	00	X	0	X	X
	01	1	0	0	X
	11	1	0	0	X
	10	X	0	X	X

в)



г)



е)

Рис. 4.24. Проектирование синхронизируемого фронтом D-триггера: а — граф переходов; б — карты переходов внутренних переменных; в — карты Карно функций S', R' для управляющей и выходной БЯ; г — логическая схема; д — структура на синхронизируемых уравнем D-триггерах; е — на D- и RS-триггерах

Штриховыми линиями на рисунке показаны запрещающие связи, введение которых позволяет не использовать инверсный синхросигнал C . Схема содержит столько же элементов, сколько и JK -триггер (см. рис. 4.21, z), и имеет такое же значение $f_{max} = 1/7t_3$.

Как видно из рис. 4.24, D -триггеры этого класса можно представить в виде соединения синхронизируемых уровнем D и RS -триггеров (см. рис. 4.15 и 4.17). В качестве ведущего используется D -триггер, а в качестве ведомого — D - или RS -триггер (рис. 4.24, d, e).

Максимальное быстродействие обеспечивают триггеры, построенные из синхронизируемых уровнем RS - и D -триггеров на двухъярусных элементах ЭСЛ (см. рис. 4.19 и 4.20). При этом синхронизируемые фронтом RS -, JK -, D -триггеры обеспечивают $t_{\pi} = t_3$ и $f_{max} = 1/2t_3$, где t_3 — задержка элемента ЭСЛ. Такие триггеры имеют максимальную рабочую частоту до $f_{max} = 1 \dots 2$ ГГц.

В цифровых микросхемах применяются также синхронизируемые фронтом D - и T -триггеры, в схеме управления которых включены две БЯ, называемые коммутующими. На рис. 4.25, a показана логическая схема D -триггера, состоящего из выходной (БЯ₁) и коммутующих (БЯ₂ и БЯ₃) бистабильных ячеек. Штриховыми линиями показаны входы S_a и R_a для асинхронной установки триггера в $Q_1 = 1$ и сброса в $Q_1 = 0$.

При синхросигнале $C = 1$ на выходах коммутующих БЯ устанавливаются значения $Q_2 = Q_3 = 0$ и БЯ₁ в соответствии с табл. 4.6 сохраняет состояние Q_1 при любых значениях сигнала D . Состояния других выходов БЯ₂ и БЯ₃ в этом случае принимают значения $Q'_2 = \bar{D}$, $Q'_3 = D$. При поступлении отрицательного перепада синхросигнала $C = 1 \rightarrow 0$ на входах БЯ₁ устанавливаются значения $S'_1 = Q_2 = D$, $R'_1 = Q_3 = \bar{D}$. В результате состояние триггера после отрицательного фронта синхросигнала становится $Q_1 = D$.

При $C = 0$ установившееся состояние Q_1 , Q_2 , Q_3 будет сохраняться. Если были установлены значения $Q_2 = 1$, $Q_3 = 0$, $Q'_2 = 0$ при любых значениях D , т. е. триггер не реагирует на изменения сигналов на этом входе. Если были установлены значения $Q_2 = 0$, $Q_3 = 1$, то, несмотря на возможные изменения D и $Q'_2 = D$, значения $Q'_3 = Q_2 = Q_3 = 0$ будут сохраняться, т. е. триггер не переключается. Таким образом, после переключения отрицательным фронтом синхросигнала триггер $C = 0$ не меняет состояния при любых изменениях D .

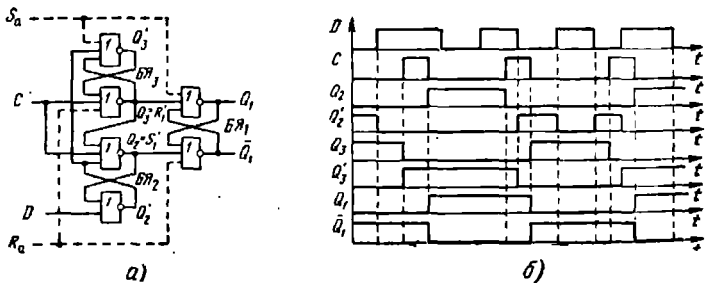


Рис. 4.25. Логическая схема (а) и временные диаграммы (б) синхронизируемого фронтом D -триггера с коммутующими БЯ

При поступлении положительного перепада синхросигнала $C=0 \rightarrow 1$ на выходах БЯ₂, БЯ₃ снова устанавливаются значения $Q_2=D_2=0$, обеспечивающие сохранение установленного состояния Q_1 . Состояния других выходов коммутирующих БЯ принимают значения $Q'_2=D$, $Q'_3=D$, которые при поступлении отрицательного перепада $C=1 \rightarrow 0$ установят триггер в состояние $Q_1=D$. Таким образом, данная схема функционирует как D -триггер, синхронизируемый отрицательным фронтом.

Временные диаграммы, иллюстрирующие его работу, приведены на рис. 4.25.б. Интересно отметить, что коммутирующие БЯ в этом триггере при определенных комбинациях сигналов C , D имеют значения входных переменных $S'=R'=1$, для которых $Q_2=Q'_2=0$ или $Q_3=Q'_3=0$ (см. рис. 4.25.б). Однако критические последовательности $S'R'=11 \rightarrow 00$ (см. § 4.2) при данной логической схеме не реализуются и неопределенностей состояния коммутирующих БЯ не возникает. Таким образом, для дизъюнктивных БЯ, используемых в качестве коммутирующих, значения $S'=R'=1$ являются разрешенными, хотя парафазность выходных сигналов Q_2 , Q'_2 или Q_3 , Q'_3 при этом нарушается. Анализ временных диаграмм показывает, что время переключения триггера $t_{\text{ц}} = t_{\text{с}} + t_{\text{н}} = 3t_s$, а максимальная рабочая частота $f_{\text{max}} = 1/6t_s$, где t_s — задержка элемента ИЛИ-НЕ. По потребляемой мощности ($P_{\Sigma} = 6P_0$) и быстродействию данный триггер имеет на 15...20% лучшие показатели, чем триггер с управляющей БЯ (см. рис. 4.24.з), построенный из таких же элементов.

Схема D -триггера, приведенная на рис. 4.25.а, может быть построена на элементах ЭСЛ или КМДПТЛ. Для реализации в микросхемах ТТЛ аналогичная схема D -триггера строится на элементах И-НЕ. При этом триггер будет

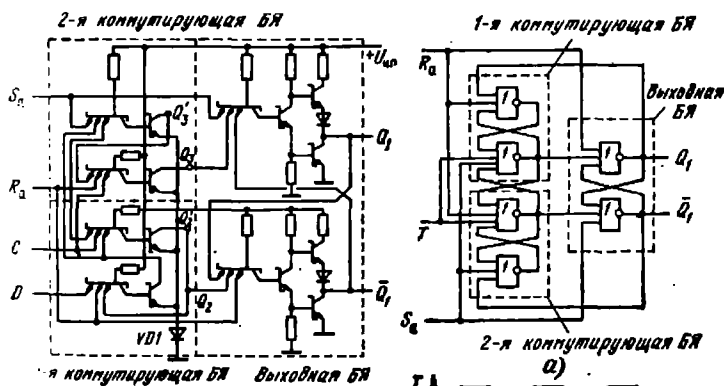
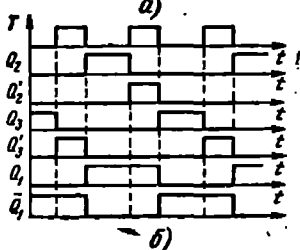


Рис. 4.26. Схема D -триггера с коммутирующими БЯ на элементах ТТЛ

Рис. 4.27. Логическая схема (а) и временные диаграммы (б) T -триггера с коммутирующими БЯ



синхронизироваться положительным фронтом синхросигнала C . Соответствующая электрическая схема показана на рис. 4.26, где в коммутирующих БЯ использованы элементы И—НЕ ТТЛ с простым инвертором, в эмиттерные цепи которых включен диод $VD1$, чтобы повысить пороги переключения и помехоустойчивость триггера (см. § 2.1). В выходной БЯ используются элементы ТТЛ со сложным инвертором.

Схему T -триггера можно получать на базе D -триггера, подключив выход ко входу D (см. рис. 4.4,б). Другой вариант структуры T -триггера приведен на рис. 4.27,а, временные диаграммы, иллюстрирующие его работу, показаны на рис. 4.27,б. Триггер обеспечивает рабочую частоту $f_{max} = 1/5t_3$, т. е. на 20% выше, чем D -триггер на рис. 4.25,а.

4.5. ДВУХФАЗНЫЕ ДИНАМИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ

Особенностью МДП-транзисторов по сравнению с биполярными является высокое входное сопротивление. Благодаря этому в микросхемах на МДП-транзисторах достаточно просто реализуется динамический принцип хранения информации, применение которого позволяет снизить потребляемую мощность и уменьшить площадь последовательных устройств. Использование этого принципа позволило создать на МДП-транзисторах *динамические логические элементы*, которые обладают способностью сохранять установившееся значение логической функции в течение достаточно долгого времени t_{xp} после изменения входных сигналов. Таким образом, динамические элементы помимо логических функций выполняют динамическое хранение информации (задержку сигнала).

По истечении времени хранения (задержки) t_{xp} состояние динамического элемента изменяется, т. е. хранившаяся информация теряется. Поэтому необходимо ее периодическое восстановление путем подачи последовательности внешних импульсов, период которых $t_n \ll t_{xp}$. Эти импульсы одновременно выполняют функции синхронизации, поэтому цифровые устройства на динамических элементах являются синхронными. В таких устройствах используется несколько сдвинутых по фазе последовательностей синхроимпульсов, причем синхронизация осуществляется путем подключения (и отключения) соответствующих элементов к цепи питания. При этом элементы потребляют мощность от источника питания периодически, в течение относительно коротких промежутков времени, когда производится переключение элементов или восстановление информации. В результате устройства на динамических элементах потребляют малую мощность при низких частотах переключения.

В современных цифровых микросхемах чаще всего используются двухфазная или четырехфазная синхронизация. В данном параграфе рассматривается несколько типовых вариантов схем двухфазных динамических элементов.

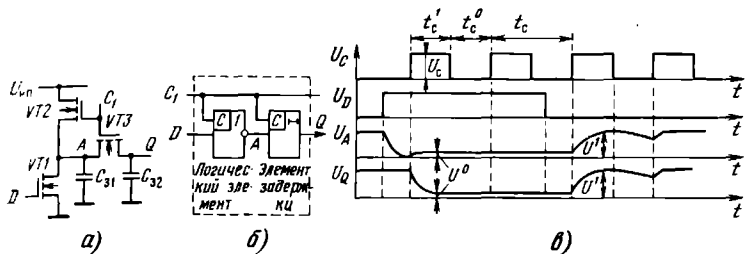


рис. 4.28. Схема двухфазного динамического элемента «с отношением» (а), его структура (б) и временные диаграммы (в)

Двухфазные динамические элементы «с отношением» и триггеры на их основе. Схема такого динамического МДП-элемента (рис. 4.28,а) состоит из логического элемента — инвертора (транзисторы $VT1$, $VT2$) и промежуточного ключа (транзистор $VT3$), который вместе с запоминающими емкостями C_{31} и C_{32} обеспечивает необходимую задержку выходного сигнала, т. е. выполняет функции динамического элемента памяти (рис. 4.28,б). На затворы нагрузочного транзистора $VT2$ и ключевого транзистора $VT3$ подается последовательность синхроимпульсов C . Работа элемента иллюстрируется временными диаграммами на рис. 4.28,в.

При возрастании потенциала $U_{вх}$ на входе D выше порога переключения $V_{п} = U_0$, где U_0 — пороговое напряжение МДП-транзистора, открывается транзистор $VT1$ и емкость C_{31} разряжается до низкого потенциала $U_A \approx 0$. При поступлении синхроимпульса амплитудой $U_c > U_0$ открываются транзисторы $VT2$ и $VT3$ и на выходе Q устанавливается низкий потенциал $U^0 = U_{ост1} + U_{ост3}$, где $U_{ост}$ — остаточное падение напряжения между стоком и истоком МДП-транзисторов $VT1$, $VT3$, работающих в крутой области сток-выходных характеристик. Так как через транзистор $VT3$ ток не протекает, то $U_{ост3} \approx 0$. Поэтому

$$U^0 = U_{ост1} = I_{c2}/b_1 (U^1 - U^0) = (b_2/b_1) (U_c - U_0)^2 / (U^2 - U_0), \quad (4.7)$$

где b_1 , b_2 — удельная крутизна транзисторов $VT1$, $VT2$; U^1 — высокий уровень сигнала, поступающего на вход D от предыдущего элемента. По окончании синхроимпульса, когда устанавливается потенциал $U_c = 0$, транзисторы $VT2$, $VT3$ запираются. Заряд на емкости C_{32} и соответственно низкий уровень потенциала U^0 на выходе Q будут сохраняться в течение времени хранения $t_{хр}$, длительность которого определяется процессом заряда емкости C_{32} токами утечки: $t_{хр} \approx \tau_3 = R_y C_{32}$, где R_y — сопротивление утечки. При типовых значениях $C_{32} = 0,1 \dots 1$ пФ, $R_y = 10^8 \dots 10^9$ Ом получим $\tau_3 = 10 \dots 100$ мкс. Чтобы не произошло потери информации, т. е. ложного переключения элемента в состояние $U_{вых} > V_{п} \approx U_0$, необходимо подать новый синхроимпульс C_1 раньше, чем потенциал

$U_{\text{вых}}$ вследствие заряда C_{32} возрастет до уровня U_0 , т. е. спустя время

$$t^0_c < t^0_{\text{хр}} \approx \tau_3 (U_0/U_{\text{нп}}). \quad (4.8a)$$

Очередной синхрои импульс, открывая транзисторы $VT2$ и $VT3$, обеспечивает разряд C_{32} до потенциала $U_{\text{вых}} = U^0$, т. е. восстанавливает информацию.

При уменьшении потенциала на входе D до низкого уровня $U_{\text{вх}} = U^0 < U_0$ транзистор $VT1$ запирается. При поступлении синхрои импульса C_1 через открывающиеся транзисторы $VT2$, $VT3$ емкости C_{31} , C_{32} заряжаются до высокого потенциала $U_{\text{вых}} = U^1 = U_c - U_0$. Если синхрои импульс имеет достаточно большую амплитуду $U_c > U_{\text{нп}} + U_0$, то выходное напряжение достигает величины $U^1 = U_{\text{нп}}$. По окончании синхрои импульса $VT2$, $VT3$ запираются и потенциал на выходе поддерживается в течение времени $t^1_{\text{хр}}$, пока емкость C_{32} сохраняет достаточный заряд. Поэтому необходимо обеспечить выполнение соотношения

$$t^0_c < t^1_{\text{хр}} \approx \tau_3 = (U^1 - U_0)/U^1. \quad (4.8b)$$

Следующий импульс C_1 открывает транзисторы $VT2$, $VT3$ и подзаряжает емкости до уровня U^1 . При выполнении условий (4.8) динамический элемент функционирует как синхронизируемый уровнем D -триггер (см. § 4.3). Имеются два режима работы элемента: при $C_1 = 1$ — прием (запись) информации (с инверсией), при $C_1 = 0$ — ее хранение.

Для обеспечения достаточно высокой помехоустойчивости динамических элементов следует уменьшать b_2/b_1 — отношение удельной крутизны нагрузочного $VT2$ и управляющего $VT1$ транзисторов, чтобы выполнялось условие $U^0 < V_{\text{п}} - U_{\text{п}}$, где $U_{\text{п}}$ — требуемое значение помехоустойчивости. Используя выражение (4.7), получаем следующее ограничение на величину отношения b_2/b_1 :

$$b_2/b_1 \leq (U^1 - U_0) (U_0 - U_{\text{п}}) / (U_c - U_0)^2. \quad (4.9)$$

При типовых значениях U^1 , U_c , U_0 получаем следующее требование: $b_2/b_1 \leq 0,1$. Таким образом, относительная крутизна транзисторов $VT1$ и $VT2$ должна значительно различаться. На практике это достигается использованием МДП-транзисторов с различными геометрическими размерами. Так как удельная крутизна b пропорциональна отношению ширины канала к его длине ($W_{\text{к}}/L_{\text{к}}$), то транзистор $VT1$ изготавливается с коротким и узким каналом, транзистор $VT2$ — с более длинным и широким.

Длительность синхрои импульсов t^1_c должна быть достаточной, чтобы емкости C_{31} и C_{32} за это время успевали заряжаться до уровня U^1 или разряжаться до уровня U^0 . Так как $b_2 \ll b_1$, то заряд емкостей через транзисторы $VT2$, $VT3$ происходит значительно медленнее, чем разряд через транзисторы $VT1$, $VT2$. После поступления синхрои импульса амплитудой $U_c > U_0$ транзисторы $VT2$ и $VT3$ открываются и происходит заряд суммарной паразитной

емкости $C_{\pi} = (C_{\pi 1} + C_{\pi 2})$ током истока транзистора VT_2 , работающего в пологой области характеристик:

$$i_{H2}(t) = b_2 (U_{3H} - U_0)^2 = b_2 [U_c - U_0 - u_{\text{вых}}(t)]^2.$$

Изменения выходного потенциала при этом определяются из уравнения

$$du_{\text{вых}}/dt = i_{H2}(t)/C_{\pi} = b_2 [U_c - U_0 - u_{\text{вых}}(t)]^2 / C_{\pi}.$$

Проинтегрировав это уравнение, получим

$$u_{\text{вых}}(t) = (U_c - U_0) (t/\tau_2) / [1 + (t/\tau_2)],$$

где $\tau_2 = C_{\pi}/b_2(U_c - U_0)$. Если $(U_c - U_0) > U_{\text{нп}}$, то выходное напряжение возрастает до уровня $u_{\text{вых}} = U_{\text{нп}}$ за время нарастания

$$t_n = \tau_2 U_{\text{нп}} / (U_c - U_0 - U_{\text{нп}}). \quad (4.10a)$$

Если $U_c - U_0 < U_{\text{нп}}$, то время нарастания определяется по достижению выходным напряжением некоторого промежуточного уровня, близкого к U^1 :

$$U_{\text{пр}} = aU^1 = a(U_c - U_0) \geq V_{\text{п}} + U_{\text{п}} = U_0 + U_{\text{п}},$$

где $a \leq 1$. При этом

$$t_n = \tau_2 U_{\text{пр}} / (U_c - U_0 - U_{\text{пр}}) = a\tau_2 / (1 - a). \quad (4.10b)$$

Например, при типовых значениях $U_c = 5$ В, $U_0 = 1$ В, $U_{\text{п}} = 2$ В, $a = 0,75$ получаем $t_n = 3\tau_2$.

Минимальная длительность синхросигнала, необходимая для нормальной работы элемента,

$$t_{c \text{ min}} = t_n. \quad (4.11)$$

Как следует из выражений (4.10), повысить быстродействие динамических элементов можно путем увеличения U_c . Поэтому в микросхемах на динамических элементах значение U_c часто составляет 10...15 В и значительно превышает напряжение питания $U_{\text{нп}}$.

Мощность, потребляемая динамическим элементом, состоит из двух составляющих. Мощность $P_0 = U_{\text{нп}} I_{\text{п}}^0$ определяется протеканием тока $I_{\text{п}}^0 = I_{\text{с1}} = b_1 (U^1 - U_0)^2$ при высоком потенциале U^1 на входе элемента. Однако этот ток протекает только в течение длительности синхронимпульса t_c^1 и мощность, усредненная в течение всего периода T_c ,

$$P_0 = b_1 U_{\text{нп}} (U^1 - U_0)^2 (t_c^1 / T_c). \quad (4.12)$$

Динамическая составляющая мощности P_d обусловлена периодическим зарядом паразитной емкости C_{π} до потенциала U^1

$$P_d = C_{\pi} U_{\text{нп}} U^1 / T_c. \quad (4.13)$$

Используя параллельное и последовательное включение управляющих транзисторов VT_1 , подобно тому, как это делается в элементах КМДПТЛ (см. рис. 2.35), получаем динамические элемен-

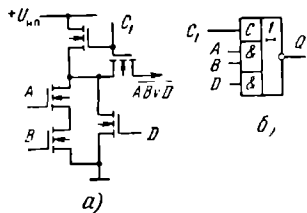
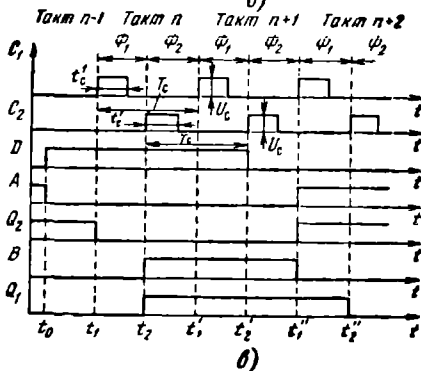
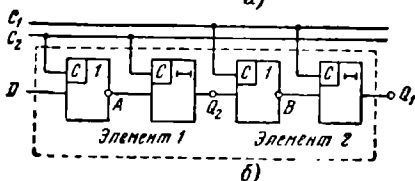
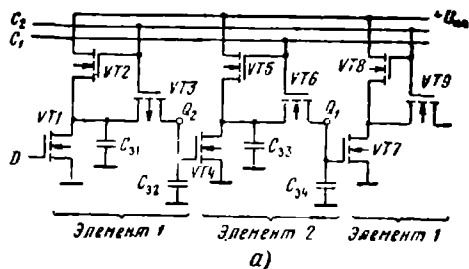


Рис. 4.29. Схема двухфазного динамического элемента И—ИЛИ—НЕ (а) и его условное обозначение (б)

ты, выполняющие логическую операцию И—ИЛИ—НЕ (рис. 4.29, а,б).

При соединении динамических элементов (рис. 4.30.а) необходимо в последовательно включенных элементах разделить во времени фазы приема и хранения информации. Для этого используются две последовательности синхроимпульсов: C_1 и C_2 (рис. 4.30.б). Каждый такт работы устройства, соответствующий одному периоду синхроимпульсов T_c , состоит из двух фаз. В течение фазы



б)

Рис. 4.30. Схема динамического D -триггера на двухфазных элементах «с отношением» (а), его структура (б) и временные диаграммы (а)

Φ_1 происходит переключение элементов 1 (синхронизируемых импульсов C_1), а элементы 2 (синхронизируемые импульсами C_2) находятся в режиме хранения. В течение фазы Φ_2 переключаются элементы 2, а элементы 1 сохраняют информацию. Последовательное включение динамических элементов, синхронизируемых одной и той же последовательностью, не допускается, так как при этом режимы работы элементов совпадают во времени. В результате несколько элементов будут одновременно работать в режиме приема информации, которая за время действия синхронимпульса t_c^1 будет проходить через $q = t_c^1/t_s$ последовательно включенных элементов, число которых зависит от их задержки переключения t_s . Так как на практике значения t_c^1 и t_s имеют значительный разброс и зависят от внешних условий (температуры, напряжения питания), то величина q оказывается непостоянной. Соответственно логическое состояние цифрового узла при таком включении элементов будет изменяться под влиянием внешних условий и разброса значений t_c^1 , t_s , т. е. в его работе возникают сбросы. Поэтому для нормального функционирования цифровых узлов необходимо, чтобы элементы 1 переключались только сигналами от элементов 2, а элементы 2 — сигналами от элементов 1.

Работа последовательно включенных элементов иллюстрируется временными диаграммами на рис. 4.30, в. Как видно из диаграмм, выходной сигнал Q_1 принимает такое же значение, которое имел входной сигнал D в предыдущем периоде следования синхронимпульсов (такте машинного времени). Таким образом, последовательное соединение двух динамических элементов реализует функции синхронизируемого фронтом D -триггера (см. § 4.1). Такие триггеры называются *динамическими*. Их структура (рис. 4.30, б) представляет собой соединение синхронизируемых логических элементов (инверторов) и элементов памяти (задержки), осуществляющих задержку сигнала на $1/2$ периода синхронимпульсов. Отметим, что динамические триггеры этого типа по структуре близки к триггерам с управляющей БЯ (см. рис. 4.10, б), так как логические элементы выполняют функции входной комбинационной схемы и промежуточных ключей, а элементы задержки — функции хранения информации (вместо БЯ).

Быстродействие микросхем на динамических элементах определяется максимальной частотой синхронизации $f_{max} = 1/T_c \min$. Период синхронимпульсов

$$T_c \geq T_{c \min} = 2(t_c^1 + \Delta t), \quad (4.14)$$

где Δt — промежуток времени между синхронимпульсами C_1 и C_2 (рис. 4.30, в), который необходим, чтобы избежать возможного наложения импульсов из-за нестабильностей генераторов импульсов. Из выражений (4.14), (4.11), (4.10б) при $U_{np} = U_0$ определяем максимальную рабочую частоту:

$$f_{max} = 1/2\eta t_c \min = b_2 (U_c - U_0) (U_c - 2U_0) / 2\eta U_0 (C_{s1} + C_{s2}), \quad (4.15)$$

где $\eta = 1 + (\Delta t/t_c)$ — коэффициент запаса, определяемый стабильностью генераторов синхронимпульсов (обычно $\eta \approx 1,5 \dots 2$).

Минимальная частота синхронизации определяется из условия

$$f_{min} = 1/(t_c + t_{xp}) \approx 1/t_{xp}. \quad (4.16)$$

Динамический элемент реализует логическую функцию И—ИЛИ—НЕ за половину периода синхронимпульсов. Поэтому среднее время задержки выполнения этой операции

$$t_3 = T_c/2. \quad (4.17)$$

В рассмотренном динамическом элементе предъявляются противоречивые требования к величине отношения b_2/b_1 . Для улучшения статических характеристик U^0 , U^- и следует уменьшать величину b_2/b_1 . Однако при уменьшении b_2 согласно (4.15) снижается быстродействие, а возможности повышения b_1 ограничены конструкторско-технологическими факторами. Динамические элементы, параметры которых существенно зависят от величины b_2/b_1 , называются элементами «с отношением». При проектировании таких элементов приходится искать значения b_2/b_1 , обеспечивающие удовлетворение указанных противоречивых требований. Компромисс достигается ценой некоторого ухудшения тех или иных параметров, например снижения быстродействия. Во многих случаях предпочтительнее использовать динамические элементы «без отношения», параметры которых не зависят от отношения величин b_2/b_1 .

Двухфазные динамические элементы «без отношения» и триггеры на их основе. Наиболее распространенный вариант динамического элемента «без отношения» показан на рис. 4.31,а. Рассмотрим работу двух последовательно включенных элементов этого типа, используя временные диаграммы на рис. 4.31,б.

Пусть в исходном положении на вход D подан низкий потенциал $U_D \approx 0$. Тогда на емкостях C_{31} , C_{32} , C_{34} устанавливается низкий потенциал $U_A = U_{Q2} = U_{Q1} = 0$, а на емкости C_{33} — высокий потенциал $U_B = U^1$. Если на вход D поступит высокий потенциал $U_D = U^1 > U_0$, то при подаче синхронимпульса C_1 (фаза Φ_1) транзистор $VT1$ откроется, емкость C_{31} зарядится до $U_A \approx U^1$. Транзисторы $VT2$ и $VT3$ открываются, и емкость C_{32} заряжается до потенциала $U_{Q2} = U^1 = U_c - U_0$. После окончания синхронимпульса C_1 емкость C_{32} через открытый транзистор $VT2$ разряжается до $U_{Q2} \approx 0$. При поступлении синхронимпульса C_2 (фаза Φ_2) открываются транзисторы $VT4$ и $VT6$. Емкость C_{33} через открытые транзисторы $VT2$ и $VT4$ разряжается до $U_B \approx 0$, и транзистор $VT5$ запирается. В дальнейшем при неизменном $U_D = U^1$ потенциал на емкостях C_{31} и C_{34} сохраняется высоким, а потенциал C_{33} — низким. Емкость C_2 при поступлении каждого синхронимпульса C_1 заряжается до $U_{Q2} = U^1$, а после его окончания разряжается до $U_{Q2} = 0$. Низкий потенциал $U_B = 0$ сохраняется на емкости C_{33} , и транзистор $VT5$ остается закрытым. При поступлении импульса C_2 емкость C_{34} заряжается до уровня $U_{Q1} = U^1$. При поступлении

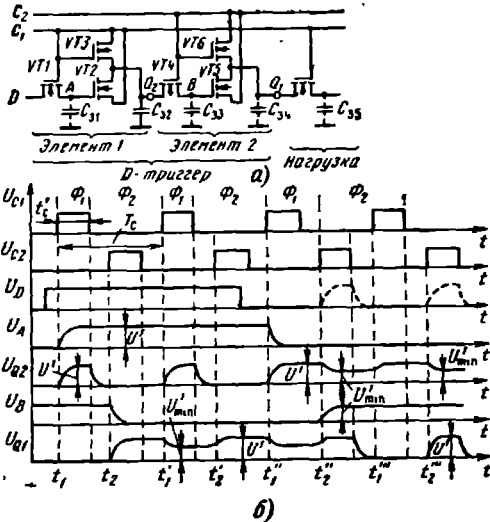


Рис. 4.31. Схема динамического D-триггера на двухфазных элементах «без отношения» (а) и его временные диаграммы (б)

импульса C_1 заряд емкости C_{34} распределяется между ней и емкостью C_{35} в элементе-нагрузке. На выходе Q_1 устанавливается уровень U'_{min} , который должен быть достаточным для отпира-ния следующего МДП-транзистора:

$$U'_{min} = (U_c - U_0) C_{34} / (C_{34} + C_{35}) \geq U_0. \quad (4.18)$$

Выполнение соотношения (4.18) достигается соответствующим вы-бором амплитуды синхроимпульсов U_c . Для снижения требуемой величины U_c топологию элемента следует проектировать так, что-бы обеспечить достаточно большое отношение

$$C_{34} / C_{35} = C_{32} / C_{33} \geq U_0 / (U_c - 2U_0). \quad (4.19)$$

После установления на входе потенциала $U_D \approx 0$ и поступле-ния синхроимпульса C_1 (фаза Φ_1) емкость C_{31} разряжается через транзистор $VT1$ до $U_A \approx 0$, и транзистор $VT2$ запирается. Емкость C_{32} через открытый транзистор $VT3$ заряжается до потенциала $U_{Q2} = U^A$, который сохраняется после окончания синхроимпульса C_1 . При поступлении синхроимпульса C_2 (фаза Φ_2) открыва-ется транзистор $VT4$ и заряд емкости C_{32} перераспределяется между емкостями C_{32} и C_{31} . В результате на емкостях C_{32} и C_{33} устанавливается потенциал $U_{Q2} \approx U_B \approx U'_{min}$. На выходе вто-рого элемента Q_2 формируется последовательность импульсов ам-плитудой U^1 , каждый из которых образуется при поступлении импульса C_2 . Аналогично работают элементы и в том случае, ког-

да на вход вместо постоянного потенциала $U_D=0$ поступает последовательность импульсов, синхронизированных с синхронными импульсами C_2 (штриховые линии на рис. 4.31,б).

Таким образом, значение $U_Q=U^0$ на выходе динамических элементов поддерживается только во время паузы между синхронными импульсами соответствующей последовательности (C_1 или C_2), а в течение действия синхроимпульса $U_Q=U^1$. Однако вследствие использования двухфазной синхронизации последующий элемент воспринимает (считывает) только «истинное» значение информации, которое имеется на выходе предыдущего элемента во время паузы между синхронизирующими импульсами. Возникновение на выходе «ложных» импульсов амплитудой U^1 не совпадает во времени с режимом записи информации в последующем элементе и поэтому не влияет на работу устройства.

Схема на рис. 4.31,а выполняет функции D-триггера. Параметры элементов не зависят от отношения b_3/b_2 , поэтому схема проектируется так, чтобы все транзисторы имели одинаковое, по возможности, высокое значение удельной крутизны. В рассмотренном элементе все транзисторы имеют одинаковую геометрию и отсутствуют металлические шины питания и «земли»¹, что существенно упрощает проектирование топологии и экономит площадь кристалла. В элементах отсутствует потребление мощности, связанное с протеканием сквозного тока в инверторе. Средняя мощность, потребляемая от генератора синхроимпульсов, расходуется на заряд емкости C_{32} до уровня U^1 :

$$P_3 = C_{32} U^1 U_c / T_c. \quad (4.20)$$

Требования к длительности синхроимпульсов t_c^1 и их периоду T_c определяются теми же факторами, что и для элемента «с отношением». Используя выражение (4.106), где вместо $U_{пр}$ следует поставить U_{min}^1 , получаем с учетом (4.19) ограничение на величину t_c^1 :

$$\begin{aligned} t_c^1 &\geq t_n = C_{32} (C_{32}/C_{33}) / b_3 (U_c - U_0) \geq \\ &\geq C_{32} U_0 / b_3 (U_c - 2U_0) (U_c - U_0). \end{aligned} \quad (4.21)$$

Транзисторы VT3, VT6 в элементах «без отношения» имеют такую же крутизну, как управляющие транзисторы: $b_2 \approx b_3$, т. е. значительно большую, чем в элементах «с отношением». Поэтому для элементов «без отношения» характерны меньшие значения t_n и t_c^1 и большая максимальная рабочая частота f_{max} .

Таким образом, по быстродействию и площади, занимаемой на кристалле, элементы «без отношения» имеют существенно лучшие показатели, чем элементы «с отношением». Однако для синхронизации динамических элементов «без отношения» необходимо использовать достаточно мощные высокочастотные генераторы импульсов, которые должны за время t_c^1 перезарядить значительную

¹ Функции шины «земли» в микросхемах на таких элементах выполняет подложка p-типа, которая подключается к низкому потенциалу.

суммарную паразитную емкость C_{Π} всех подключенных к нему k динамических элементов: $C_{\Pi} = kC_{32} + C_c$, где C_c — общая паразитная емкость, подключенная к шине синхронизации (металлизация, емкости затворов ключевых транзисторов, емкость истока — подложка нагрузочных транзисторов).

Различные логические функции реализуются на динамических элементах «без отношения», как и в элементах «с отношением», комбинацией последовательного и параллельного включения управляющих транзисторов с подключенными к их затворам ключевыми транзисторами (рис. 4.32). Для выполнения сложных логических функций без снижения быстродействия, т. е. без увеличения требуемого числа периодов синхросигналов, между динамическими элементами «без отношения» можно включать дополнительные элементы (рис. 4.33,а), схема которых приведена на рис. 4.33,б. Данный элемент выполняет логическую инверсию без дополнительной задержки сигнала, т. е. в течение того же периода синхроимпульсов C_1, C_2 ; когда реализуются логические операции предыдущим и последующим динамическими элементами «без отношения».

Работа элемента «без задержки» иллюстрируется временными диаграммами на рис. 4.33,в. При поступлении синхроимпульса C_1 открываются транзисторы $VT2, VT4$ и емкость C_{32} заряжается через $VT4$ до уровня $U_Q = U^1$. По окончании импульса C_1 все транзисторы запираются и емкость C_{32} сохраняет потенциал U^1 . При поступлении синхроимпульса C_2 открывается транзистор $VT1$. Если потенциал на входе $U_D = U^1$, то емкость C_{31} заряжается до потенциала $U_A = U^1$ и открывается транзистор $VT3$. Емкость C_{32} разряжается до потенциала $U_Q \approx 0$. На выходе Q_1 последующего элемента, синхронизируемого C_2 (см. рис. 4.33,б),

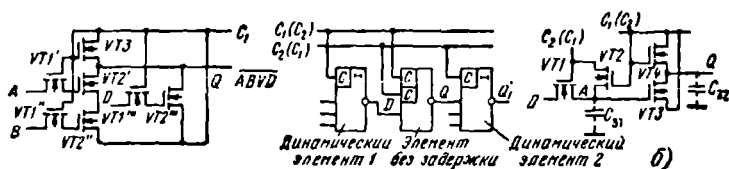
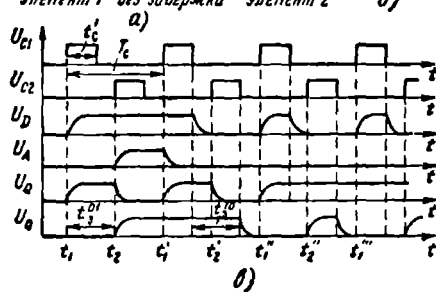


Рис. 4.32. Схема двухфазного динамического элемента И—ИЛИ—НЕ «без отношения»

Рис. 4.33. Схема динамического элемента «без задержки» (а), его условное обозначение и способ включения (б), временные диаграммы (в)



устанавливается потенциал $U_Q^1 = U^1$. При сохранении на входе значения $U_D = U^1$ потенциал U_Q будет возрастать до U^1 при поступлении импульсов C_1 и падать до U^0 при поступлении C_2 . Таким образом, на выходе образуется последовательность импульсов, соответствующая логическому 0. На выходе последующего динамического элемента при этом будет поддерживаться потенциал $U_{Q1} = U^1$.

При поступлении на вход D последовательности импульсов, синхронизированных с C_1 , на емкости C_{31} поддерживается постоянный потенциал $U_A \approx 0$ и транзистор $VT3$ находится в закрытом состоянии. Емкость C_{32} в момент времени t''_1 заряжается импульсом C_1 до высокого потенциала $U_Q = U^2$ и сохраняет его.

Как видно из временных диаграмм (рис. 4.33, *в*), элемент «без задержки» вместе с последующим динамическим элементом за $1/2$ периода синхросигналов реализует две последовательные логические операции (инверсии) с общим временем задержки $t_3 = 0,5 T_c$.

Можно включать элемент «без задержки» и в том случае, когда предыдущий элемент синхронизируется импульсами C_2 , а последующий C_1 . При этом надо изменить порядок подключения синхросигналов в элементе, как указано в скобках на рис. 4.33, *а, б*. Используя параллельное и последовательное включение управляющих транзисторов (с ключевыми транзисторами $VT1$ и $VT2$ на входах), можно получить элементы, реализующие логическую операцию И—ИЛИ—НЕ.

4.6. ЧЕТЫРЕХФАЗНЫЕ ДИНАМИЧЕСКИЕ ЭЛЕМЕНТЫ И ТРИГГЕРЫ

Помимо двухфазных широкое применение имеют четырехфазные динамические элементы «без отношения», в которых отсутствует эффект перераспределения заряда между емкостями, вызывающий уменьшение потенциала на затворах управляющих транзисторов и снижение быстродействия.

Основные варианты четырехфазных динамических элементов показаны на рис. 4.34, *а, б*. Более широкое применение находят элементы, показанные на рис. 4.34, *б*, так как они не содержат шина питания и «земли». Поэтому в дальнейшем будут описаны устройства, построенные на элементах этого типа, хотя все приведенные схемы могут быть аналогично реализованы на элементах, представленных на рис. 4.34, *а*.

Рассмотрим работу динамического элемента (рис. 4.34, *б*) при подаче двух последовательностей синхросигналов C_1 и C_2 (рис. 4.34, *в*). В исходном состоянии потенциал на входе $U_D = U^0 < U_0$, транзисторы $VT1$, $VT2$, $VT3$ закрыты, емкости C_{31} , C_{32} заряжены до высокого потенциала $U_A \approx U_0 = U^1$. При подаче положительного потенциала $U_D = U^1$ открывается транзистор $VT1$ и емкость C_{31} разряжается до потенциала $U_A \approx 0$. При поступлении импульса C_1

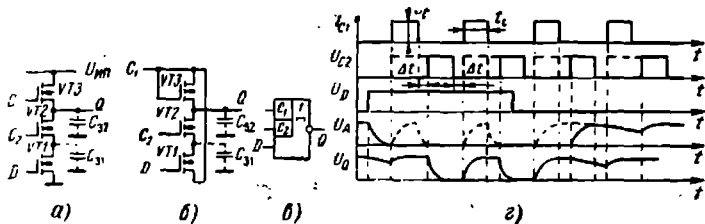


Рис. 4.34. Варианты схемы четырехфазных динамических элементов (а, б), условное обозначение (в) и временные диаграммы (г)

транзистор $VT1$ запирается, а потенциал U_Q сохраняется на прежнем низком уровне. Импульс C_2 открывает транзистор $VT2$ и емкость C_{32} разряжается до потенциала $U_Q = U^0 \approx 0$ через открытые транзисторы $VT1$ и $VT2$. При поступлении следующего импульса C_1 открывается транзистор $VT3$ и емкость C_{32} заряжается до потенциала $U_Q = U^1$. После окончания импульса C_1 транзистор $VT3$ запирается и потенциал U_Q сохраняется. Следующий импульс C_2 открывает транзистор $VT3$, и емкость C_{32} снова разряжается до низкого потенциала U^0 .

При поступлении на вход потенциала $U_D = U^0$ транзистор $VT1$ запирается. Импульс C_1 открывает $VT3$ и заряжает C_{32} до уровня $U_Q = U^1$. Последующие импульсы C_1 и C_2 открывают соответственно транзисторы $VT3$ и $VT2$ и обеспечивают подзаряд емкостей C_{31} , C_{32} , разряжаемых токами утечки, до уровня U^1 .

Элемент имеет такие же уровни U^0 , U^1 , помехоустойчивость $U^+_п$ и потребляемую мощность $P_э$, как и двухфазный динамический элемент «без отношения» (см. рис. 4.3,а). Минимальная длительность синхроимпульса определяется выражением (4.11) и оказывается меньше, чем для двухфазного элемента «без отношения».

Элемент может работать и при наложении синхроимпульсов C_1 и C_2 (штриховые линии на рис. 4.34,б). Во время одновременного действия импульсов C_1 и C_3 транзисторы $VT2$ и $VT3$ открыты, и поэтому до высокого потенциала заряжаются обе емкости: C_{31} и C_{32} . В остальном элемент работает так же, как в случае наложения синхроимпульсов.

Таким образом, четырехфазный динамический элемент работает последовательно в трех режимах: *заряд*, когда при поступлении синхроимпульса C_1 емкость C_{32} заряжается до потенциала U^1 ; *переключение*, когда при поступлении синхроимпульса C_2 емкость разряжается до $U_Q = U^0$ либо сохраняет потенциал $U_Q = U^1$ в зависимости от значения входного сигнала; *хранение*, когда при отсутствии синхроимпульсов C_1 и C_2 емкость C_{32} сохраняет высокий или низкий потенциал. Необходимая очередность режимов работы элемента задается с помощью соответствующей системы синхронизации, состоящей из четырех последовательностей синхроимпульсов.

Рассмотрим работу двух последовательно включенных динамических элементов (рис. 4.35,а). Временные диаграммы их переключения даны на рис. 4.5,в. Как видно из диаграмм, состояние выхода элемента 2 изменяется при поступлении импульса C_2 , элемента 4 — при поступлении C_4 , т. е. номер элемента соответствует номеру последовательности, изменяющей состояние его выхода. В течение фазы Φ_2 сигнал с выхода элемента 4 может переключать элемент 2 (считывание информации из элемента 4 и запись в элемент 2), в течение фазы Φ_4 — наоборот. При неизменном входном сигнале низкий потенциал на выходе элементов в течение одной из фаз (Φ_1 для элементов 2, Φ_3 для элементов 4) меняется на высокий, а в следующей фазе восстанавливает низкое значение. Таким образом, в одной из фаз «истинное» значение выходного сигнала нарушается. Однако эти «ложные» сигналы не воспринимаются последующим элементом, который в данной фазе работает в режиме хранения, и не влияют на работу цифрового устройства. Как следует из временных диаграмм, два последовательно соединенных четырехфазных динамических элемента выполняют функцию D -триггера, структура которого показана на рис. 4.35,б. Аналогичные функции выполняют эти элементы и при использовании наложенных синхроимпульсов (штриховые линии на рис. 4.35,в).

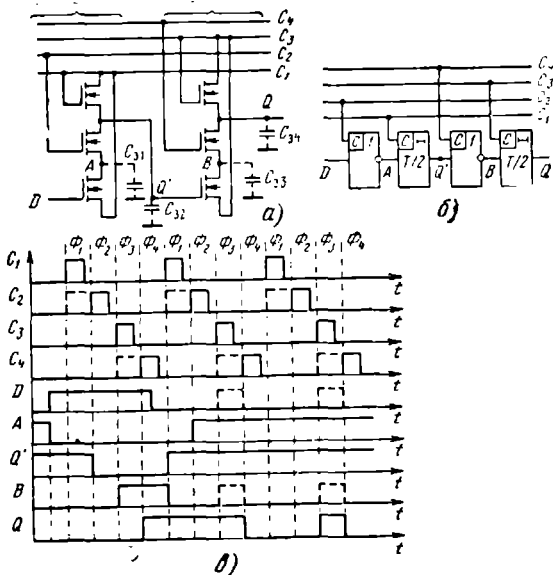


Рис. 4.35. Схема динамического D -триггера на четырехфазных элементах (а), его структура (б) и временные диаграммы (в)

Максимальная частота синхронизации для четырехфазных цифровых систем без наложения синхроимпульсов

$$f_{max} = 1/4(t_c + \Delta t) = 1/4\eta t_c, \quad (4.22a)$$

а для систем с наложением синхроимпульсов

$$f_{max} = 1/2(2t_c + \Delta t) = 1/4\eta' t_c. \quad (4.22б)$$

Таким образом, использование синхронизации второго вида (штриховая линия на рис. 4.35,б) обеспечивает повышение быстродействия устройств за счет уменьшения коэффициента запаса: $\eta' < \eta$.

Для выполнения необходимых логических операций входные транзисторы $VT1$ в инверторах можно заменить параллельно-последовательным соединением транзисторов. При этом каждый динамический элемент реализует функцию элемента И—ИЛИ—НЕ, т. е. за один период синхронизации выполняются две операции И—ИЛИ—НЕ. Среднее время выполнения одной операции $t_s = T_c/2$.

КОНТРОЛЬНЫЕ ВОПРОСЫ И УПРАЖНЕНИЯ

1. Постройте временные диаграммы, иллюстрирующие переключение конъюнктивных БЯ на рис. 4.8,в,г. Определите задержки их переключения.

2. Проанализируйте наличие опасных состязаний для графов переходов на рис. 4.5,б и 4.6,г. Введите в графы изменения, исключающие опасные состязания.

3. Синтезируйте логическую схему T -триггера, переключаемого отрицательным фронтом импульса, на элементах ИЛИ—НЕ, Монтажное ИЛИ. Постройте его временные диаграммы и определите максимальную рабочую частоту.

4. Постройте временные диаграммы, иллюстрирующие работу RS -триггеров на рис. 4.16,а,б. Определите их времена переключения.

5. Определите, каким уровнем синхронизируется RS -триггер на рис. 4.17,в.

6. Объясните функционирование D -триггеров, схемы которых показаны на рис. 4.20,а,б. Определите, каким уровнем они синхронизируются.

7. Введите в схему JK -триггера на рис. 4.21,г цепи асинхронной установки S_a и сброса R_a .

8. Покажите, что при введении обратных связей Q_1-R_2 и \bar{Q}_1-S_2 RS -триггер на рис. 4.22,а выполняет функции JK -триггера.

9. Поясните принцип работы и построьте временные диаграммы JK -триггера на рис. 4.23,а.

10. Постройте временные диаграммы, иллюстрирующие работу D -триггера на рис. 4.24,г, и определите его максимальную рабочую частоту.

11. Введите в схему D -триггера на рис. 4.24,г цепи асинхронной установки S_a и сброса R_a .

12. Покажите, как изменяются временные диаграммы динамического D -триггера в случае $t^0_c > t_{хр}$. При каком значении t^0_c нарушается работоспособность этого триггера?

Глава 5. ЦИФРОВЫЕ ФУНКЦИОНАЛЬНЫЕ УЗЛЫ ПОСЛЕДОВАТЕЛЬНОСТНОГО ТИПА

Для построения цифровых систем кроме комбинационных узлов, рассмотренных в гл. 3, требуются функциональные узлы последовательностного типа¹, логическое состояние которых определяется последовательностью поступления входных сигналов.

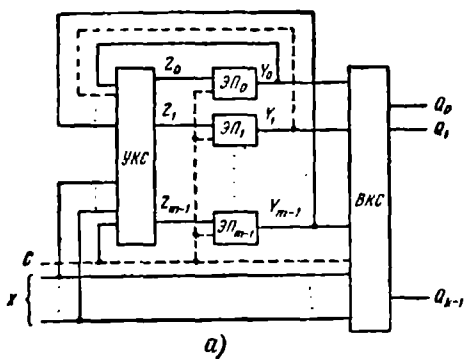
Основными типами последовательностных функциональных узлов, выпускаемых в виде отдельных интегральных микросхем либо входящих в состав БИС и СБИС, являются регистры, счетчики и генераторы кодов. *Регистром* называется функциональный узел, выполняющий хранение операндов и их сдвиг на определенное число разрядов. *Счетчиком* называется узел, на выходах которого образуется число, соответствующее количеству поступивших на вход импульсов. *Генератором кодов* (числовых последовательностей) называется узел, дающий на выходах заданную последовательность кодов (двоичных чисел). В настоящей главе рассмотрены методы схемотехнического проектирования и примеры реализации этих последовательностных узлов.

5.1. СТРУКТУРА И МЕТОДЫ ПРОЕКТИРОВАНИЯ

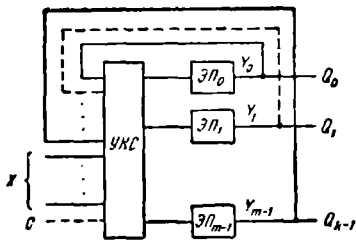
В последовательностных функциональных узлах используются статические или динамические элементы памяти, в качестве которых служат бистабильные ячейки, динамические элементы или триггеры различных типов.

Структура и способы описания функционирования. Общая структура микроэлектронных последовательностных узлов имеет вид, показанный на рис. 5.1,а. Она содержит несколько элементов памяти (ЭП) и управляющую комбинационную схему (УКС), которая вырабатывает сигналы Z , управляющие их переключением. На вход УКС поступают внешние сигналы X , а также сиг-

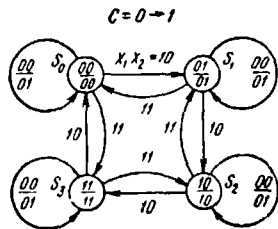
¹ В литературе функциональные узлы и устройства последовательностного типа часто называются *конечными автоматами*.



а)



б)



в)

Рис. 5.1. Структурные варианты последовательных устройств (а, б) и триггер графа переходов (в)

налы Y с выходов (всех или части) элементов памяти. Состояние последовательного узла определяется совокупностью состояний всех ЭП, т. е. значениями Y_0, Y_1, \dots, Y_{m-1} (m — разрядное число Y), которые называются внутренними переменными. Переход узла из состояния, в котором $Y = Y^n$, в состояние с $Y = Y^{n+1}$ происходит при поступлении соответствующих управляющих сигналов X . Вследствие обратных связей значение Y^{n+1} зависит как от внешних сигналов X , так и от имевшегося ранее значения Y^n : $Y^{n+1} = F(X, Y^n)$. Выходы ЭП (всех или части) подключены ко входам выходной комбинационной схемы (ВКС), на которую поступают также сигналы X . На выходах ВКС вырабатываются выходные сигналы $Q^n = G(X, Y^n)$. В синхронных цифровых устройствах изменение значений Y и Q происходит только при поступлении соответствующего уровня или фронта синхросигнала на вход C (штриховые линии на рис. 5.1, а).

Последовательные узлы и устройства со структурой, показанной на рис. 5.1, а, относятся к классу конечных автоматов, называемых *автоматами Мили*. В другом классе конечных автоматов — *автоматах Мура* выходные сигналы $Q^n = G(Y^n)$, т. е. оп-

ределяются только внутренними переменными. В теории конечных автоматов доказана эквивалентность автоматов Милли и Мура, т. е. любое последовательностное устройство может быть реализовано как в виде автомата Милли, так и автомата Мура. В частном случае автомат Мура может не содержать ВКС, т. е. использовать в качестве выходных сигналов Q все или часть внутренних переменных Y (рис. 5.1,б). Функциональные узлы с такой структурой очень часто применяются в цифровых микросхемах, поэтому в данном параграфе излагается методика их проектирования. Если внутренние переменные Y не соответствуют требуемым значениям выходных сигналов Q , то, используя описанную в § 3.1 методику проектирования комбинационных схем, нетрудно разработать ВКС, выполняющую необходимое преобразование кодов $Y \rightarrow Q$.

Наиболее наглядной формой представления функционирования последовательностных узлов являются временные диаграммы. Однако для узлов с большим числом внешних и внутренних переменных X , Y временные диаграммы оказываются весьма громоздкими. Поэтому чаще всего функционирование последовательностных узлов представляется в виде графа переходов (рис. 5.1,в) или таблицы состояний (табл. 5.1). На графе кружками обозначаются все возможные состояния узла S_i , для каждого из которых в виде дроби даются значения Q (числитель) и Y (знаменатель). Стрелками указываются переходы между состояниями, происходящие при поступлении тех или иных комбинаций внешних переменных X , значения которых даны около соответствующей стрелки. Синхронный функциональный узел, граф которого приведен на рис. 5.1,в, при входных сигналах $X_1 X_2 = 10$ последовательно проходит состояния $S_0 \rightarrow S_1 \rightarrow S_2 \rightarrow S_3 \rightarrow S_0$, для которых $Q_1 Q_0 = Y_1 Y_0 = 00 \rightarrow 01 \rightarrow 10 \rightarrow 11 \rightarrow 00 \dots$, причем каждый переход происходит после поступления положительного фронта синхросигнала $C = 0 \rightarrow 1$. При $X_1 X_2 = 11$ переходы производятся в обратной последовательности: $S_0 \rightarrow S_3 \rightarrow S_2 \rightarrow S_1 \rightarrow S_0$. При $X_1 = 0$ состояние не меняется при поступлении синхросигналов. Таким образом, при $X_1 X_2 = 10$ это последовательностное устройство работает как счетчик, образуя

Таблица 5.1

Таблица состояний последовательностного узла (реверсивного счетчика)

x		$y^n = Q^n$				$y^{n+1} = Q^{n+1}$					
x_1	x_2	q_1	q_0	q_1	q_0	x_1	x_2	q_1	q_0	q_1	q_0
0	X	0	0	0	0	0	X	1	0	1	0
1	0	0	0	0	1	1	0	1	0	1	1
1	1	0	0	1	1	1	1	1	0	0	1
0	X	0	1	0	1	0	X	1	1	1	1
1	0	0	1	1	0	1	0	1	1	0	0
1	1	0	1	0	0	1	1	1	1	1	0

на выходах двоичные эквиваленты чисел $0-1-2-3-0-\dots$ при поступлении очередного импульса на вход C . После каждого четвертого импульса счет начинается заново. При $X_1 X_2 = 11$ число $Q_1 Q_0$ уменьшается на единицу после прихода очередного импульса, т. е. производится обратный счет. Сигнал $X_1 = 0$ запрещает счет при любых значениях X_2 . В таблице состояний (табл. 5.1) для каждого текущего состояния Y^n и Q^n указано состояние $Y^{n+1} = Q^{n+1}$, в которое переходит счетчик при данной комбинации внешних сигналов X после поступления соответствующего синхросигнала.

Методика проектирования последовательностных узлов на основе триггеров. Если в качестве ЭП используются синхронизируемые фронтом триггеры, то проектирование наиболее просто выполняется с помощью *словарного метода*. При этом используются словари переходов триггеров, на основе которых будет строиться проектируемый узел. Так как в цифровых микросхемах чаще всего используются RS -, JK -, D -триггеры и реже T -триггеры, то определим их словари переходов, как это сделано в § 4.2 для БЯ.

RS -триггер имеет такую же таблицу состояний (табл. 4.1), как дизъюнктивная БЯ, поэтому их словари переходов полностью совпадают. Словарь переходов JK -триггера получается из его полной таблицы состояний 4.11. Определив для каждого из значений F_Q соответствующие ему значения входных переменных J и K , получим словарь, данный в табл. 5.2. Аналогично на основе полной таблицы переходов D - и T -триггеров получают их словари переходов (см. табл. 5.2). При проектировании последовательностных узлов словарным методом выполняется та же последовательность этапов, как при разработке триггеров (см. § 4.2). В качестве примера разработаем схему делителя частоты на 5, на выходе Q_0 которого образуется положительный импульс после поступления каждого пятого импульса на синхронизирующем входе C (табл. 5.3). Такой узел генерирует на выходе Q_0 последовательность чисел $0-0-0-0-1$.

I. Составление таблицы состояний или графа переходов и кодировка состояний узла значениями внутренних переменных Y . Если узел имеет s различных состояний, то для их кодировки тре-

Таблица 5.2

Словари переходов основных типов триггеров

F_Q	RS		JK		T	D
	S	R	J	K		
0	0	X	0	X	0	0
1	X	0	X	0	0	1
Δ	1	0	1	X	1	1
∇	0	1	X	1	1	0

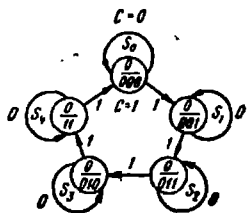
Таблица 5.3

Таблица состояний делителя частоты и один из вариантов кодировки внутренних переменных

Таблица состояний			Кодировка внутренних переменных						Функции переходов		
S_i	Q^n	Q^{n+1}	Y_2^n	Y_1^n	Y_0^n	Y_2^{n+1}	Y_1^{n+1}	Y_0^{n+1}	F_{Y_2}	F_{Y_1}	F_{Y_0}
S_0	0	0	0	0	0	0	0	1	0	0	Δ
S_1	0	0	0	0	1	0	1	1	0	Δ	1
S_2	0	0	0	1	1	0	1	0	0	1	∇
S_3	0	1	0	1	0	1	1	0	Δ	1	0
S_4	1	0	1	1	0	0	0	0	∇	∇	0

буется $m \geq \log_2 s$ внутренних переменных, т. е. m элементов памяти триггеров. В качестве всех или части внутренних переменных обычно используются выходные сигналы узла $Q_i = Y_i$, так как при этом не требуется включения ВКС (если все Q_i реализуются на выходах триггеров), либо ВКС оказывается более простой. Значения внутренних переменных, которые не являются выходными функциями, для каждого из состояний S_i могут выбираться произвольно. При этом двоичные коды $Y_i = (Y_{m-1}, \dots, Y_1, Y_0)$ для всех состояний должны быть различными. Таким образом, во многих случаях имеется ряд возможных вариантов кодировки состояний. Для рассматриваемого примера таблица состояний (см. табл. 5.3) имеет число строк (состояний) $s=5$, поэтому число внутренних переменных должно быть $m \geq 3$. Приняв выходную функцию Q в качестве одной из внутренних переменных Y_2 , выбираем значения двух остальных переменных: $Y_1 Y_0$. Один из возможных вариантов кодировки приведен в табл. 5.3, где для каждого из состояний S_i указаны значения внутренних переменных Y^n , а также значения Y^{n+1} для следующего состояния S_{i-1} , в которое переходит узел после поступления синхросигнала $C=1$. Соответствующий граф переходов показан на рис. 5.2,а. Так как состояние S_4 отличается от остальных значением $Q=Y_2$, то внутренние переменные Y_1, Y_0 в этом состоянии могут иметь любые значения. В табл. 5.3 принят один из четырех возможных вариантов кодировки состояния S_4 . Состояния S_0-S_4 , для которых $Y_2=0$, должны различаться значениями Y_1, Y_0 . Так как имеются четыре различных значения ($Y_1 Y_0 = 00, 01, 10, 11$), то общее число их перестановок $4! = 24$. Таким образом, для проектируемого узла возможно $4 \cdot 24 = 96$ различных вариантов кодировки состояний.

Каждый из вариантов кодировки состояний приводит к одной из возможных логических схем проектируемого узла. Целесообразно использовать тот вариант, который позволяет получать схему, обладающую наилучшими показателями по быстродействию, экономичности, площади кристаллов. Однако достаточно простые и эффективные методы, позволяющие однозначно выбрать наилучший вариант кодировки, к сожалению, отсутствуют.



а)

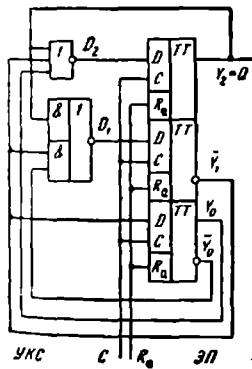
Y_2	Y_1, Y_0	00	01	11	10
0		S_0	S_1	S_2	S_3
1		-	-	-	S_4

б)

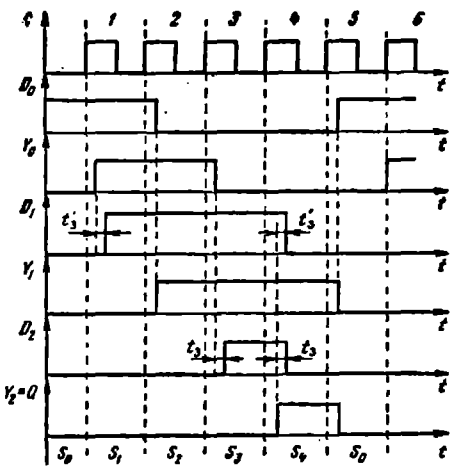
Y_2	Y_1, Y_0	F_{Y0}	F_{Y1}	F_{Y2}
		00 01 11 10	00 01 11 10	00 01 11 10
0		Δ 1 1	Δ 1 1	Δ
1		- - -	- - - 1	- - - 1

Y_2	Y_1, Y_0	D_0	D_1	D_2
		00 01 11 10	00 01 11 10	00 01 11 10
0		1 1	1 1 1	
1		X X X	X X X	X

в)



д)



е)

Рис. 5.2. Проектирование последовательного устройства:
 а — граф переходов; б — карта состояний; в — карты переходов внутренних переменных;
 г — карты Карно функций входов D-триггеров; д — логическая схема; е — временные диаграммы

Поэтому при относительно небольшом числе вариантов кодировки рекомендуется выполнить их полный перебор и сравнительный анализ всех получаемых структурных схем с целью выбора наилучшей. При большом числе вариантов проектировщик обычно рассматривает только часть вариантов, которые он отбирает эвристически. Наиболее удачные варианты получаются, если использовать следующие *правила кодировки*.

Для состояний S_i, S_j выбираются коды Y_i, Y_j , отличающиеся значением только одной внутренней переменной Y_k , если при определенных комбинациях входных переменных X :

1) из них происходит переход в одно и то же состояние S_k либо

2) в эти состояния происходит переход из одного и того же состояния S_l .

При выполнении этих правил граф переходов реализуется с минимальным числом изменений значений внутренних переменных Y_i . Поэтому УКС, которая формирует сигналы Z_j , вызывающие изменения $Y_i \rightarrow Y_j$, будет иметь более простую логическую схему. Если при кодировке не удастся выполнить оба правила, то следует в первую очередь обеспечить выполнение правила 1.

Состояния S_i, S_j , для которых выполняется правило 1 или 2, называются *логически смежными*. Для нахождения оптимальной кодировки смежных состояний удобно использовать карту Карно для переменных Y_{m-1}, \dots, Y_2, Y_0 (см. рис. 5.2,б), в клетках которой указываются состояния S_n , кодируемые соответствующей комбинацией Y^n . Для выполнения правил 1 и 2 логически смежные состояния S_i, S_j размещаются в соседних клетках карты Карно, допускающих их объединение в соответствии с правилами минимизации (см. § 1.4).

Для каждого состояния S_i графа переходов на рис. 5.2,а смежными являются состояния S_{i+1} (при $C=1$) и S_i (при $C=0$). Поэтому при кодировке можно выполнить правило 2, если выбрать для каждого следующего состояния код Y_{i+1} , отличающийся от кода Y_i предыдущего состояния значением только одной переменной Y_k . Например: $Y=001 \rightarrow 011 \rightarrow 010 \rightarrow 110 \rightarrow 100 \rightarrow 000$. Однако при этом нарушается условие $Q=Y_2$, т. е. для реализации заданной функции Q необходимо включать ВКС (см. рис. 5.1,а).

Проведем кодировку таким образом, чтобы получить минимальное число изменений Y_k при соблюдении условия $Q=Y_2$, которое позволяет реализовать функцию Q без ВКС (рис. 5.1,б). Для нахождения оптимального варианта кодировки используем карту Карно (рис. 5.2,б), где смежные состояния постараемся разместить в соседних клетках. Это условие не удастся выполнить только для состояния S_4 , при переходе из которого в S_0 приходится изменять значения двух переменных: Y_2 и Y_1 . На карте отмечены также три неиспользуемых состояния (коды 100, 101, 111), которые называются *нештатными*.

II. *Определение функций переходов F_{Y_i} для каждого i -го триггера производится на основании полученной таблицы внутренних*

состояний (см. табл. 5.3) или графа переходов (рис. 5.2,а) по методике, описанной в § 4.2. Для рассматриваемого примера значения функций F_{Y_1} , F_{Y_2} , F_{Y_3} приведены в табл. 5.3, а соответствующие карты этих функций — на рис. 5.2,в.

III. Выбор типа триггеров, получение и минимизация функций их входов выполняются на основании составленных карт функций F_{Y_1} с помощью словарей переходов (см. табл. 5.2). Для реализации проектируемого делителя частоты выберем D -триггеры, синхронизируемые положительным фронтом. Используя их словарь переходов, получим карты Карно для функций входов D_0 , D_1 , D_2 (рис. 5.2,г). Для нештатных состояний приняты неопределенные значения D_0 , D_1 , D_2 , которые доопределяются при минимизации. В результате получаем функции

$$D_0 = Y_1; D_1 = Y_0 \sqrt{Y_2 Y_1} = Y_2 \sqrt{Y_1 Y_0};$$

$$D_2 = Y_2 Y_1 Y_0 = Y_2 \sqrt{Y_1} \sqrt{Y_0}.$$

IV. Составление логической схемы выполняется на основе полученных выражений для функций входов, которые преобразуются к виду, удобному для реализации на заданной элементной базе. Построив УКС, реализующую функции D_0 , D_1 , D_2 на элементах ИЛИ—НЕ, И—ИЛИ—НЕ, и подключив к ней D -триггеры, выходные сигналы которых служат внутренними переменными Y_0 , Y_1 , Y_2 , получим схему делителя, показанную на рис. 5.2,д. Следует отметить, что в данной схеме необходимо использовать триггеры, синхронизируемые фронтом, так как иначе (при $C=1$) после установки требуемых значений Y^{n+1} будет происходить переключение делителя в следующее состояние и т. д. В результате за время действия одного синхросимпульса пройдет несколько состояний делителя, т. е. его функционирование не будет соответствовать заданию.

V. Определение основных параметров спроектированного узла производится путем анализа синтезированной логической схемы. При этом используются временные диаграммы (рис. 5.2,е), подтверждающие правильность ее функционирования. По известным параметрам используемых логических элементов (ЛЭ) и триггеров определяются потребляемая мощность и быстродействие. Мощность равна сумме мощностей, потребляемых входящими в схему ЛЭ и триггерами. Максимальная рабочая частота определяется выражением

$$f_{max} = 1 / (t_{кс max} + t^0_{c min} + t^1_{c min}), \quad (5.1)$$

где $t^0_{c min}$, $t^1_{c min}$ — параметры триггеров (см. § 4.2); $t_{кс max}$ — максимальная задержка переключения УКС. Для спроектированного делителя $t_{кс max} = t'_s$, где t'_s — задержка переключения элемента И—ИЛИ—НЕ, которая обычно больше, чем задержка элемента ИЛИ—НЕ. Например, при использовании элементов ЭСЛ, обеспечивающих $t'_s \approx 1$ нс, $t^0_{c min} = t^1_{c min} = 2$ нс, делитель имеет $f_{max} = 200$ МГц.

Необходимо иметь в виду, что наличие нештатных состояний может привести к нарушению нормального функционирования узла. Если под влиянием внешних помех узел установится в одно из нештатных состояний, то его дальнейшее поведение становится неоднозначным. Например, делитель на рис. 5.2, *д*, попав в одно из нештатных состояний S_5, S_6, S_7 (им соответствуют $Y^n = 100, 101, 111$), при поступлении очередного синхримпульса может оказаться в состоянии S_1, S_2 или S_3 . Некоторые схемы, попав под действием помех в одно из нештатных состояний, далее осуществляют циклические переходы в другие нештатные состояния, не возвращаясь в рабочие состояния. Чтобы избежать этих неприятностей, последовательностные узлы обычно проектируются так, чтобы при попадании в нештатное состояние автоматически обеспечивалась их асинхронная или синхронная установка в исходное состояние. Асинхронная установка реализуется с помощью дополнительной комбинационной схемы, которая при установке какого-либо нештатного состояния вырабатывает сигнал R_a асинхронного сброса триггеров. Например, для схемы на рис. 5.2, *д* достаточно реализовать функцию $R_a = Y_2(\bar{Y}_2 \vee Y_0) = \bar{Y}_2 \vee \bar{Y}_1 \bar{Y}_0$.

Синхронная установка обеспечивается, если граф переходов делителя представить в виде, показанном на рис. 5.3, *а* (на графе не показаны фиктивные переходы при $C=0$). Используя описанную выше методику проектирования, можно получить схему делителя (рис. 5.3, *б*), которая при попадании в любое из нештатных состояний S_5, S_6, S_7 возвращается в исходное состояние S_0 после поступления очередного синхримпульса C .

Методика проектирования последовательностных узлов на основе БЯ. Словарный метод можно также использовать при разработке последовательностных узлов, в которых в качестве ЭП

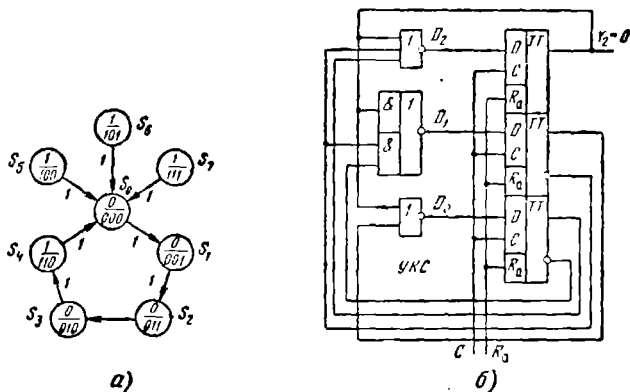


Рис. 5.3 Последовательностное устройство с автоматическим возвратом в исходное состояние при сбоях:

а — граф переходов; *б* — логическая схема

Таблица 5.4

Таблица состояний одного разряда универсального регистра

X_0	X_1	X_2	$Q_0^n = Y_0^n$	$Q_0^{n+1} = Y_0^{n+1}$	F_Q	X_0	X_1	X_2	$Q_0^n = Y_0^n$	$Q_0^{n+1} = Y_0^{n+1}$	F_Q
0	0	0	0	0	0	1	0	0	0	0	0
0	0	0	1	0	∇	1	0	0	1	0	∇
0	0	1	0	0	0	1	0	1	0	1	∇
0	0	1	1	0	∇	1	0	1	1	1	∇
0	1	0	0	1	∇	1	1	0	0	0	0
0	1	0	1	1	1	1	1	0	1	0	∇
0	1	1	0	1	∇	1	1	1	0	1	∇
0	1	1	1	1	1	1	1	1	1	1	1

служат БЯ. Рассмотрим особенности проектирования таких узлов на примере одного разряда универсального регистра, функционирование которого описывается таблицей состояний 5.4. Если $X_0 = 0$, то данный разряд принимает состояние $Q_0 = X_1$ при любых X_2 , если $X_0 = 1$, то $Q_0 = X_2$ при любых X_1 .

I. Составление графа переходов (рис. 5.4,а). Так как возможны всего два состояния проектируемой схемы, то кодируем эти состояния значениями одной внутренней переменной $Y_0 = Q_0$.

II. Определение функции переходов F_Q производится на основании табл. 5.4, или рис. 5.4,а по методике, описанной в § 4.2.

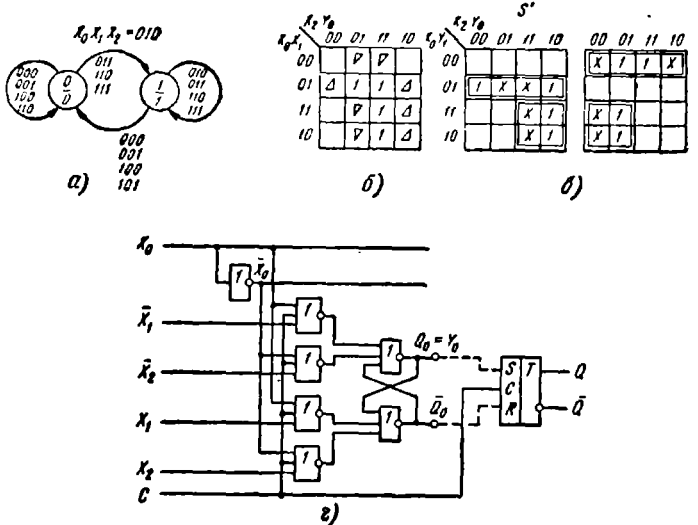


Рис. 5.4. Проектирование универсального регистра (один разряд): а — граф переходов; б — карта переходов; в — карты Карно для функций S' , R' ; з — логическая схема

Значения функции переходов $F_Q = f(X_0, X_1, X_2, Q^n)$ для каждого из состояний указаны в табл. 5.4. В соответствии с этой таблицей составляем карту функции F_Q (рис. 5.4,б).

III. *Получение и минимизация функций входов БЯ* выполняется на основании составленной карты функции F_Q с помощью словарей переходов БЯ (см. табл. 4.8) по методике, данной в § 4.2. Полученные таким образом функции $S', R' \neq f(C)$ соответствуют функциям входов асинхронного регистра. Для синхронных регистров, наиболее часто используемых в цифровых микросхемах, требуется сформировать функции входов БЯ, учитывающие действие синхросигнала C : $S'_c = f(S', C)$, $R'_c = f(R', C)$. Для управления дизъюнктивной БЯ

$$S'_c = S' \bar{C}, R'_c = R' \bar{C}, \quad (5.2a)$$

где $\bar{C} = C$ при синхронизации высоким уровнем синхросигнала $C = 1$; $\bar{C} = \bar{C}$ при синхронизации низким уровнем $C = 0$. Таким образом, при $C = 0$ получим $S'_c = R'_c = 0$, т. е. БЯ и соответственно регистр будут сохранять ранее установленное состояние при любых значениях внешних переменных X (т. е. X_0, X_1, X_2). При $C = 1$ получим $S'_c = S'$, $R'_c = R'$ и БЯ (регистр) устанавливается в состояние Q_0^{n+1} , соответствующее таблице состояний. Для управления конъюнктивной БЯ

$$S'_c = S' \vee \bar{C}, R'_c = R' \vee \bar{C}. \quad (5.2b)$$

Выбрав для реализации проектируемого регистра дизъюнктивную БЯ, получим карты Карно для функций S', R' (рис. 5.4,в), которые после минимизации имеют вид $S' = \bar{X}_0 X_1 \vee \bar{X}_0 X_2$, $R' = \bar{X}_0 \bar{X}_1 \vee \bar{X}_0 \bar{X}_2$. Чтобы синхронизировать переключение регистра низким уровнем $C = 0$, примем $\bar{C} = \bar{C}$ в выражении (5.2a). В результате получим

$$S'_c = \bar{X}_0 X_1 \bar{C} \vee \bar{X}_0 X_2 \bar{C}, \quad R'_c = \bar{X}_0 \bar{X}_1 \bar{C} \vee \bar{X}_0 \bar{X}_2 \bar{C}.$$

IV. *Преобразуем функции S'_c, R'_c для реализации на элементах ИЛИ—НЕ и дизъюнктивной БЯ, выполняющей на входах операцию ИЛИ:*

$$S'_c = \bar{X}_0 X_1 \bar{C} \vee \bar{X}_0 X_2 \bar{C} = \overline{(X_0 \vee \bar{X}_1 \vee \bar{C})} \vee (\bar{X}_0 \vee \bar{X}_2 \vee C),$$

$$R'_c = \bar{X}_0 \bar{X}_1 \bar{C} \vee \bar{X}_0 \bar{X}_2 \bar{C} = \overline{(X_0 \vee \bar{X}_1 \vee \bar{C})} \vee (\bar{X}_0 \vee \bar{X}_2 \vee C).$$

Составляем логическую схему в соответствии с полученными логическими выражениями (рис. 5.4,г). Если необходимо, чтобы изменение значения Q в последовательностном узле происходило только при поступлении фронта (синхронизация фронтом), то к выходам БЯ в каждом разряде подключают синхронизируемый уровнем RS - или D -триггер. Синхронизирующие уровни сигнала C для БЯ и этого триггера должны быть противоположны. При этом каждый разряд данного узла будет иметь такую же структуру и принцип работы, как синхронизируемый фронтом триггер с управляющей БЯ (см. § 4.4). Такое подключение триггера показано на рис. 5.4,г. При $C = 0$ происходит установка БЯ в со-

стояние, определяемое табл. 5.4 RS-триггер, синхронизируемый высоким уровнем $C=1$, при этом сохраняет ранее установленное состояние. При поступлении сигнала $C=1$ (положительный фронт) на входах БЯ устанавливаются значения $S'_c=R'_c=0$ и ее состояние не будет меняться при любых изменениях X_0, X_1, X_2 , RS-триггер устанавливается в такое же состояние, как и БЯ, и сохраняет его до прихода следующего положительного фронта синхросигнала C .

5.2. РЕГИСТРЫ

Регистры являются наиболее распространенным типом последовательностных узлов в современных цифровых системах. По способу приема и выдачи информации регистры делятся на следующие группы: с параллельным приемом и выдачей (рис. 5.5,а), с последовательным приемом и последовательной выдачей (рис. 5.5,б), с последовательным приемом и параллельной выдачей (рис. 5.5,в), с параллельным приемом и последовательной выдачей (рис. 5.5,г), комбинированные с различными способами приема и выдачи (рис. 5.5,д).

Регистры с параллельным приемом и выдачей (рис. 5.5,а) служат для хранения информации и называются *регистрами памяти*. Изменение хранящейся информации (ввод новой информации) происходит после соответствующего изменения сигналов на входах A при поступлении определенного уровня ($C=0$ или $C=1$) или фронта синхросигналов. В качестве разрядов регистра памяти используются синхронизируемые уровнем или фронтом триггеры: D -триггеры (рис. 5.6,а), если информация поступает в виде однофазных сигналов, или RS -триггеры (рис. 5.6,б), если информация поступает в виде парафазных сигналов. Предварительная «очистка» регистра, т. е. установка всех выходов в состояние

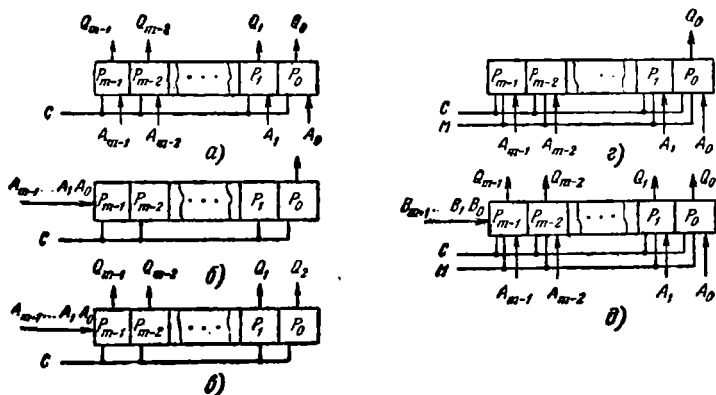


Рис. 5.5. Основные типы регистров

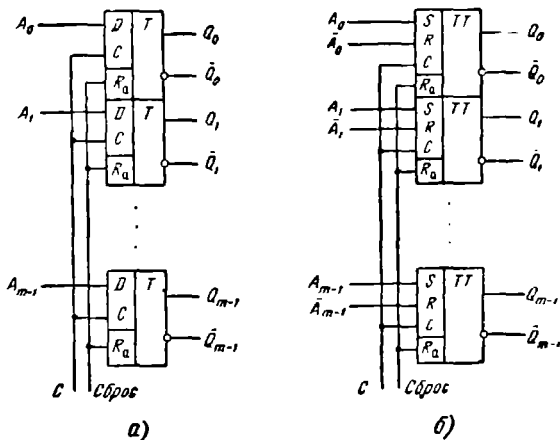


Рис. 5.6. Регистры хранения, синхронизируемые уровнем (а) и фронтом (б)

$Q=0$, производится с помощью асинхронных входов сброса триггеров R_a .

Регистры с последовательным приемом или выдачей информации (рис. 5.5,б—д) называются *сдвиговыми регистрами*. В регистре с последовательным приемом и выдачей (рис. 5.5,б) первый разряд вводимого числа A_0 подается на вход одного, крайнего слева, разряда регистра P_{m-1} и вводится в него при поступлении первого синхриимпульса $Q_{m-1}=A_0$. При поступлении следующего синхриимпульса значение A_0 , поступающее с выхода разряда P_{m-1} , вводится в разряд P_{m-2} , т. е. устанавливается $Q_{m-2}=A_0$, а в разряд P_{m-1} поступает следующий разряд числа A_1 : устанавливается $Q_{m-1}=A_1$ и т. д. Таким образом производится последовательный сдвиг поступающей на вход информации на один разряд вправо в каждом такте синхросигналов. После поступления m синхриимпульсов весь регистр оказывается заполненным разрядами числа A и первый разряд числа (A_0) появляется на выходе Q_0 регистра. В течение последующих m синхриимпульсов производится последовательный поразрядный вывод из регистра записанного числа, после чего регистр оказывается полностью очищенным.

Сдвиговые регистры обычно реализуются на D -триггерах (рис. 5.7,а) или RS -триггерах (рис. 5.7,б), где для ввода информации в первый разряд включается инвертор: $S_0=A$, $R_0=\bar{A}$.

Параллельный вывод информации из сдвигового регистра (рис. 5.4,в) осуществляется при подключении выходов всех разрядов регистра к отдельным выводам.

При проектировании сдвиговых регистров обязательным является применение триггеров,

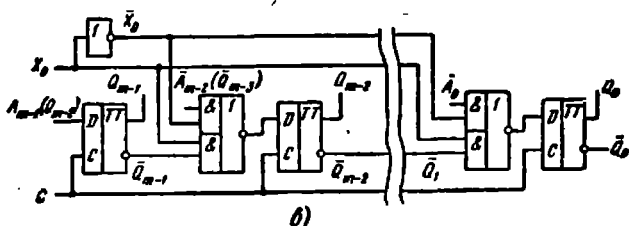
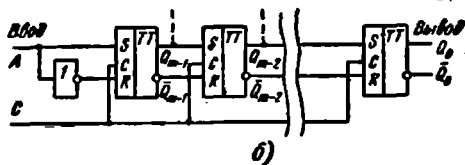
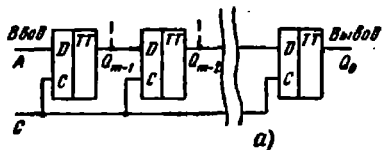


Рис. 5.7. Регистры сдвига на D -триггерах (а), RS -триггерах (б) и универсальный регистр (в)

синхронизируемых фронтом. Ведь во время действия синхросигнала изменяются состояния выходов триггеров, которые подключены ко входам последующих триггеров. Таким образом изменяется состояние входов последующих триггеров, и если синхриимпульс еще не кончился, то триггеры, синхронизируемые уровнем, переключаются в новое состояние. В результате за время действия одного синхриимпульса (один такт) информация в регистре продвигается более чем на один разряд, т. е. нормальное функционирование регистра — сдвиг на один разряд за один такт — нарушается. Использование триггеров, синхронизируемых положительным или отрицательным фронтом, обеспечивает нормальную работу регистра.

Сдвиговые регистры, показанные на рис. 5.5,а, б, могут работать в двух режимах: параллельного ввода информации и сдвига (последовательного ввода). Пример проектирования одного разряда P_k таких регистров дан в § 5.1. Если в схеме на рис. 5.3,а на вход X_1 подавать инверсию одного из разрядов (k -го) числа как внешний сигнал \bar{A}_k , а вход X_2 подключить к выходу \bar{Q}_{k-1} предыдущего разряда P_{k-1} , то при $X_0=0$ будет производиться ввод \bar{A}_k , а при $X_0=1$ — сдвиг вправо, т. е. прием информации с выхода предыдущего разряда P_{k-1} , $Q_k=Q_{k-1}$ и передача \bar{A}_k в следующий разряд P_{k+1} . Таким образом, управляющий сигнал X_0 определяет

режим работы регистра. Используя словарный метод (см. § 5.1), можно сиректировать аналогичные регистры на триггерах того или иного типа. На рис. 5.7,в показана схема комбинированного регистра на синхронизируемых фронтах D -триггерах.

Сдвиговые регистры могут быть *реверсивными*, т. е. выполняющими сдвиг в любом направлении: слева направо или наоборот. Направление сдвига определяется значением управляющего сигнала X_0 . Реверсивный регистр можно получить, если в схеме комбинированного регистра (рис. 5.7,в) вместо внешнего сигнала A_k подключить выход последующего разряда Q_{k+1} , как указано в скобках. Сдвиг вправо выполняется при значении сигнала $X_0=1$, сдвиг влево — при $X_0=0$.

Как видно из проведенного рассмотрения функций регистров, они могут выполнять хранение и преобразование информации. Сдвиг числа влево или вправо на один разряд соответствует его умножению или делению на два. Поэтому регистры сдвига используются для построения умножителей и делителей. Регистры выполняют также различные преобразования информации: последовательное накопление с последующей одновременной выдачей или одновременный прием с последующей последовательной (развернутой во времени) выдачей. Регистры с последовательным вводом и выводом осуществляют задержку передачи информации на m тактов машинного времени. Таким образом, регистры являются многофункциональными узлами цифровых систем.

5.3. СЧЕТЧИКИ

Основным параметром счетчика является *модуль счета* K_c — максимальное число импульсов, которое может быть сосчитано счетчиком. После поступления K_c импульсов счетчик должен возвращаться в исходное состояние. Значение K_c равно числу устойчивых состояний счетчика. Счетчик, содержащий m разрядов (триггеров), может иметь 2^m устойчивых состояний, поэтому его модуль счета $K_c \leq 2^m$. Количество поступивших на счетный вход импульсов представляется на выходе счетчика в виде двоичного числа в том или ином коде: прямом, дополнительном, циклическом (см. § 1.2). Обычно счетчики имеют дополнительные входы установки S , позволяющие предварительно установить на выходе счетчика заданное число, или входы сброса R , сигнал на которых переводит счетчик в исходное состояние.

Частота импульсов на выходе последнего разряда счетчика в K_c раз меньше частоты импульсов, поступающих на вход. Поэтому счетчики используются в качестве делителей частоты, обеспечивающих на выходе в K_c раз меньшую частоту сигнала, чем на входе.

По типу функционирования различают счетчики суммирующие, вычитающие и реверсивные. *Суммирующий счетчик* выполняет прямой счет, т. е. при поступлении на вход очередного импульса число на выходе счетчика увеличивается на единицу. *Вычитаю-*

щий счетчик производит обратный счет, т. е. при поступлении счетного импульса число на выходе уменьшается на единицу. Реверсивный счетчик может работать в режимах прямого и обратного счета.

Счетчики широко используются в устройствах управления цифровых систем для подсчета числа выполненных операций, в связной и контрольно-измерительной аппаратуре, для определения числа поступивших сигналов и уменьшения их частоты и др. По структурной организации счетчики делятся на параллельные, последовательные и параллельно-последовательные¹, которые различаются способами подачи счетных импульсов на входы разрядов.

Параллельные счетчики. В счетчиках этого типа считываемые импульсы T одновременно (параллельно) поступают на синхровходы S триггеров во всех разрядах. Параллельные счетчики обычно строятся на базе RS -, JK -, D -триггеров, синхронизируемых фронтом.

Структурное проектирование таких счетчиков выполняется с помощью словарного метода (см. § 5.1). В качестве примера выполним синтез структуры суммирующего параллельного счетчика с модулем счета $K_c=10$ на JK -триггерах. Для реализации счетчика требуется не менее $m=4$ триггеров; в этом случае $2^4=16 > K_c$, а при $m=3$ имеем $2^3=8 < K_c$. Чтобы получить структуру с минимальным числом триггеров, примем $m=4$ (четырёхразрядный счетчик). При этом $2^m - K_c = 6$ состояний счетчика будут нештатными. Используя таблицу состояний счетчика (табл. 5.5), находим функции переходов F_Q для каждого разряда, карты которых даны на рис. 5.8,а. С помощью словаря переходов JK -триггера (см. табл. 5.2) получаем карты Карно для функций входов J - и K -триггеров

Таблица 5.5

Таблица состояний декадного счетчика

s_i	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	F_{Q3}	F_{Q2}	F_{Q1}	F_{Q0}
S_0	0	0	0	0	0	0	0	1	0	0	0	Δ
S_1	0	0	0	1	0	0	1	0	0	0	Δ	∇
S_2	0	0	1	0	0	0	1	1	0	0	1	Δ
S_3	0	0	1	1	0	1	0	0	0	Δ	∇	∇
S_4	0	1	0	0	0	1	0	1	0	1	0	Δ
S_5	0	1	0	1	0	1	1	0	0	1	Δ	∇
S_6	0	1	1	0	0	1	1	1	0	1	1	Δ
S_7	0	1	1	1	1	0	0	0	Δ	∇	∇	∇
S_8	1	0	0	0	1	0	0	1	1	0	0	Δ
S_9	1	0	0	1	0	0	0	0	∇	0	0	∇

¹ Иногда параллельные счетчики называют синхронными, а последовательные — асинхронными.

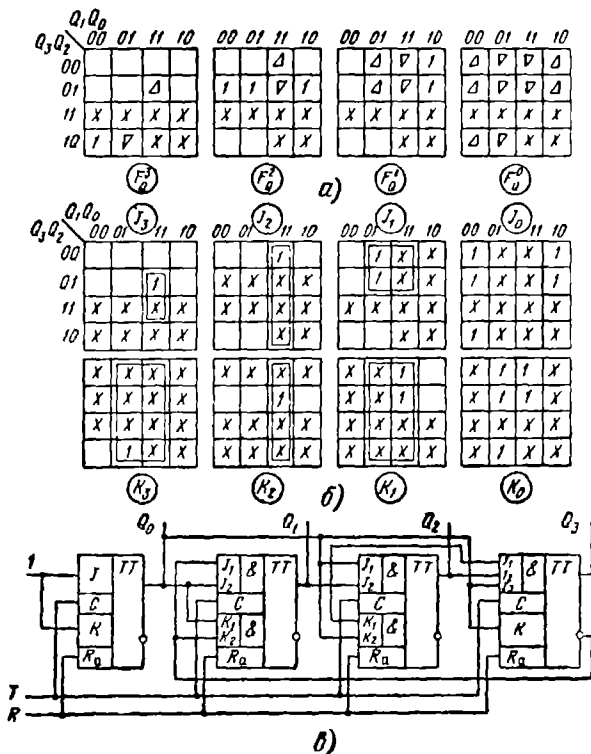


Рис. 5.8. Проектирование декадного счетчика:

а — карты функций; б — карты Карно функций J , K ; в — логическая схема

в каждом разряде (рис. 5.8, б). После минимизации функции входов имеют вид

$$J_0 = 1, J_1 = Q_0 \bar{Q}_3, J_2 = Q_0 Q_1, J_3 = Q_0 Q_1 Q_2,$$

$$K_0 = 1, K_1 = Q_0, K_2 = Q_1 Q_0, K_3 = Q_0.$$

При использовании JK -триггеров, выполняющих операцию И на входах, структура декадного счетчика, построенная в соответствии с полученными выражениями, имеет вид, показанный на рис. 5.7, в. Каждый разряд счетчика при этом реализуется на одном JK -триггере без дополнительных логических элементов, т. е. входная комбинационная схема триггера (см. рис. 4.8) служит одновременно УКС для разряда счетчика.

При попадании в нештатные состояния $S_{10}—S_{15}$, имеющие неиспользуемые коды, начиная с $Q=1010$, схема также работает

как счетчик, переходя при поступлении импульсов в очередное нештатное состояние $Q=1011$, и т. д. до состояния S_{15} , имеющего код $Q=1111$. Очередной импульс T переводит счетчик из состояния S_{15} в исходное состояние S_0 .

В параллельных счетчиках все триггеры переключаются одновременно (синхронно). Максимальная рабочая частота счетчика f_{max} не зависит от числа разрядов и определяется выражением (5.1). Для счетчика на рис. 5.8,в частота f_{max} такая же, как для используемых JK -триггеров.

Аналогичным методом проектируются структуры счетчиков на триггерах других типов. При этом счетчики на RS -триггерах будут иметь большее число связей между входами и выходами разрядов, чем при использовании JK -триггеров. При использовании D -триггеров в разрядах счетчика включаются дополнительные логические элементы, вследствие чего возрастают потребляемая мощность и площадь кристалла, а также уменьшается максимальная рабочая частота. Поэтому параллельные счетчики обычно реализуются на JK -триггерах.

Во многих цифровых системах требуются счетчики с переменным модулем счета, значение K_c которых определяется внешними управляющими сигналами M . Методику их проектирования рассмотрим на примере счетчика¹, имеющего $K_c=10$ при $M=0$ и $K_c=11$ при $M=1$. В качестве элементной базы используем JK -триггеры и элементы И—НЕ.

I. Составление карт функций переходов F_Q и входных функций триггеров $Y=f(Q_0, \dots, Q_{m-1})$ при всех заданных значениях K_c выполняется, как описано выше. Для проектируемого счетчика функции F_Q для $K_c=10$ даны на рис. 5.8,а, для $K_c=11$ — на рис. 5.9,а.

II. Получение карт Карно обобщенных входных функций $\tilde{Y} = (M, Q_0, \dots, Q_{m-1})$ для каждого разряда выполняется объединением карт функций Y , составленных для различных K_c , каждому из которых соответствует заданное значение M . Для рассматриваемого примера эти карты приведены на рис. 5.9,б, причем левая половина каждой из карт, где значение $M=0$, соответствует $K_c=10$ (т. е. совпадает с картами на рис. 5.8,б) а другая половина карт, где $M=1$, соответствует $K_c=11$ (т. е. получена из карт на рис. 5.8,а).

III. Минимизация выражений обобщенных функций \tilde{Y} и построение структурной схемы счетчика производится так же, как описано в § 5.1. Используя карты Карно на рис. 5.9,б, получаем

$$J_0 = \overline{Q_1 Q_3}, J_1 = Q_0 (\overline{M Q_3}), J_2 = Q_0 Q_1,$$

$$J_3 = Q_0 Q_1 Q_2,$$

$$K_0 = 1, K_1 = \overline{Q_0}, K_2 = Q_2 Q_1, K_3 = (\overline{Q_0 \overline{Q_1}}) (\overline{M Q_0}).$$

¹ Такие счетчики широко используются в современной аппаратуре связи для построения синтезаторов частоты — устройств генерирующих периодические сигналы с заданным рядом частот.

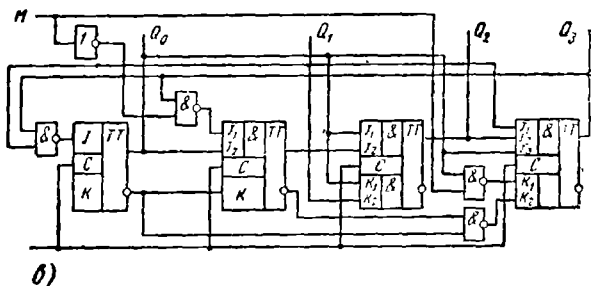
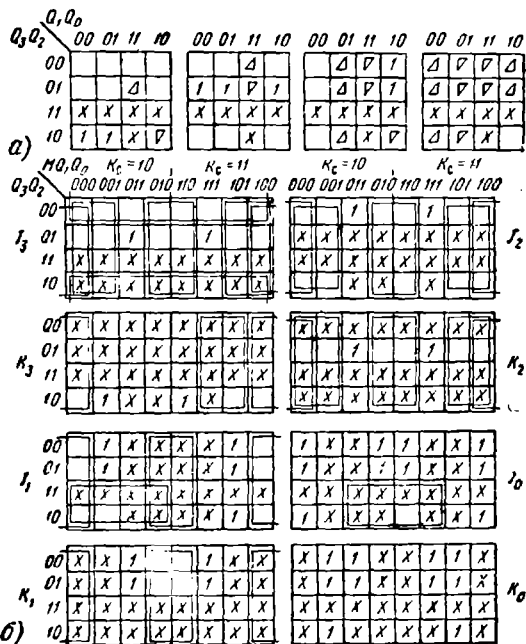


Рис. 5.9. Проектирование счетчика с переменным модулем счета $K_c=10/11$: а — карты функций F_Q для $K_c=11$; б — карты Карно обобщенных функций входов $J, K=f(M, Q_0, Q_1, Q_2, Q_3)$; в — логическая схема

Соответствующая структурная схема счетчика приведена на рис. 5.9, в. По аналогичной методике проектируются и различные типы реверсивных счетчиков, выполняющих при одном значении M прямой счет, а при другом — обратный.

Распространенной разновидностью параллельных счетчиков являются **кольцевые счетчики**, строящиеся на базе сдвиговых регистров. Пример простейшего кольцевого счетчика дан на рис. 5.10, а

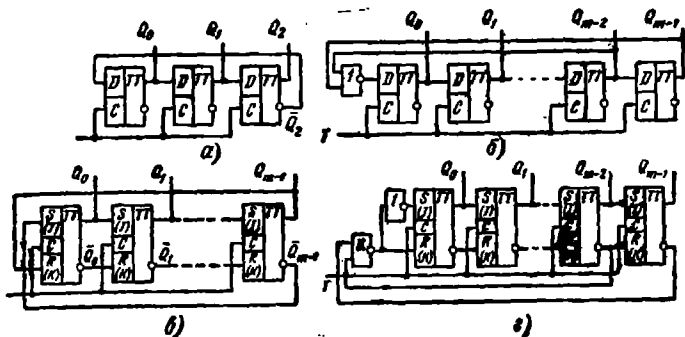


Рис. 5.10. Схемы кольцевых счетчиков на D -триггерах и $JK(RS)$ -триггерах с четным (а, в) и нечетным (б, г) модулями счета

Как видно из табл. 5.6, схема имеет шесть устойчивых состояний, после прохождения которых она возвращается в исходное состояние $Q_2Q_1Q_0=000$. Таким образом, данная схема выполняет функции счетчика с модулем $K_c=6$. Числа на выходе счетчика представлены в закодированном виде¹ (табл. 5.6). Чтобы преобразовать их в двоичный код, к выходам счетчика необходимо подключить соответствующую ВКС.

Если регистр содержит m триггеров, то счетчик, получаемый после замыкания обратной связи с выхода \bar{Q}_{m-1} на вход D_0 , имеет $K_c=2m$. Для получения нечетных значений K_c необходимо исключить одно из устойчивых состояний. Обычно исключают состояние, когда $Q_0=Q_1=\dots=Q_{m-1}=1$. Как видно из табл. 5.6, чтобы исключить состояние 4, необходимо обеспечить $D_0=0$ (ввод 0), когда $Q_{m-1}=1$ или $Q_{m-2}=1$, т. е. $D_0=Q_{m-1}+Q_{m-2}$. Схема кольцевого счетчика с произвольным нечетным модулем $K_c=2m-1$ показана на рис. 5.10,б. Аналогичные схемы счетчиков реализуются на RS -

Таблица 5.6

Таблица состояний кольцевого счетчика с модулем счета $K_c=6$

Номер состояния	Q^n			Q^{n+1}		
	Q_0^n	Q_1^n	Q_2^n	Q_0^{n+1}	Q_1^{n+1}	Q_2^{n+1}
1	0	0	0	1	0	0
2	1	0	0	1	1	0
3	1	1	0	1	1	1
4	1	1	1	0	1	1
5	0	1	1	0	0	1
6	0	0	1	0	0	0

¹ В литературе такое представление чисел часто называют кодом Джонсона, а кольцевые счетчики данного вида — счетчиками Джонсона.

или JK-триггерах (рис. 5.10, в, г). Для установки счетчиков в исходное состояние S_0 используются асинхронные входы R_a триггеров (на рис. 5.10 не показаны).

Кольцевые счетчики достаточно просты, надежны в работе, обладают высоким быстродействием. Однако при $K_c > 7$ для их построения требуется большее число триггеров ($m = K_c/2$), чем для ранее рассмотренных обычных счетчиков. Кроме того, для получения на выходе информации в стандартных двоичных кодах (см. табл. 1.1 и 1.2) необходимо включение ВКС (см. рис. 5.1, а).

При увеличении модуля счета, т. е. числа разрядов m , в параллельных счетчиках возрастают количество ЛЭ и триггеров, число их входов, существенно усложняется система соединений. Поэтому параллельные счетчики с $m \geq 6 \dots 8$ используются редко. Для получения модулей $K_c > 16$ обычно применяются последовательные или параллельно-последовательные счетчики.

Последовательные счетчики. В счетчиках этого типа счетные импульсы T подаются только на вход триггера первого разряда. Для каждого из последующих разрядов сигналы переключения поступают с выхода предыдущих разрядов. В результате происходит последовательное переключение разрядов счетчика.

Последовательные счетчики с модулями счета $K_c = 2^m$ обычно реализуются последовательным соединением m T -триггеров, каждый из которых работает как счетчик с $K_c = 2$. Структурная схема и временная диаграмма такого суммирующего счетчика с $K_c = 8$ показана на рис. 5.11. При подаче сигнала $R = 1$ производится сброс счетчика в исходное состояние $Q_0 Q_1 Q_2 = 000$. Отметим, что данная схема будет работать как вычитающий счетчик, если вход T каждого последующего (k -го) триггера подключить к инвертирующему выходу \bar{Q}_{k-1} предыдущего триггера, а асинхронные входы S_a использовать для установки какого-либо начального числа. Реверсивный счетчик можно реализовать, включив на счетном входе каждого из триггеров элемент И—ИЛИ—НЕ, выполняющий функцию $T_k = \overline{MQ_{k+1}} + \overline{MQ_{k-1}}$.

Последовательные счетчики с $K_c \neq 2^m$, не требующие включения дополнительных ЛЭ, получаются при использовании JK-триг-

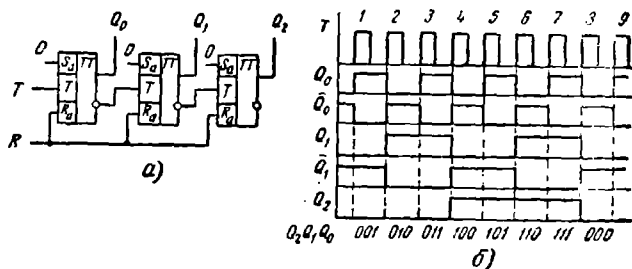


Рис. 5.11. Схема последовательного счетчика на T -триггерах (а) и его временная диаграмма (б)

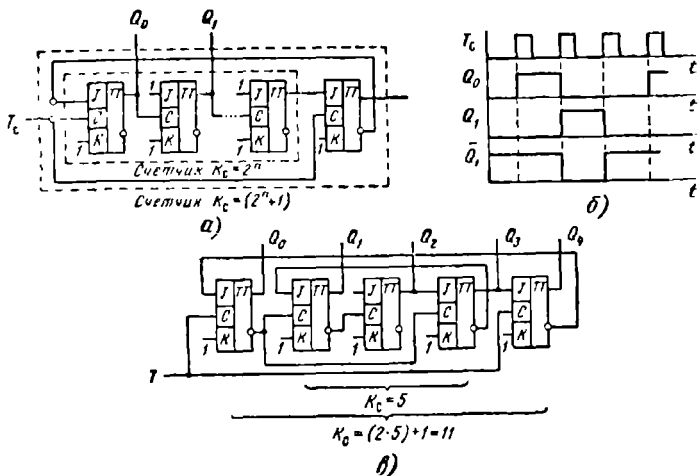


Рис. 5.12. Схема последовательного счетчика с модулем счета $K_c = 2^m + 1$ (а); временные диаграммы счетчика с $K_c = 3$ (б); схема счетчика с $K_c = 11$ (в)

геров. На рис. 5.12,а показано, как подключение дополнительного JK -триггера к счетчику с модулем $K_c = 2^m$ позволяет получить счетчик с модулем $K_c = 2^m + 1$. На рис. 5.12,б даны временные диаграммы, иллюстрирующие работу такого счетчика с модулем $K_c = 3$. Различным образом комбинируя включение последовательных счетчиков с дополнительными JK -триггерами, можно получить любые значения K_c (рис. 5.12,в).

Недостатком последовательных счетчиков является их относительно низкое быстродействие, так как для установления соответствующего числа на выходах требуется последовательное переключение всех m триггеров. Поэтому максимальная рабочая частота счетчика $f'_{max} = f_{max}/m$.

Как видно из временных диаграмм на рис. 5.11,б, триггеры в последовательном счетчике работают с различной частотой переключения. Максимальную частоту имеет первый триггер, а частоты переключения каждого следующего — вдвое меньше. Поэтому с целью экономии мощности (или повышения быстродействия), можно использовать в счетчике триггеры с различными параметрами. Первый триггер должен иметь максимальное быстродействие и соответственно повышенную потребляемую мощность. Быстродействие и мощность каждого последующего триггера можно вдвое уменьшить для снижения максимальной рабочей частоты сигналов T .

Для повышения быстродействия последовательных счетчиков используется ускоренное формирование сигналов переноса между разрядами. Как видно из диаграмм на рис. 5.11,б, сигнал пере-

носа $T_{k+1}=1$, переключающий $(k+1)$ -й триггер, образуется в предыдущем k -м триггере при $Q_k T_k=1$. Поэтому если во внутренней структуре k -го триггера имеется точка, где функция $Q_k T_k$ образуется раньше, чем изменяется состояние его выхода, то эту точку можно использовать в качестве выхода сигнала T_{k+1} . В T -триггере с управляющей БЯ (см. рис. 4.28) на выходе S'_2 входной комбинационной схемы образуется функция $T_k Q_k = T_{k+1}$. В T -триггере с коммутирующими БЯ (см. рис. 4.28) на выходе одной из

них образуется функция $Q'_3 = T_k \vee Q_2 \vee \bar{Q}_3 \vee \bar{Q}_k$, которая при $T_k=1$ равна $Q_k T_k$. При использовании этих триггеров можно построить последовательные счетчики с ускоренным переносом, два разряда которых показаны на рис. 5.13, а, б. Так как задержка сигнала T в цепи переноса таких счетчиков составляет $2t_3$ на каждый разряд, то максимальная рабочая частота счетчиков $f_{max} = 1/(2mt_3)$. Это приблизительно в 3 раза выше, чем в последовательных счетчиках без ускоренного переноса (см. рис. 5.10, а). Для реализации ускоренного переноса в вычитающих счетчиках используется симметрично расположенные выходы, где формируются сигналы $T'_{k+1} = T_k \bar{Q}_k$ (рис. 5.13, а, б). Отделение цепей переноса T_k от выходных цепей Q_k повышает также устойчивость работы таких счетчиков благодаря исключению влияния помех, возникающих в выходных цепях. Если имеется счетчик с модулем счета K'_c , то любое необходимое значение $K_c < K'_c$ можно получить, исключив $K'_c - K_c$ рабочих состояний, т. е. сделав их нештатными. Для этой цели удобно использовать асинхронные входы R_a триггеров, при поступлении сигнала $R=1$ на которые счетчик устанавливается в исходное состояние S_0 . Например, если в четырехразрядном счетчике с $K_c=16$ исключить состояния $S_{10}-S_{15}$, то получим декадный

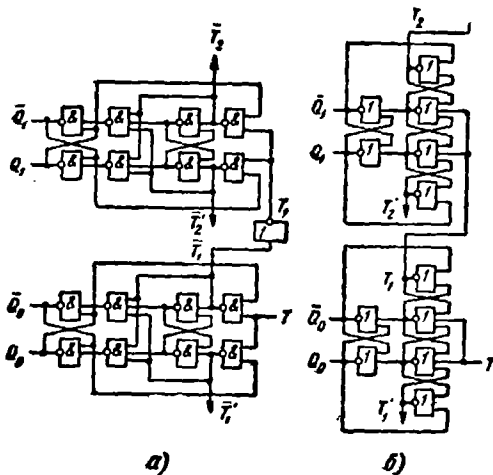


Рис. 5.13. Формирование ускоренного переноса в последовательных счетчиках на T -триггерах с управляющей (а) и коммутирующими нестабильными ячейками (б)

счетчик; состояния $S_{10}-S_{15}$ становятся нештатными, если при установке любого из них на входы R_a всех триггеров поступает сигнал $R=1$, сбрасывающий счетчик в S_0 . Представив функцию $R(Q_3, Q_2, Q_1, Q_0)$ в виде таблицы истинности или карты Карно, получим после минимизации $R=Q_3(Q_2 \vee Q_1) = \overline{Q_3} \vee \overline{Q_2} \overline{Q_1}$. Эта функция реализуется элементом И—ИЛИ—НЕ, включив который между выходами $\overline{Q_3}$, $\overline{Q_2}$, Q_1 триггеров и общим входом их асинхронного сброса R , получим декадный счетчик.

Аналогичным способом можно построить счетчики с переменным модулем счета. При этом сначала составляются карты Карно функций сброса R_k для каждого заданного значения K_c , которому соответствует определенное значение управляющих сигналов M . Затем полученные карты Карно объединяются, как описано в § 5.3, и после минимизации определяется обобщенная функция $\overline{R}=f(M, Q_0, \dots, Q_{m-1})$. Для примера на рис. 5.14,а показана карта функции \overline{R} счетчика, реализующего $K_c=10$ при $M=0$ и $K_c=11$ при $M=1$. После минимизации обобщенная функция имеет вид $\overline{R} = \overline{Q_1} \vee \overline{Q_3} \vee M Q_1 \overline{Q_0}$. Управляющая комбинационная схема (рис. 5.14,б) образует сигнал \overline{R} , подаваемый на общий вход R четырехразрядного последовательного счетчика.

Необходимо отметить, что на выходах счетчиков с данной структурой в течение некоторого времени сохраняется нештатное состояние, пока не произойдет сброс триггеров в исходное состояние. Это время равно $t'_3 + t_n$, где t'_3 — время переключения комбинационной схемы, реализующей функцию R ; t_n — время переключения триггера по входу R_a , и составляет от единиц до десятков наносекунд. В ряде случаев это не приводит к ошибкам в функционировании цифровой системы. Если, например, информа-

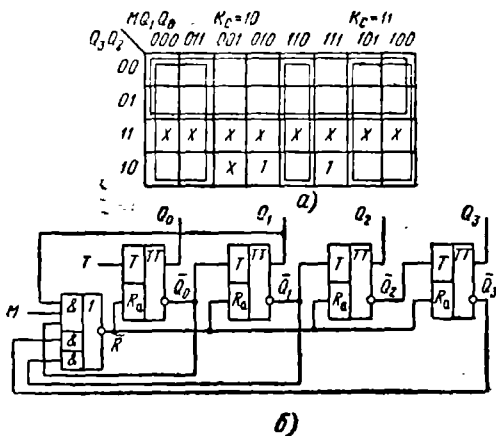


Рис. 5.14. Последовательный счетчик с переменным модулем счета $K_c=10/11$. а — карта Карно обобщенной функции \overline{R} ; б — логическая схема

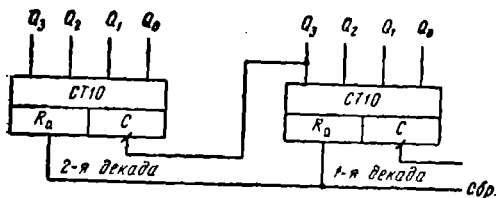


Рис 5.15. Каскадирование декадных счетчиков

Для с выхода счетчика подается на световые индикаторы или другие устройства со значительной инерционностью, то нештатные состояния не успевают ими фиксироваться. Если же информация со счетчика поступает на быстродействующее цифровое устройство, то между ними включается схема, запрещающая передачу или прием этой информации до установки счетчика в рабочее состояние.

Для получения больших значений K_c обычно используется каскадное соединение счетчиков. На рис. 5.15 дан пример каскадирования декадных счетчиков. Если каждая из декад представляет собой параллельный счетчик, переключаемый отрицательным фронтом сигнала, то представленная схема является параллельно-последовательным счетчиком с $K_c=100$. Такие счетчики имеют более высокое быстродействие, чем последовательные, и не требуют включения дополнительных ЛЭ, как параллельные счетчики.

5.4. ГЕНЕРАТОРЫ КОДОВ

Последовательные узлы этого типа называют также *распределителями сигналов* (импульсов), так как образуемая на их выходах последовательность двоичных чисел часто используется в цифровых системах как последовательность сигналов, управляющих работой других узлов. Число состояний генератора называется *длиной последовательности чисел* L_n , которая определяется как число тактов машинного времени (периодов синхросигналов), после которого последовательность чисел на выходе генератора повторяется. По своей структуре генераторы чисел близки либо к счетчикам, либо к регистрам.

Генераторы на основе счетчиков. Любой счетчик можно рассматривать как генератор определенной последовательности чисел, имеющей $L_n=K_c$. Например, счетчик с модулем счета $K_c=8$ (см. рис. 5.11,а) является генератором последовательности чисел 0—1—2—3—4—5—6—7. Пример структурного проектирования генераторов кодов этого типа с помощью словарного метода дан в § 5.1. Аналогично можно получить структуры генераторов любой последовательности чисел. При этом требуемое число разрядов (триггеров) равно числу двоичных разрядов m в генерируе-

мых числах. Если $m > \log_2 L_n$, то для уменьшения числа используемых триггеров структура генераторов несколько изменится. В этом случае генератор целесообразно строить в виде соединения счетчика с модулем счета $K_c = L_n$ и подключенной к его выходом ВКС (см. рис. 5.1,а), реализующей требуемые значения двоичных чисел.

В качестве примера рассмотрим генератор чисел 3—2—12—8, временная диаграмма работы которого дана на рис. 5.16,а. Так как $L_n = 4$, то в качестве основы генератора используем двухрядный параллельный счетчик с модулем $K_c = 4$, на выходах Q_0, Q_1 , которого образуется последовательность чисел 0—1—2—3. Подключив к выходам счетчика ВКС, выполняющую преобразование кодов в соответствии с табл. 5.7, получим структуру генератора (рис. 5.16,б), образующего заданную последовательность чисел. Проектирование такого генератора по описанной в § 5.1 методике без ВКС потребовало бы применения четырех JK-триггеров. В результате потребляемая генератором мощность и занимаемая на кристалле площадь возросли бы в 2 раза.

Генераторы на основе сдвиговых регистров. Таким способом можно реализовать генераторы циклических последовательностей

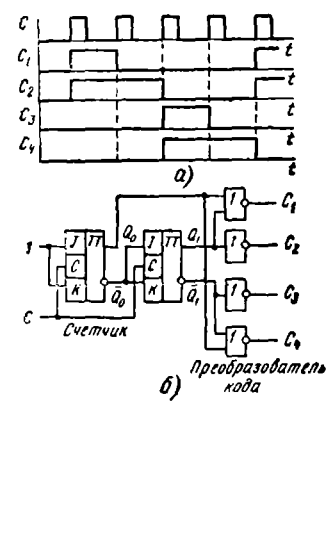


Рис. 5.16. Временные диаграммы (а) и логическая схема (б) генератора кодов 0011—0010—1100—1000—....

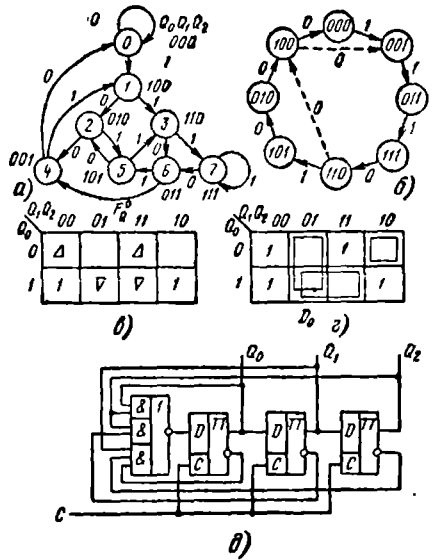


Рис. 5.17. Проектирование генератора кодов на основе сдвигового регистра: а — возможные графы переходов трехрядного регистра; б — граф переходов генератора кодов 000—001—011—111—110—101—010—100—....; в — карты функции F_{00} ; г — карты Карно функции D_0 ; д — логическая схема

Таблица 5.7

Таблица истинности преобразователя кодов 0—1—2—3 в 3—2—12—8

q_1	q_0	c_4	c_3	c_2	c_1	q_1	q_0	c_4	c_3	c_2	c_1
0	1	0	0	1	1	1	1	1	1	1	1
0	0	0	0	0	0	1	0	0	1	0	0

чисел¹, в которых каждое последующее число образуется путем сдвига предыдущего числа, записанного в регистре, на один разряд и введенном в освободившийся первый разряд 0 или 1. Для этого ко входу первого разряда регистра подключается комбинационная схема, образующая необходимый управляющий сигнал Z_0 . Например, регистр (кольцевой счетчик) на рис. 5.10,а генерирует циклическую последовательность 0—1—3—7—6—4.

Если имеется m -разрядный сдвиговый регистр, то можно генерировать циклические последовательности длиной $L_n \leq 2^m$. На рис. 5.17,а приведен граф состояний трехразрядного регистра со сдвигом вправо, где показаны все возможные переходы при вводе в первый разряд значений $Z_0=0$ или 1. Как видно из рис. 5.17,а имеется значительное число возможных последовательностей чисел, реализуемых с помощью регистра. Одной из этих последовательностей 0—1—3—7—6—5—2—4 соответствуют граф состояний на рис. 5.17,б и таблица состояний 5.8. Граф состояний содержит ту же информацию, что и таблица, но отличается большей наглядностью. Рассмотрим методику структурного проектирования генераторов этого типа на примере реализации данной последовательности. При этом выполняются следующие этапы разработки.

1. Составление карты функции переходов F_{Q_0} для первого разряда регистра производится на основе графа или таблицы состояний. Для рассматриваемого примера карта функции F_{Q_0} , полученная непосредственно из графа на рис. 5.17,б, приведена на рис. 5.17,в.

Таблица 5.8

Таблица состояний генератора кодов 0—1—3—7—6—5—2—4

Номер состояния	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	F_{Q_0}
0	0	0	0	0	0	1	Δ
1	0	0	1	0	1	1	1
3	0	1	1	1	1	1	1
7	1	1	1	1	1	0	∇
6	1	1	0	1	0	1	Δ
5	1	0	1	0	1	0	∇
2	0	1	0	1	0	0	0
4	1	0	0	0	0	0	0

¹ Такие генераторы называются *кольцевыми*.

II. Получение и минимизация функций входов триггера в первом разряде регистра производится, как описано в § 5.1, с помощью словаря переходов (см. табл. 5.2) для выбранного типа триггеров. Обычно в сдвиговых регистрах используются D -триггеры, поэтому для проектируемого генератора получаем карту Карно для функций $Z_0 = D_0$, показанную на рис. 5.17,г. После минимизации

$$Z_0 = D_0 = \bar{Q}_0 \bar{Q}_2 \vee Q_1 \bar{Q}_2 \vee \bar{Q}_0 Q_1 Q_2 = \overline{Q_0 Q_2 \vee \bar{Q}_1 Q_2 \vee \bar{Q}_0 Q_1 \bar{Q}_2}.$$

III. Составление логической схемы генератора выполняется построением управляющей комбинационной схемы, реализующей полученные на этапе II функции входов (управляющие функции F_Y), и ее подключением ко входу первого разряда сдвигового регистра, содержащего $m = \log_2 L_n$ разрядов. При использовании элемента И—ИЛИ—НЕ получаем структуру проектируемого генератора (рис. 5.17,д).

Для получения циклических последовательностей длиной $L_n < 2^m$ из графа исключают часть состояний. Например, последовательность 1—3—7—6—4 можно получить, исключив состояния $Q_2 Q_1 Q_0 = 000, 001, 010$ из графа на рис. 5.17,б. Используя описанную методику, получаем, что данная последовательность образуется, если управляющая комбинационная схема реализует функцию $Z_0 = D_0 = \overline{Q_1 Q_2}$. Кольцевые генераторы часто используются для получения числовых последовательностей максимальной длины. В качестве примера на рис. 5.18 показана схема генератора с УКС, реализующей функцию $Z_0 = Q_3 \oplus Q_2$, который формирует последовательность из 15 четырехразрядных чисел. Порядок их появления 8—4—2—9—12—6—3—5—2—13—14—15—7—3—2 можно считать случайным, а повторение чисел происходит через $2^m - 1$ тактов, где m — число разрядов регистра. Поэтому такие схемы называют генераторами псевдослучайных последовательностей. Сдвиговый регистр может обеспечить формирование нескольких псевдослучайных последовательностей максимальной длины $L_n = 2^m - 1$. Например, четырехразрядный регистр (см. рис. 5.18) генерирует четыре различные последовательности длиной $L_n = 15$ при $Z_0 = Q_3 \oplus Q_2$, $Z_1 = Q_3 \sim Q_2$, $Z_2 = Q_3 \oplus Q_0$, $Z_4 = Q_3 \sim Q_0$. Запуск ге-

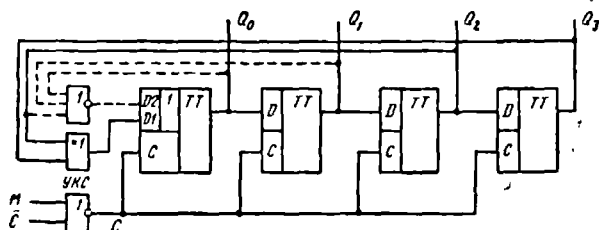


Рис. 5.18. Схема генератора псевдослучайной последовательности кодов

нератора производится сигнал $M=1$, разрешающим поступление синхросигналов на входы регистра.

В генерируемую последовательность не входит число $Q_3Q_2Q_1Q_0=0000$, так как генератор, попав в это состояние, прекращает формирование других чисел и далее вырабатывает только код $0000 \rightarrow 0000 \dots$. Чтобы избежать прекращения генерации при попадании схемы в это состояние, включают дополнительную схему (штриховые линии на рис. 5.18), которая обеспечивает значение $Z_0=1$ при $Q_3Q_2Q_1Q_0=0000$:

$$Z_0 = Q_3 \oplus Q_2 \vee \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0 = Q_3 \oplus Q_2 \vee \bar{Q}_2 \bar{Q}_1 \bar{Q}_0.$$

При увеличении m длина псевдослучайных последовательностей быстро возрастает. Например, 10-разрядный регистр формирует последовательность длиной $L_n=1023$ при $Z_0=Q_9 \oplus Q_6$, 16-разрядный — последовательность с $L_n=65535$ при $Z_0=Q_{15} \oplus Q_{14} \oplus Q_{12} \oplus Q_3$. При $m=20$ количество чисел в последовательности превышает 10^6 . Генераторы, имеющие $m>10$, широко используются в цифровой аппаратуре для формирования множества тестовых сигналов, необходимых для контроля и диагностики неисправностей.

На основе сдвиговых регистров относительно просто получают управляемые генераторы, образующие различные последовательности кодов в зависимости от комбинации внешних управляющих сигналов M . При разработке структуры таких генераторов сначала по описанной выше методике определяются функции Z_i управляющей комбинационной схемы, необходимые для получения всех k заданных последовательностей ($0 \leq i \leq k-1$). Затем по методике, описанной в § 5.3, образуется обобщенная управляющая функция $Z=f(Z_0, \dots, Z_{k-1}, M)=f(Q_0, \dots, Q_{m-1}, M)$. После минимизации функции Z строится реализующая УКС, которая при заданной комбинации внешних сигналов M будет давать на выходе ту или иную управляющую функцию Z_i , необходимую для формирования требуемой последовательности чисел.

При другом способе построения управляемых генераторов кодов на входе сдвигового регистра включается мультиплексор (см. § 3.3). На информационные входы мультиплексора поступают требуемые функции Z_0, \dots, Z_{k-1} , каждая из которых образуется соответствующей комбинационной схемой, а на адресные входы — внешние управляющие сигналы M , определяющие выбор функции Z_i , необходимой для формирования требуемой последовательности.

Достоинством генераторов данного типа является использование сдвигового регистра, построенного из однотипных триггеров, благодаря чему существенно упрощается топологическое проектирование генератора и уменьшается требуемая площадь кристалла. Значительным преимуществом является также простота построения управляемых генераторов. Однако генераторы на основе регистров образуют только циклические последовательности чисел. Для реализации любых нециклических последовательностей требуется использовать дополнительный комбинационный преоб-

разователь кодов, включаемый на выходе генератора. При этом основные параметры генератора (быстродействие, мощность, площадь кристалла) несколько ухудшаются.

Генераторы кодов широко используются в устройствах управления, где они формируют последовательности сигналов, управляющие работой различных узлов и блоков цифровых систем. При этом каждый из генерируемых кодов представляет собой *микрокоманду*, которая вызывает выполнение определенных микроопераций узлами и блоками системы. Последовательность кодов обеспечивает выполнение ряда микроопераций, которые в совокупности производят определенную процедуру преобразования двоичной информации. *Управляемые генераторы кодов* (УГК) обеспечивают реализацию определенного набора процедур, каждая из которых выполняется при подаче определенных управляющих сигналов M , которые образуют команду, вызывающую формирование соответствующей последовательности микрокоманд. Таким образом, на базе УГК можно реализовать устройство управления (УУ) цифровой системой (см. § 1.5). Такие УУ называются *аппаратно-реализованными*¹. Они обеспечивают поочередное выполнение последовательности команд — программы, поступающей из ЗУ или от внешних устройств, например с пульта оператора.

Если алгоритм функционирования системы представить в виде последовательности выполняемых микроопераций, то ее УУ можно построить на базе обычного генератора кодов — микрокоманд. Такое УУ, реализующее фиксированный алгоритм управления, называется *контроллером* (или микроконтроллером) с *жесткой логикой управления*. Эти контроллеры используются для реализации относительно несложных алгоритмов управления, так как иначе схема генератора кодов оказывается слишком громоздкой. Для выполнения более сложных алгоритмов чаще используется *программное управление* (см. § 1.5), которое можно обеспечить с помощью аппаратно-реализованного УУ на базе УГК.

5.5. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ НА ДИНАМИЧЕСКИХ ЭЛЕМЕНТАХ

Как показано в гл. 4, динамические элементы реализуют логические операции И—НЕ, ИЛИ—НЕ, И—ИЛИ—НЕ, а также выполняют функции D -триггера. Поэтому структурное проектирование динамических узлов выполняется в две стадии. На первой стадии получаем логическую схему проектируемого узла на элементах И—НЕ, ИЛИ—НЕ, И—ИЛИ—НЕ и D -триггерах с помощью методов, описанных в § 3.1 и 5.2. На второй стадии сначала производится выбор типа динамических элементов, а затем полученная логическая схема преобразуется к виду, реализованному на выбранных динамических элементах.

¹ Другой вариант реализации УУ-микропрограммный рассмотрим в § 7.4.

Выбор типа динамического элемента производится с учетом требований, предъявляемых к проектируемой микросхеме. При проектировании относительно несложных микросхем, содержащих сотни элементов, обычно применяют двухфазные элементы «без отношения», которые имеют более простую систему синхронизации, чем четырехфазные. Для реализации сложных микросхем, содержащих тысячи и более элементов, часто используют четырехфазные элементы, которые обеспечивают более высокое быстродействие.

При проектировании дешифраторов, сумматоров и других узлов, описанных в гл. 3, каждый элемент И—НЕ, ИЛИ—НЕ, И—ИЛИ—НЕ в исходной логической схеме заменяется соответствующим динамическим элементом, а затем осуществляется необходимая синхронизация элементов путем их подключения к шинам C_1 , C_2 и т. д. Так как динамические элементы обладают свойством памяти, то реализуемые на них узлы являются последовательностными. Если, например, построить на этих элементах узел, выполняющий функции дешифратора или сумматора, то этот узел сохраняет в течение времени t_{xp} значение выходной функции, т. е. будет обладать динамической памятью. Такой узел эквивалентен соответствующему комбинационному узлу, к выходам которого подключен регистр хранения.

В качестве примера рассмотрим реализацию дешифратора «из 2 в 4», исходная логическая схема которого показана на рис. 5.19, а. При реализации на двухфазных динамических элементах «без отношения» (рис. 5.19, б) последовательно соединенные каскады элементов синхронизируются чередующимися последова-

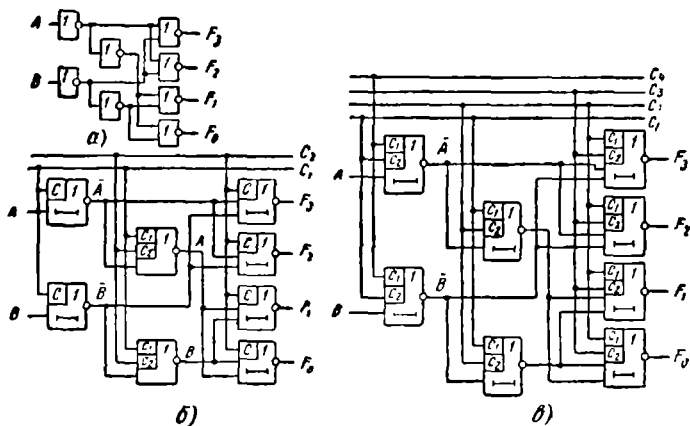


Рис. 5.19. Реализация динамического дешифратора:

а — исходная схема; б — схема дешифратора на двухфазных элементах; в — схема дешифратора на четырехфазных элементах

тельностью синхриимпульсов C_1, C_2 . Если же на вход элемента поступают сигналы с выходов двух предыдущих каскадов (A и \bar{A}, B и \bar{B} на рис. 5.19,а), то один из каскадов следует реализовать на динамических элементах «без задержки» (см. рис. 4.33,а). При этом будет обеспечиваться синхронность поступления сигналов с выходов этих каскадов на вход последующих элементов, что необходимо для нормального функционирования узла. Пример такого применения элементов «без задержки» показан на рис. 5.19,б. Данный дешифратор имеет время образования выходных функций (переключения) $t_n = T_c$. Дешифратор содержит столько же динамических элементов, сколько статических элементов в исходной схеме (см. рис. 5.12,а), и обеспечивает приблизительно такое же быстродействие. Однако динамический дешифратор имеет существенно меньшую потребляемую мощность и обладает способностью хранения результатов дешифрации.

При реализации функциональных узлов на четырехфазных динамических элементах последовательно соединенные элементы подключаются к цепям синхронизации так, как показано на рис. 5.20,а. Соответствующие временные диаграммы (рис. 5.20,б) показывают, что при таком включении выполняются функции син-

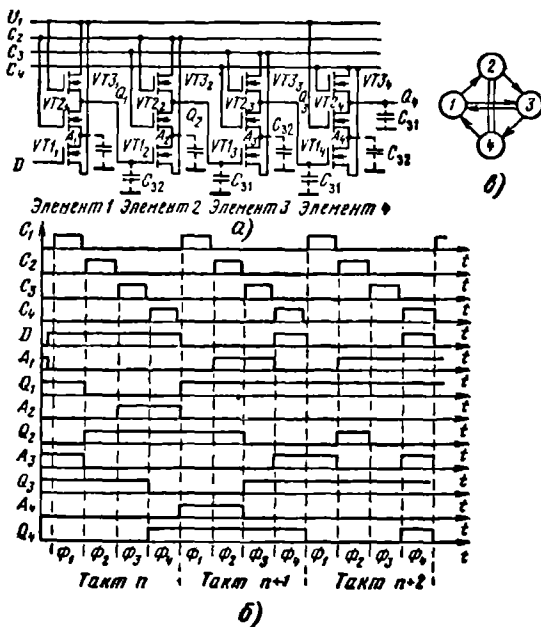


Рис. 5.20. Последовательное соединение четырехфазных элементов (а), временные диаграммы их работы (б) и граф управления (в)

хронизируемого фронтом D -триггера. Так как при параллельно-последовательном включении управляющих транзисторов каждый из элементов реализует операцию И—ИЛИ—НЕ, то за один период синхронизации (такт) может выполняться четыре такие операции, а время выполнения одной операции $t_3 = T_c/4$. В течение такта каждый элемент одну фазу синхронизации работает в режиме заряда, когда соответствующий синхросигнал открывает транзистор VT_3 , и емкость C_{31} на выходе элемента заряжается до высокого уровня $Q_i = 1$. Во время следующей фазы элемент работает в режиме переключения. Когда транзистор VT_3 закрыт, транзистор VT_2 открывается при поступлении синхросигнала на его затвор и на выходе элемента устанавливается уровень Q_i , определяемый значением сигнала на затворе транзистора VT_1 . Во время двух последующих фаз элемент работает в режиме хранения, когда сохраняется ранее установленный уровень Q_i . Последовательность режимов работы элементов дана в табл. 5.9, где номер элемента i соответствует номеру синхросигнала C_i , обеспечивающего предварительный заряд емкости C_{31} на выходе элемента. В каждой фазе происходит переключение одного из элементов, т. е. реализуется одна логическая операция во избежание сбоев. Элемент, от которого поступает переключающий сигнал, должен в этой фазе работать в режиме хранения.

Согласно табл. 5.9 с выхода элемента i можно подавать переключающие сигналы только на входы элементов $i+1$ и $i+2$. Данное условие можно представить в виде графа управления¹ (рис. 5.20, в), где стрелками показаны допустимые варианты подачи переключающих сигналов между динамическими элементами с различными номерами (т. е. различным способом подключения к цепям синхронизации).

На рис. 5.19, в показана схема дешифратора на четырехфазных динамических элементах, соединенных в соответствии с графом управления (рис. 5.20, в). Для реализации выходных функций в дешифраторе требуется прохождение трех фаз (Φ_1, Φ_2, Φ_3), поэтому время переключения $t_n = 3T_c/4$.

При проектировании динамических регистров, счетчиков, генераторов кодов с помощью словарного метода (см. § 5.1) полу-

Таблица 5.9

Последовательность режимов работы элементов на рис. 5.20

Номер элемента	Φ_1	Φ_2	Φ_3	Φ_4
1	Заряд	Переключение	Хранение	Хранение
2	Хранение	Заряд	Переключение	Хранение
3	Хранение	Хранение	Заряд	Переключение
4	Переключение	Хранение	Хранение	Заряд

¹ Возможны также другие варианты подключения цепей синхронизации в соответствии с другими видами графов управления [22].

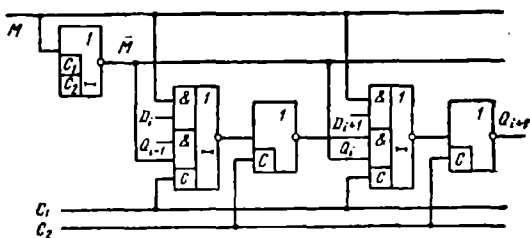


Рис: 5.21. Схема универсального двухфазного динамического регистра

чают логическую схему узла на синхронизируемых фронтом D -триггерах с однофазным выходом и элементах И—НЕ, ИЛИ—НЕ, И—ИЛИ—НЕ, образующих комбинационные схемы для реализации необходимых входных функций. Комбинационные схемы должны иметь четное число последовательно включенных каскадов. Затем логические элементы в комбинационных схемах заменяются двух- или четырехфазными динамическими элементами, к которым подключаются цепи синхронизации, как описано выше. Так как два или любое четное число последовательно соединенных динамических элементов работают как синхронизируемый фронтом D -триггер (см. § 4.1 и 4.2), то полученная структура функционирует как последовательностный узел заданного типа без введения дополнительных D -триггеров. Если же исходная структура содержит только D -триггеры (без логических элементов на входах), то они заменяются динамическими D -триггерами.

В качестве примера на рис. 5.21 показана реализация двух разрядов комбинированного регистра на двухфазных динамических элементах. Для согласования фаз сигналов M и \bar{M} в качестве инвертора используется динамический элемент «без задержки» (см. рис. 4.33). Аналогичная схема на статических триггерах (рис. 5.19,а) содержит в каждом разряде элемент И—ИЛИ—НЕ и триггер, который можно построить на четырех таких элементах. Так как число компонентов в динамическом элементе приблизительно такое же, как в статическом ЛЭ, то площадь кристалла, занимаемая динамическим регистром, в 2...3 раза меньше, чем площадь статического регистра.

По аналогичной методике выполняется схемотехническое проектирование разнообразных динамических функциональных узлов, выпускаемых в виде отдельных микросхем или входящих в состав БИС и СБИС.

КОНТРОЛЬНЫЕ ВОПРОСЫ И УПРАЖНЕНИЯ

1. Постройте временные диаграммы, иллюстрирующие функционирование декадного счетчика (рис. 5.8,в).

2. Проанализируйте функционирование счетчика (см. рис. 5.9,а) при $K_c=11$ в случае его попадания в нештатные состояния $S_{12}-S_{15}$.

3. Синтезируйте схему параллельного счетчика с $K_c=13$ с автоматическим сбросом из нештатных состояний в $S_0=0000$ на базе: а) JK -триггеров; б) D -триггеров. Сравните полученные схемы по быстродействию и потребляемой мощности.

4. Синтезируйте схему параллельного декадного счетчика на триггерах с представлением чисел в коде «с избытком 3» (табл. 1.2). Предусмотрите сброс счетчика из нештатных состояний в состояние $S_0=0000$ с помощью асинхронных входов R_a . Оцените длительность возникающих при этом на выходах ложных сигналов.

5. Синтезируйте на JK -триггерах параллельный счетчик с $K_c=16$, представляющий числа в коде Грея (см. табл. 1.1). Постройте временные диаграммы, иллюстрирующие его функционирование.

6. Спроектируйте последовательный счетчик с $K_c=27$ на JK -триггерах. Синтезируйте схему сброса счетчика из нештатных состояний в состояние S_0 с помощью асинхронных входов R_a .

7. Спроектируйте кольцевой счетчик с $K_c=9$ на D -триггерах. Определите нештатные состояния, проанализировав его функционирование при попадании в эти состояния. Синтезируйте ВКС, обеспечивающую представление чисел на выходе в двоичном коде. Постройте временные диаграммы, иллюстрирующие функционирование счетчика с ВКС.

8. Спроектируйте генератор кодов 1—5—8—11—3—4—13—0—14 на базе: а) счетчика на JK -триггерах; б) сдвигового регистра на D -триггерах. Постройте временные диаграммы синтезированных генераторов, сравните их по быстродействию и потребляемой мощности.

9. Спроектируйте генератор кодов 0—2—3—7—2—5 на базе счетчика, реализованного на: а) JK -триггерах; б) D -триггерах. Сравните полученные схемы по быстродействию и потребляемой мощности. Проанализируйте поведение генератора при попадании в нештатные состояния. Синтезируйте схему, обеспечивающую асинхронный сброс генератора из нештатных состояний в состояние S_0 .

10. Спроектируйте на JK -триггерах генератор четырехфазных последовательностей импульсов $C_1-C_2-C_3-C_4$ для синхронизации динамических элементов на МДП-транзисторах (рис. 5.20,б).

11. Найдите последовательность чисел, генерируемых четырехразрядным кольцевым генератором (рис. 5.18), в котором УКС выполняет функции: а) $Z_1=Q_3 \sim Q_2$; б) $Z_2=Q_3 \oplus Q_0$.

12. Спроектируйте схему одноразрядного сумматора на динамических элементах: а) двухфазных; б) четырехфазных. Постройте временные диаграммы, иллюстрирующие функционирование сумматоров.

Одной из основных функциональных частей цифровых систем является запоминающее устройство (ЗУ), которое служит для приема, хранения и выдачи информации (см. § 1.5) и характеризуется числом единиц (бит) хранимой информации. Требования к объему памяти ЗУ определяются структурой и функциональным назначением цифровых систем и поэтому меняются в весьма широких пределах. Например, для микро-ЭВМ объем памяти составляет десятки и сотни килобит (1К бит = $2^{10} = 1024$ бит), а для больших вычислительных комплексов требуемый объем памяти достигает $10^{10} \dots 10^{11}$ бит. Следует отметить, что увеличение объема памяти расширяет функциональные возможности цифровых систем, поэтому развитие вычислительной техники требует непрерывного роста объема ЗУ.

Однако при увеличении объема памяти возрастает время записи информации в ЗУ и ее выдачи, что приводит к снижению производительности цифровых систем. Чтобы избежать этого, в системах с большим объемом памяти применяется иерархическая структура ЗУ. При этом в систему включается несколько видов ЗУ разного объема и быстродействия, информация между которыми распределяется в зависимости от частоты ее использования при вычислениях. Информация, подлежащая текущей переработке, заносится в быстродействующее ЗУ с относительно небольшим объемом. Основной массив информации, ожидающий обработки, хранится в ЗУ большой емкости с более низким быстродействием.

В цифровых системах используются *внешние* и *внутренние* ЗУ. Внешнее ЗУ служит для хранения больших объемов информации: массивов данных и программного обеспечения системы. Их емкость для различных систем составляет $10^7 \dots 10^{11}$ бит. В таких ЗУ в настоящее время используются магнитные носители информации: магнитные ленты, жесткие или гибкие магнитные диски, включенные в соответствующую электромеханическую аппаратуру (магнитофоны, дисководы). Они подключаются к цифровой системе через интерфейсные устройства (см. § 1.5). Достоинством магнитных носителей является сохранение информации при отключении питания. Однако такие внешние ЗУ довольно громоздки и имеют большие времена записи-считывания (0,01 ... 10 с). Перспективы микроминиатюризации и повышения быстродействия ЗУ большого объема связаны с разработками микросхем памяти емкостью $10^6 \dots 10^7$ бит на цилиндрических магнитных доменах (ЦМД) и созданием оптической (голографической) памяти.

Из внешних ЗУ отдельные массивы информации, подлежащие текущей обработке, поступают во внутренние ЗУ, которые служат также для хранения программы, управляющей процессом обработки. Чтобы обеспечить высокую производительность системы, быстродействие внутренних ЗУ должно быть близким к быстро-

действию операционного и управляющего устройств. Так как последние выполняются на современных цифровых микросхемах, имеющих высокое быстродействие, то внутренние ЗУ реализуются на полупроводниковых микросхемах памяти, обеспечивающих достаточно малые времена записи-считывания (от единиц до сотен наносекунд).

6.1. КЛАССИФИКАЦИЯ И ОСНОВНЫЕ ПАРАМЕТРЫ МИКРОСХЕМ ПАМЯТИ

По выполняемым функциям внутренние ЗУ делятся на оперативные и постоянные. *Оперативные ЗУ (ОЗУ)* выполняют запись, хранение и считывание произвольной двоичной информации. *Постоянные ЗУ (ПЗУ)* осуществляют хранение и выдачу постоянно записанной информации, содержание которой в ходе работы системы не изменяется. Информация представляется в виде двоичных чисел, каждое из которых хранится в отдельной ячейке памяти (ЯП).

Оперативное ЗУ является основным устройством памяти цифровых систем, в котором хранятся программы, определяющие процесс текущей обработки информации, и массив обрабатываемых данных. В зависимости от назначения и структуры системы ОЗУ имеют емкость $10^2 \dots 10^8$ бит. Если быстродействие ОЗУ не обеспечивает требуемой производительности системы, то дополнительно вводится *сверхоперативное ЗУ*, быстродействие которого должно соответствовать скорости работы основных функциональных блоков системы.

Применение ПЗУ увеличивает логические возможности, повышает быстродействие и надежность ЭВМ, уменьшает емкость ОЗУ. ПЗУ служат для хранения информации, содержание которой не изменяется в ходе работы системы. Это используемые в процессе работы стандартные подпрограммы и микропрограммы, табличные значения различных функций, константы и др. Если необходимо периодически менять информацию в ПЗУ, то используются *репрограммируемые ПЗУ (РПЗУ)*. Объем ПЗУ обычно составляет от 10^2 до 10^6 бит, причем оно должно сохранять информацию при отключении питания.

В современных цифровых системах ОЗУ и ПЗУ строятся из специализированных микросхем памяти. Сверхоперативные ЗУ обычно состоят из регистров хранения, которые объединяются в соответствующий функциональный блок (см. § 7.3).

В состав микросхем ОЗУ и ПЗУ входят накопитель информации и схемы обслуживания. Накопитель содержит множество элементов памяти (ЭП), каждый из которых хранит один разряд записанного двоичного числа. Схемы обслуживания обеспечивают выбор определенных ЭП и выполнение в них записи или считывания информации. В БИС памяти накопитель занимает до 80...90% площади кристалла, схемы обслуживания — 10...20%.

Каждая ячейка памяти ЗУ содержит ЭП, число которых рав-

но разрядности хранящихся чисел. При этом ЭП, входящие в ячейку, могут размещаться на одной или нескольких микросхемах памяти.

Микросхемы памяти реализуются на различной элементной базе. В накопителе используются ЭП со статическим или динамическим хранением информации. Статические ЭП строятся на основе простейших бистабильных ячеек (см. § 4.2), которые реализуются на элементах ТТЛ, ЭСЛ, КМДПТЛ и др., модифицированных с учетом специфики построения ЗУ. В динамических ЭП используются накопительные емкости, а в качестве ключевых элементов — МДП-транзисторы. В схемах обслуживания используются различные типы ЛЭ, которые обеспечивают согласование микросхем памяти по логическим уровням U^0 , U^1 и порогу переключения с другими типами цифровых микросхем. В состав схем обслуживания включаются усилительные каскады для усиления малых сигналов, считываемых с ЭП.

По способу записи-считывания информации устройства памяти подразделяются на ЗУ с произвольной и последовательной выборкой. В ЗУ с *произвольной выборкой* можно в произвольный момент времени выполнить запись или считывание информации в любой ячейке памяти (ЯП). В ЗУ с *последовательной выборкой* содержимое каждой ЯП может записываться или считываться только через определенные периоды времени T_0 , называемые *периодом обращения*. Период T_0 делится на отдельные такты, число которых равно числу ЯП. За время каждого такта происходит считывание одной ЯП. Аналогично производится запись информации в отдельные ЯП, последовательно подключаемые ко входам записи. Таким образом, информация в ЯП меняется с периодом T_0/N_n , где N_n — число ЯП. Время записи или считывания информации для различных ЯП может составлять от 0 до T_0 в зависимости от того, в каком такте поступает сигнал выборки. Поэтому ЗУ с последовательной выборкой имеют меньшее быстродействие, чем ЗУ с произвольной выборкой.

Последовательная выборка осуществляется во внешних ЗУ, в которых магнитный носитель (лента или диск) перемещается относительно головки, выполняющей запись или считывание информации в отдельных областях ферромагнитного материала, служащих в качестве ЯП. При этом под головкой последовательно проходят все ЯП, а время выборки заданной ячейки определяется ее начальным положением и скоростью перемещения носителя.

Внутренние ЗУ с последовательной выборкой реализуются на кольцевых сдвиговых регистрах, построенных на статических D -триггерах или динамических элементах (см. § 5.2 и 5.5). В таких регистрах записанная информация непрерывно циркулирует с периодом обращения $T_0 = N_n/f_c$, где N_n — число разрядов регистров (ЭП); f_c — частота синхросигналов. Ввод (запись) информации в ЗУ и ее вывод (считывание) производятся в одном из разрядов регистра.

В микросхемах памяти обычно реализуется произвольная выборка.

Основными параметрами микросхем памяти являются информационная емкость, быстродействие и потребляемая мощность. Информационная емкость $N_{\text{и}}$ — максимальный объем хранимой информации, определяется числом ЭП и непрерывно возрастает с повышением степени интеграции. В настоящее время емкость выпускаемых микросхем памяти достигает 10^6 бит = 1М бит.

В зависимости от структуры микросхем памяти организация выборки в них может быть *поразрядной*, когда осуществляется выборка только одного ЭП, или *словарной*, когда одновременно выбирается k -разрядное число (слово), хранящееся в нескольких ЭП (обычно $k=4$ или 8). Например, микросхема памяти емкостью 4096 бит = 4К бит может иметь организацию 4096×1 , 1024×4 , 512×8 , 256×16 бит и т. д.

Для оценки быстродействия микросхем памяти чаще всего пользуются следующими параметрами: *время выборки* $t_{\text{в}}$ — интервал времени между моментом подачи сигнала выборки и появлением информации на выходе микросхемы памяти; *время цикла*¹ записи-считывания $t_{\text{ц}}$ — минимально допустимое время между подачей сигнала выборки при записи и сигнала выборки для следующей операции считывания.

Потребляемая мощность для ряда типов микросхем памяти существенно зависит от режима их работы. В режиме хранения мощность ЭП может снижаться до минимального уровня, достаточного для сохранения в них информации, а схемы обслуживания отключаются от источника питания. В режиме выборки включаются схемы обслуживания, а мощность выбираемых ЭП часто увеличивают, чтобы обеспечить малые значения $t_{\text{в}}$ и $t_{\text{ц}}$. В результате мощность, потребляемая в режиме хранения ($P_{\text{хр}}$), оказывается существенно меньше мощности в режиме выборки ($P_{\text{в}}$). Соотношение $P_{\text{хр}} \ll P_{\text{в}}$ выполняется также для микросхем памяти, реализованных на элементах КМДПТЛ. Применение таких микросхем в цифровых системах обеспечивает значительную экономию мощности.

Остальные параметры микросхем памяти — логические уровни U^0 , U^1 , помехоустойчивость, коэффициент разветвления на выходе — определяются так же, как для других типов цифровых микросхем.

Значения всех параметров определяются выбором элементной базы, используемой в законителе и схемах обслуживания. Наибольшее быстродействие обеспечивают микросхемы памяти, реализованные на биполярных транзисторах. Однако они потребляют значительно большую мощность, чем микросхемы памяти на КМДП-транзисторах, и имеют в несколько раз меньшую информационную емкость, чем динамические микросхемы на МДП-транзисторах. Поэтому выбор элементной базы производится с учетом конкретных требований к $N_{\text{и}}$, $t_{\text{в}}$, $t_{\text{ц}}$, $P_{\text{хр}}$, $P_{\text{в}}$ проектируе-

¹ Этот параметр не используется для ПЗУ, в которых запись информации не выполняется.

мой микросхемы памяти. В ряде случаев для удовлетворения поставленных требований целесообразно использовать различные типы элементов в накопителе и схемах обслуживания (комбинированная элементная база).

6.2. СТРУКТУРА МИКРОСХЕМ ПАМЯТИ

Типовая структура микросхем памяти с произвольной выборкой показана на рис. 6.1. Накопитель представляет собой прямоугольную матрицу ЭП, содержащую n_x строк и n_y столбцов. Таким образом, емкость накопителя $N_n = n_x n_y$. Каждый ЭП подключен к адресным (АШ) и разрядным (РШ) шинам. Выбор необходимого ЭП осуществляется путем подачи определенной комбинации адресных переменных (A_{m-1}, \dots, A_1, A_0). Адресные дешифраторы строк (ДШ_х) и столбцов (ДШ_у) формируют сигналы выборки на соответствующих АШ, которые определяют строку и столбец накопителя, в которых расположен выбираемый ЭП. Таким образом, m адресных входов позволяют выбирать один из $N_n = 2^m$ элементов памяти. При большой емкости $N_n \geq 16K$ бит накопитель для удобства размещения на кристалле делится на несколько секций (2, 4 или более), которые адресуются отдельными дешифраторами.

В качестве ДШ_х, ДШ_у используются полные дешифраторы (см. § 3.2). На их входах включаются каскады инверторов-повторителей, выполняющих функции входных трансляторов. Выходные каскады дешифратора ДШ_х используются в качестве адресных формирователей, обеспечивающих на АШ_х уровни U^0_A, U^1_A , необходимые для выборки ЭП накопителя. Эти каскады должны также иметь высокую нагрузочную способность, так как к выходу каждого из них подключены n_y элементов памяти и длинная

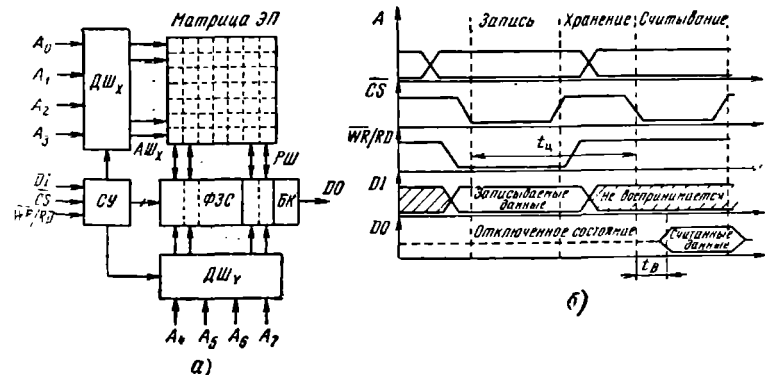


Рис. 6.1. Общая структура (а) и временные диаграммы (б) микросхемы памяти с произвольной выборкой

АШ, проходящая через весь накопитель. На входы ДШ_х поступают m_x адресных переменных, выбирающих одну из $n_x = 2^{m_x}$ строк накопителя.

Запись или считывание информации в выбранном ЭП осуществляется с помощью n_x формирователей сигналов записи-считывания (ФЗС), каждый из которых подключается к РШ одного из столбцов накопителя. Выходные сигналы дешифратора ДШ, определяющие столбец, в котором производится выборка ЭП, поступают по АШ на ФЗС, разрешая работу одного из них в режиме записи или считывания. В режиме записи выбранный ФЗС формирует на подключенный к нему РШ сигнал, устанавливающий ЭП, расположенный в строке, на которую подан сигнал выборки с выхода ДШ_х, в состояние $Q=0$ или 1, в зависимости от потенциала (U^0 или U^1), поступающего на вход данных DI (DATA INPUT). В режиме считывания соответствующий ФЗС воспринимает сигнал, поступающий на РШ от выбранного ЭП. Этот сигнал, указывающий состояние ЭП ($Q=0$ или 1), усиливается ФЗС и передается на выход данных DO (DATA OUTPUT) через буферный каскад (БК), в качестве которого обычно используются каскады с открытым коллектором (стоком для МЛП-микросхем) или с тремя состояниями (см. гл. 2). В микросхемах памяти на элементах ЭСЛ в качестве выходного БК служит эмиттерный повторитель. БК обеспечивает на выходе DO такие же значения уровней U^0, U^2 , как и имеют цифровые микросхемы ТТЛ, ЭСЛ или КМДПТЛ.

Режим работы микросхемы определяется сигналами выбора микросхемы \overline{CS} (CHIP SELECT) и записи-считывания $\overline{WR/RD}$ (WRITE/READ). При подаче низкого потенциала на вход выбора $\overline{CS}=0$ схема управления (СУ) разрешает формирование сигналов выборки на АШ_х. Если при этом сигнал на выход $\overline{WR/RD}=0$, то СУ формирует управляющий сигнал, при котором ФЗС обеспечивает запись в выбранной ЭП информации, поступающей на вход DI . Выход DO в этом случае находится в отключенном состоянии, т. е. выходные транзисторы закрыты. Если сигнал $\overline{WR/RD}=1$, то СУ переключает ФЗС в режим считывания, при котором информация из выбранного ЭП передается на выход DO . В данном случае состояние входа DI не влияет на работу микросхемы.

При $\overline{CS}=1$ микросхема находится в режиме хранения, т. е. состояние ЭП не меняется при любых сигналах на входах (A_{m-1}, \dots, A_0), DI , $\overline{WR/RD}$. Выход DO находится в отключенном состоянии.

В некоторых типах микросхем памяти имеется несколько входов CS : CS_1, CS_2, \dots . При этом выбор микросхемы производится при выполнении определенной логической функции, например $CS = CS_1 \overline{CS_2} = 1$.

Типовые временные диаграммы, иллюстрирующие работу микросхем памяти, показаны на рис. 6.1, б. Адресные сигналы A и сигнал \overline{WR}/RD обычно устанавливаются на входах микросхемы до поступления сигнала выбора. При $\overline{WR}/RD=0$ микросхема после подачи сигнала $\overline{CS}=0$ работает в режиме записи и выбранный ЭП устанавливается в состояние, соответствующее значению DI . При $\overline{CS}=1$ реализуется режим хранения записанной информации. Считывание производится при $\overline{WP}/RD=1$ после поступления сигнала выборки $\overline{CS}=0$.

Время выборки (относительно сигнала CS) при данной структуре микросхемы

$$t_b \approx t_{cy} + t_{дш} + t_{эп} + t_{зс}, \quad (6.1)$$

где t_{cy} , $t_{дш}$, $t_{эп}$, $t_{зс}$ — задержки переключения схемы управления, дешифратора адреса, ЭП и входящей в ФЗС схемы записи-считывания (вместе с БК). Время цикла

$$t_{ц} \approx t_{дш} + t_{эп} + t_{зс} + t_{вс}, \quad (6.2)$$

где $t_{вс}$ — время восстановления состояния, необходимое для перехода схем записи-считывания и связанных с ними РШ из состояния, обеспечивающего выборку, в состояние хранения.

Из выражений (6.1) и (6.2) следует, что быстродействие микросхем памяти в значительной степени определяется схемами обслуживания. Поэтому при проектировании микросхем памяти заданная общая мощность $P_n = P_n + P_o$ распределяется между накопителем (P_n) и схемами обслуживания (P_o) так, чтобы обеспечить минимальные значения t_b , $t_{ц}$.

Так как ДШ_X и ДШ_Y и ФЗС функционируют только в режиме выборки, то в режиме хранения их можно отключать от источника питания. При этом потребляемая мощность значительно снижается. После поступления сигнала выбора СУ вырабатывает управляющие сигналы, обеспечивающие подключение этих узлов к источнику питания, в результате чего мощность возрастает. Такая организация питания называется *активно-пассивной*. В режиме выборки необходимые схемы обслуживания и накопитель находятся в активном состоянии, потребляя мощность P_o , P_n , необходимую для обеспечения требуемого быстродействия. В режиме хранения накопитель и часть схем обслуживания переводятся в пассивное состояние с пониженной потребляемой мощностью P'_o , P'_n . Для этого обычно используются управляемые ИТ, включаемые в цепи питания. При этом ток питания накопителя снижается до минимального значения, при котором еще сохраняется записанная информация. Для ряда схем обслуживания токи питания могут быть снижены до нуля. Переключение токов ИТ осуществляется поступающими от СУ сигналами. В результате мощность $P'_o + P'_n$, потребляемая микросхемой в режиме хранения, оказывается в несколько раз меньше мощности $P_o + P_n$ в ре-

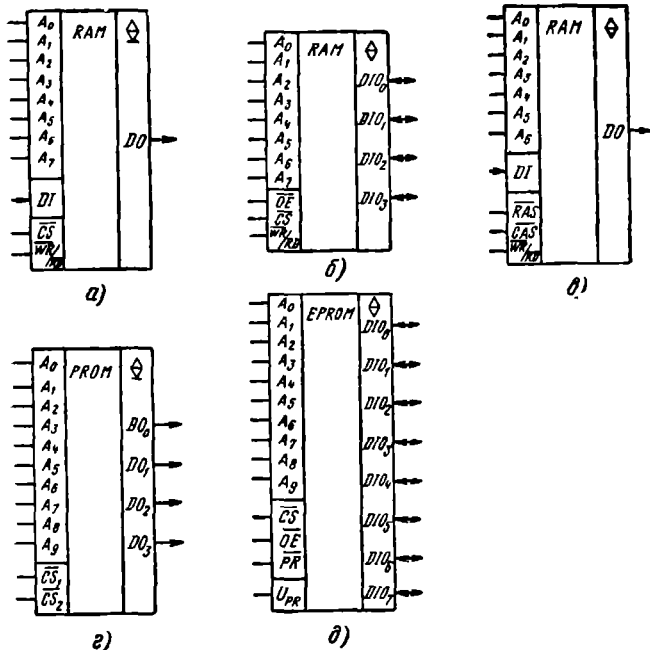


Рис. 6.2. Условные обозначения микросхем памяти для оперативных (а, б, в) и постоянных (г, д) запоминающих устройств

жиме выборки. Значения t_b , t_c возрастают не очень значительно на время включения ИТ.

Микросхема, условное обозначение которой показано на рис. 6.2,а, обеспечивает поразрядную выборку, т. е. имеет организацию $N_n = N_c \times 1$, где N_c — число хранящихся слов (одноразрядных чисел). При словарной выборке ЭП в накопителе объединяются в группы по k элементов. ЭП одной группы выбираются одновременно, т. е. записывается или считывается k -разрядное число. Для уменьшения числа выводов обычно используются комбинированные (двунаправленные) выходы DIO (рис. 6.2,б), которые при записи работают как входы DI , а при считывании — как выходы DO . При этом часто вводится дополнительный вход разрешения выдачи \overline{OE} (OUTPUT ENABLE). При сигнале $\overline{OE} = 1$ выход DO находится в отключенном состоянии, а при $\overline{OE} = 0$ производится выдача считываемой информации. Микросхемы со словарной выборкой имеют организацию $N_c \times k = N_n$, т. е. хранят $N_c \cdot k$ -разрядных чисел.

Для уменьшения числа адресных выводов используется их временное мультиплексирование, т. е. разделение во времени подачи адреса строки и адреса столбца. При этом на входах ДШ_X, ДШ_Y включаются регистры RGX , RGY , в которые записываются адреса строки или столбца в зависимости от значения поступающих стробирующих сигналов \overline{RAS} (ROW ACCESS STROBE) или \overline{CAS} (COLUMN ACCESS STROBE). Вначале на входах A устанавливается адрес выбираемой строки, который записывается в RGX при подаче сигнала $\overline{RAS}=0$. Затем поступает адрес выбираемого столбца, который записывается в RGY при подаче $\overline{CAS}=0$. Одновременно устанавливается сигнал $\overline{WR/RD}=0$ или 1 и производится запись или считывание информации в выбранном ЭП. При $\overline{RAS}=\overline{CAS}=1$ или $\overline{RAS}=1$, $\overline{CAS}=0$ микросхема работает в режиме хранения. Таким образом, сигналы \overline{RAS} , \overline{CAS} обеспечивают выбор микросхемы (вместо \overline{CS}). Условное обозначение таких микросхем дано на рис. 6.2, в.

При выборке ЭП одной строки ее адрес достаточно занести в регистр RGX один раз, а затем, устанавливая различные адреса столбцов и подавая сигналы $\overline{CAS}=0$, осуществлять обращение к различным ЭП. Такой режим, называемый *страничной выборкой*, позволяет уменьшить времена t_n , t_c .

Микросхемы ПЗУ также имеют структуру, показанную на рис. 6.1, а. Отличие состоит только в том, что вместо ФЗС используются схемы считывания (CC), а вход $\overline{WR/RD}$ отсутствует (рис. 6.2, г). Микросхемы РПЗУ содержат дополнительные схемы, которые формируют сигналы, обеспечивающие запись информации в ЭП (программирование). Режим программирования задается специальным сигналом \overline{PR} (рис. 6.2, д). Имеется также дополнительный вывод U_{PR} , на который подается импульс программирующего напряжения с повышенной амплитудой. В микросхемах РПЗУ также часто используется вход разрешения выдачи \overline{OE} .

В микросхемах ПЗУ, РПЗУ обычно реализуется словарная выборка 4-, 8- или 16-разрядных чисел (рис. 6.2, г, д).

6.3. СТАТИЧЕСКИЕ МИКРОСХЕМЫ ОЗУ

Особенности различных типов микросхем памяти определяют используемыми в них схемами ЭП, ФЗС, БК и ДШ_X, ДШ_Y. В большинстве статических микросхем памяти эти схемы реализуются на базе элементов ТТЛ, ЭСЛ или КМДПТЛ¹.

Микросхемы памяти на основе элементов ТТЛ. На рис. 6.3 показана схема ЭП типа ТТЛ вместе с основными схемами обслуживания: разрядными формирователями ($P\Phi_0$ и $P\Phi_1$), определяющими потенциал РШ, дешифратором адреса ДШ_X и усилителем.

¹ В некоторых микросхемах памяти используются инжекционные или тиристорные ЭП [33].

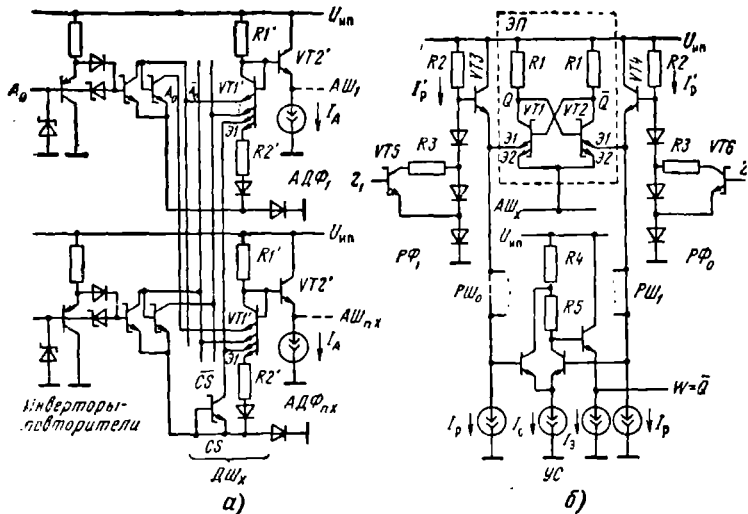


Рис. 6.3. Схемотехническая реализация элементов и узлов микросхем памяти ТТЛ:

а — входные трансляторы и дешифраторы; б — элемент памяти с усилителем записи-считывания

телем считывания (УС). Дешифратор ДШ_x (рис. 6.3,а) состоит из m_x инверторов-повторителей, формирующих сигналы A_i, \bar{A}_i , где $0 \leq i \leq (m_x - 1)$, поступающие на входы n_x адресных дешифраторов-формирователей (АДФ), выход которых подключен к шинам АШ_x. Каждый АДФ реализован на базе МЭТ в диодном включении $VT1$, выполняющего логическую операцию И над поступающими на эмиттеры адресными сигналами A_i, \bar{A}_i . Эмиттерный повторитель на транзисторе $VT2'$ служит в качестве формирователя сигналов на АШ_x. В режиме хранения на один из входов дешифратора поступает низкий потенциал $CS=0$. Соответствующий эмиттерный переход $VT1'$ открыт, и на всех шинах АШ_x устанавливается потенциал $U^0_A = U^* + U_{\text{нп}} \approx 1 \dots 1,2$ В. В режиме выборки ($CS=1$) на всех адресных входах одного из АДФ устанавливается высокий потенциал. При этом открывается переход $\mathcal{E}1$ транзистора $VT1'$ данного АДФ и потенциал на его выходе повысится до уровня

$$U^1_A = 2U^* + U'_{R2} = 2U^* + R'_2(U_{\text{нп}} - 3U^*) / (R'_1 + R'_2), \quad (6.3)$$

где U'_{R2} — падение напряжения на резисторе $R2'$. Остальные $m_x - 1$ АДФ имеют низкий потенциал хотя бы на одном из адресных входов. Переходы $\mathcal{E}1$ транзисторов $VT1'$ в этих АДФ остаются закрытыми, и на подключенных к их выходам АШ_x сохраняется пониженный потенциал U^0_A .

Режим работы ЭП определяется потенциалами, которые устанавливаются на шинах $PШ_0$, $PШ_1$, формирователи $PФ_0$, $PФ_1$ (рис. 6.3, 6). Эти потенциалы зависят от значений управляющих сигналов Z_0 , Z_1 , которые вырабатываются дешифратором ДШУ в соответствии с адресными сигналами A_j , где $0 \leq j \leq (m_Y - 1)$, и внешними сигналами \overline{CS} , $\overline{WR/RD}$, $D1$.

В режиме хранения ($CS=0$) сигналы $Z_0=Z_1=0$, транзисторы $VT5$ и $VT6$ закрыты, на шинах $PШ_0$, $PШ_1$ поддерживается потенциал $U^0_p \approx 2U^*$. Так как $U^0_p > U^0_A$, то переходы Э1 транзисторов $VT1$, $VT2$ закрыты. При этом ЭП сохраняет ранее установленное состояние. Если транзистор $VT1$ открыт и насыщен, то $U_{K1} = U^0_Q = U^0_A + U_{нш}$. Так как $U^0_Q - U^0_A < U^*$, то транзистор $VT2$ закрыт и потенциал на его коллекторе $U_{K2} = U^2_Q = U^0_A + U^*$. В этом случае ЭП находится в состоянии $Q=0$, $\overline{Q}=1$.

В режиме выборки потенциал $AШ_X$ возрастает до U^1_A . При считывании информации ($\overline{WR/RD}=0$) сохраняются значения Z_0 , $Z_1=0$. В этом случае переход Э1 насыщенного транзистора $VT1$ открывается и на шине $PШ_0$ устанавливается потенциал $U^1_p = U^1_A > U^0_p$. Переход Э1 транзистора $VT2$ должен при этом оставаться закрытым, для чего должно выполняться условие

$$\begin{aligned} U_{632} &= U_{K1} - U^0_p = U^1_{A1} + U_{нш} - U^0_p = U_{нш} + U'_{R2} = \\ &= U^* - U^*_{ш} + U'_{R2} < U^*. \end{aligned} \quad (6.4)$$

Для выполнения данного условия схема АДФ проектируется так, чтобы

$$U'_{R2} = R'_1 (U_{нш} - 3U^*) / (R'_1 + R'_2) < U^*_{ш}.$$

При этом потенциал $PШ_1$ остается равным U^0_p . Таким образом, на адресных шинах возникает разность потенциалов $\Delta U_p = U^1_p - U^0_p = U'_{R2} \approx 0,2 \dots 0,3$ В, которая поступает на входы переключателя тока, используемого в качестве усилителя считывания, и вызывает его переключение. Если ЭП имеет состояние $Q=0$, то повышение потенциала до U^1_p происходит на $PШ_0$ и на выходе УС устанавливается потенциал

$$U^1_n = U_{нш} - I_0 R_4 - U^* > V'_n,$$

где V'_n — порог переключения последующей схемы (БК). Если $Q=1$, то до U^1_p повышается потенциал $PШ_1$ и потенциал на выходе W :

$$U^0_n = U_{нш} - I_0 (R_4 + R_5) - U^* > V'_n.$$

Таким образом, логический сигнал на выходе является инверсным по отношению к состоянию ЭП: $W_i = \overline{Q}_i$. Так как в качестве БК используется инвертор (рис. 6.4), то на выходе микросхемы устанавливается сигнал DO , соответствующий состоянию считываемого ЭП: $DO = W_i = Q_i$.

Сигнал выборки U^1_p на шине $AШ_X$ поступает одновременно на все ЭП в строке накопителя, и сигналы W , соответствующие

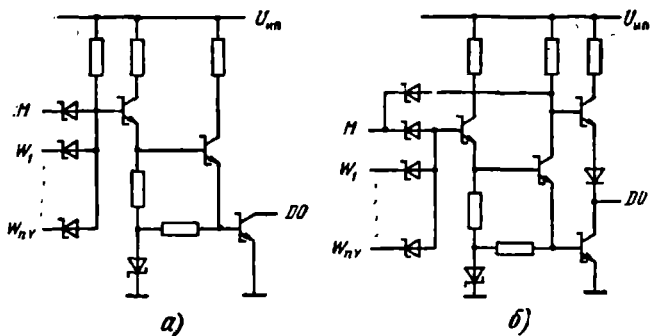


Рис. 6.4. Варианты схем выходных каскадов ТТЛ

состоянию этих ЭП, образуются на выходах всех n_x УС. Выходные сигналы ДШ_У определяют, какой из УС подключается к БК. При одном из способов выбора в эмиттерной цепи УС используется управляемый ИТ, который отключается при поступлении соответствующего управляющего сигнала с выхода ДШ_У. При отключении ИТ ток $I_0=0$ и на выходе УС устанавливается высокий потенциал ($W=1$). Дешифратор ДШ_У разрешает включение ИТ только в том УС, который подключен к шинам РШ₀, РШ₁ выбранного столбца ЭП. Этот УС формирует сигнал W_i , соответствующий состоянию считываемого ЭП. На остальные n_y-1 УС поступают сигналы, отключающие их ИТ, поэтому на их выходах значение $W=1$. Выходы всех УС подключаются к диодной сборке на входе БК (см. рис. 6.4), реализующей операцию И. При считывании СУ формирует сигнал разрешения выдачи $M=1$ и сигнал на выходе DO определяется значением W_i на выходе выбранного УС: $DO = \overline{W}_i$. В режимах хранения и считывания сигнал $M=0$ и БК переходит в отключенное состояние, когда все его транзисторы закрыты. Приведенные на рис. 6.4 схемы БК имеют порог переключения $V'_n = 3U^* - U^*_{ш} \approx 2$ В.

При записи ($\overline{WR}/RD=1$) дешифратор ДШ_У в зависимости от поступившего значения DI формирует управляющий сигнал $Z_0=1$ или $Z_1=1$ на входах РФ выбранного столбца. Если $DI=0$, то для установки ЭП в состояние $Q=1$ поступают сигналы $Z_0=1$, $Z_1=0$. При этом на РШ₀ сохраняется потенциал U^0_p , а потенциал РШ₁ понижается до уровня $U'_p = U^* + U_{нн} + U_{R3} = 2U^* + U_{R3} - U^*_{ш}$, где U_{R3} — падение напряжения на резисторе $R3$. Транзистор $VT2$ открывается и входит в насыщение, если $U'_p < U_{к1} - U^* = U^2_A + U_{нн}$. Используя выражение (6.3), получаем условие переключения ЭП:

$$U_{R3} = R_3(U_{нн} - 2U^* - U_{нн}) / (R_2 + R_3) < U'_{R3}. \quad (6.5)$$

При выполнении условия (6.5) на коллекторе VT2 устанавливается низкий потенциал, транзистор VT1 запирается и ЭП устанавливается в состояние $Q=1, \bar{Q}=0$. Установленное состояние сохраняется при хранении и считывании, когда $Z_0=Z_1=0$, и РФ₀, РФ₁ поддерживают на РШ потенциал U^0_p . Мощность, потребляемая каждым ЭП в режиме хранения,

$$P_{\text{вн}} = U_{\text{вн}} [(U_{\text{вн}} - U^* - U^0_A) + (U_{\text{вн}} - U^* - U^0_A + U^*_\text{Ш})] / R_1, \quad (6.6)$$

где R_1 — сопротивление резисторов $R1, R2$. Общая мощность на копитель и эмиттерных повторителей АДФ

$$P_{\text{н}} = (U_{\text{вн}} I_A) n_{\text{х}}, \quad (6.7)$$

где I_A — ток ИТ, подключенных к АШ.

При использовании транзисторных ИТ (см. табл. 2.1) ток I_A можно регулировать, изменяя напряжение смещения $U_{\text{см}}$ на базе транзистора. В режиме хранения ($\overline{CS}=1$) устанавливается такое значение $U_{\text{с}}$, при котором обеспечивается ток $I'_A \approx n_{\text{У}} I_{\text{п min}}$, где $I_{\text{п min}}$ — минимальное значение тока ЭП, обеспечивающее сохранение установленного состояния $Q=0$ или 1. Для сохранения состояния разность потенциалов на коллекторах VT1 и VT2 должна быть $|U_{\text{К1}} - U_{\text{К2}}| = U^*_\text{Ш} \leq I_{\text{п min}} R_1$. Таким образом, ток ЭП можно снизить до значения $I_{\text{п min}} = U^*_\text{Ш} / R_1$. Обычно выбирают $I_{\text{п min}} = 10 \dots 20$ мкА.

В режиме выборки СУ вырабатывает сигнал, вызывающий повышение напряжения $U_{\text{с}}$. Токи АШ возрастают до значения I_A , которое в несколько раз превышает I'_A . Увеличение тока ускоряет перезаряд значительных паразитных емкостей, подключенных к АШ, обеспечивая сокращение времен $t_{\text{в}}$, $t_{\text{ц}}$.

Общая мощность, потребляемая микросхемой памяти в режиме выборки, составляет

$$P_{\text{в}} = m P_{\text{вн}} + 2 P_{\text{дш}} + P_{\text{су}} + n_{\text{х}} U_{\text{вн}} I_A + 2 n_{\text{У}} U_{\text{вн}} (I_{\text{Р}} + I'_{\text{Р}}) + P_{\text{бк}} + n_{\text{У}} U_{\text{вн}} (I_{\text{с}} + I_{\text{в}}), \quad (6.8)$$

где $P_{\text{вн}}$, $P_{\text{дш}}$, $P_{\text{су}}$, $P_{\text{бк}}$ — мощности, потребляемые инвертором-повторителем, дешифратором, схемой управления, буферным каскадом. С целью сокращения потребляемой мощности источники разрядного тока в режиме хранения отключаются, т. е. $I_{\text{Р}} = I_0 = I_{\text{в}} = 0$. Поэтому мощность микросхемы в этом режиме

$$P_{\text{хр}} = m P_{\text{вн}} + 2 P_{\text{дш}} + n_{\text{х}} U_{\text{вн}} I'_A + 2 n_{\text{У}} U_{\text{вн}} I'_{\text{Р}} + P_{\text{бк}} + P_{\text{су}}. \quad (6.9)$$

Время выборки после подачи сигнала $\overline{CS}=0$ при установленном адресе (см. рис. 6.1,б) составляет

$$t_{\text{в}} = t_{\text{су}} + t_{\text{дш}} + t_{\text{А}} + t_{\text{вн}} + t_{\text{Р}} + t_{\text{Ус}} + t_{\text{бк}}, \quad (6.10)$$

где $t_{\text{су}}$, $t_{\text{дш}}$, $t_{\text{вн}}$, $t_{\text{Ус}}$, $t_{\text{бк}}$ — задержки переключения СУ, ДШ_х, ЭП, УС и БК. Времена перезаряда АШ_х и РШ₀, РШ₁:

$$t_{\text{А}} = C_{\text{пв}} \Delta U_{\text{А}} / I_{\text{А}}, \quad t_{\text{Р}} = C_{\text{пр}} \Delta U_{\text{Р}} / I_{\text{Р}},$$

где $C_{\text{пв}}$, $C_{\text{пр}}$ — паразитные емкости, подключенные к АШ, РШ.

Длительность цикла превышает $t_{рв}$ на время восстановления потенциала $PШ_0$, $PШ_1$: $t_{ц} = t_{в} + t_{р}$. Если время переключения входных инверторов-повторителей $t_{ин} > t_{сy}$, то при расчете $t_{ц}$ вместо $t_{сy}$ используется величина $t_{ин}$.

Так как быстродействие функциональных узлов пропорционально их мощности, то при проектировании микросхем памяти находится оптимальное распределение заданной мощности $P_{в}$ между отдельными узлами, чтобы обеспечить минимальные значения $t_{в}$, $t_{ц}$. Современные микросхемы памяти этого типа имеют информационную емкость до 16...64 Кбит и при $P_{р} = 500 \dots 1000$ мВт обеспечивают $t_{в} \approx 40 \dots 50$ нс.

Микросхемы памяти на основе элементов ЭСЛ. Повышение быстродействия микросхем памяти достигается при использовании ЭП и схем обслуживания, реализованных на элементах ЭСЛ. На рис. 6.5,а показан фрагмент такой микросхемы, содержащий ЭП и ФЗС.

На адресных входах микросхемы включены элементы ЭСЛ (инверторы-повторители), преобразующие сигналы с перепадом $U_{п} \approx 0,8$ В во внутренние сигналы, имеющие пониженный перепад $U'_{п} \approx 0,3 \dots 0,4$ В. Деннфраторы $DШ_x$, $DШ_y$ реализуются на ос-

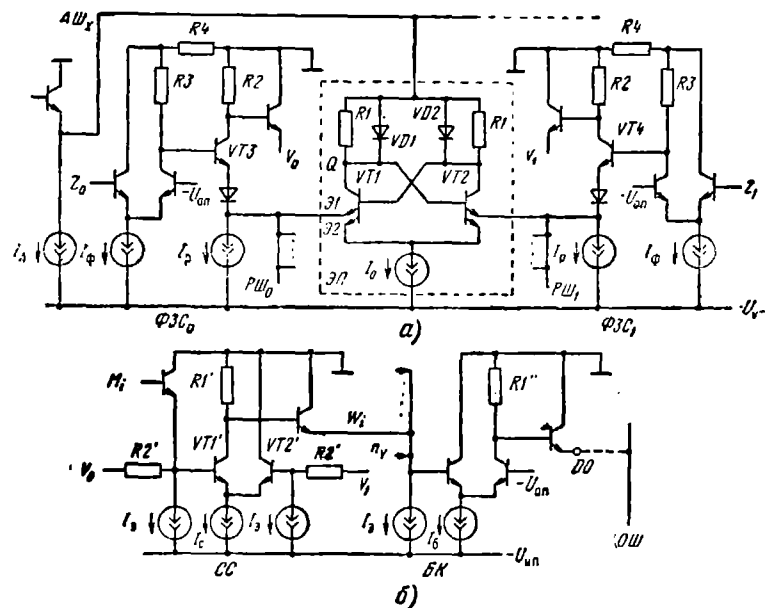


Рис. 6.5. Схематическая реализация элементов и узлов микросхем памяти ЭСЛ:

а — элемент памяти с формирователями записи-считывания; б — усилитель считывания с выходным каскадом

нове каскадного включения двух- или трехъярусных схем ЭСЛ (см. § 3.2). В режиме хранения ($\overline{CS}=1$) СУ вырабатывает управляющие сигналы, в соответствии с которыми ДШ_X поддерживает на всех шинах АШ_X низкий потенциал $U^0_A = -(U^* + U'_л)$, а ДШ_Y обеспечивает высокий потенциал $U^1_A = -U^* > -U_0$ на входах всех ФЗС: $Z_0 = Z_1 = 1$. При этом разрядные токи I_p протекают через открытые транзисторы $VT3, VT4$, и на РШ₀, РШ₁ поддерживается потенциал $U^0_p = -2U^* - I_\phi R_4$. Если $VT1$ открыт, а $VT2$ закрыт, то $U_{K1} = U^0_Q = U^0_A - I_0 R_1$, $U_{K2} = U^1_Q U^0_A$, что соответствует состоянию $Q=0, \bar{Q}=1$. Инверсное состояние $Q=1, \bar{Q}=0$ реализуется при закрытом транзисторе $VT1$ и открытом $VT2$, когда $U_{K1} = U^1_Q, U_{K2} = U^0_Q$. При проектировании ЭП значения I_0, R_1 выбираются такими, чтобы обеспечить $I_0 R_1 = U'_л$. Если выполняется условие хранения информации

$$U^0_A - U^1_p = -(U^* + U'_л) + 2U^* + I_\phi R_4 = U^* + I_\phi R_4 - U'_л < U^*, \quad (6.11)$$

то переходы Э1 транзисторов $VT1, VT2$ заперты и ЭП сохраняет ранее установленное состояние.

Выполнение условия (6.11) обеспечивается, если $I_\phi R_4 < U'_л$. Обычно при проектировании выбирают такие значения $I_\phi R_4$, чтобы $I_\phi R_4 \approx 0,5U'_л$. При этом на выходах V_0, V_1 формирователей устанавливаются низкие уровни $U^0_v = -U^* - I_p R_2$, где значения I_p, R_2 выбираются так, чтобы $I_0 R_2 = U'_л$.

В режиме выборки ДШ_X формирует на шине АШ_X выбрасом строки высокий потенциал $U^1_A = -U^*$. Соответственно возрастают и потенциалы на коллекторах транзисторов $VT1, VT2$: $U_{K1} = U^1_A - U'_л, U_{K2} = U^1_A$ в состоянии $Q=0, \bar{Q}=1$. Считывание осуществляется, если на входах ФЗС₀, ФЗС₁ поступают сигналы $Z_0 = Z_1 = 1$. При этом выполняется условие считывания

$$U_{K2} - U^1_p = -U^* + (2U^* + I_\phi R_4) = U^* + I_\phi R_4 \approx U^* + 0,5U'_л > U^*. \quad (6.12)$$

В результате открывается переход Э1 открытого транзистора $VT1$ и потенциал на шине РШ₀ повышается до $U^1_p = -2U^*$. Транзистор $VT3$ запирается, и ток I_p шины РШ₀ течет через $VT1$, понижая потенциал U_{K1} . Так как обычно $I_p \gg I_0$, то падение напряжения на резисторе $R1$ достаточно для отпираания диода $VD1$: $I_p R_1 > U^* > U'_л = I_0 R_1$. При этом потенциал коллектора $VT2$ фиксируется на уровне $U_{K1} = -2U^*$. Фиксирующие диоды $VD1, VD2$ служат для ограничения перепадов потенциала при переключении ЭП: $\Delta U_K = U^*$. В результате уменьшается время включения

$$t_{\text{ЭП}} \approx 0,5C_{\text{ПК}} \Delta U_K / I_0 = 0,5C_{\text{П}} U^* / I_0, \quad (6.13)$$

где $C_{\text{ПК}}$ — паразитная емкость на коллекторе $VT1$ или $VT2$.

Вследствие запираания $VT3$ потенциал на выходе ФЗС₀ повышается до уровня $U^1_v \approx -U^*$, т. е. формируется сигнал $V_0 = \bar{Q} = 1$. Переход Э1 транзистора $VT2$ остается закрытым, так как

$U_{K1} - U^0_p < U^*$. Поэтому на шине РШ₁ и выходе ФЗС₁ сохраняются потенциалы U^0_p и U^0_v , т. е. $Y_1 = Q_1 = 0$. Таким образом, на выходах V_0, V_1 образуется разность потенциалов $U^1_v - U^0_v = U'_л$, которая поступает на схему считывания (СС). В качестве СС используются элементы ЭСЛ с парафазными входами V_0, V_1 (рис. 6.5, б), управляемые сигналами M_i , поступающими от ДШ_У. На СС, обслуживающую выбранный столбец накопителя, при считывании поступает сигнал $M_i = 0$, а на остальные $n_Y - 1$ невыбранных СС — сигнал $M_i = 1$. В режимах хранения или записи $M_i = 1$ поступает на все СС. При $M_i = 0$ на выходе СС устанавливает $W_i = Q_i$, где Q_i — состояние считываемого ЭП. При $M_i = 1$ устанавливается $W_i = 0$ для любых значений V_0, V_1 . Резисторы R_2' включаются, чтобы обеспечить запиранье транзистора VT2 и отпираание VT1 при поступлении сигналов $M_i = V_1 = 1$. Для этого его сопротивление выбирается таким, чтобы $I_3 R_2' \approx 0,1 \dots 0,2$ В.

Выходы W_i всех СС соединяются, обеспечивая реализацию операции Монтажное ИЛИ на входе БК (рис. 6.5, б). В результате на выходе DO микросхемы при считывании устанавливается потенциал, соответствующий состоянию выбранного ЭП: $DO = W_i = Q_i$. При этом реализуются значения выходных уровней $U^0 = -U^* - I_6 R''_1$, $U^1 = -U^*$, такие же, как в серийных микросхемах ЭСЛ: $U^0 = -(1,6 \dots 1,8)$ В, $U^1 = -(0,8 \dots 0,9)$ В. В режиме хранения и записи на всех n_Y входах БК и его выходе устанавливается низкий потенциал $DO = W_i = 0$. Это соответствует отключенному состоянию выхода DO, так как при этом потенциал подключенной к выходу общей шины (ОШ) будет равен U^0 или U^1 в зависимости от состояния выходов других микросхем, подключенных к ОШ.

Для записи поступающей на вход DI информации дешифратор ДШ_У устанавливает на входах ФЗС₀, ФЗС₁ выбранного столбца соответствующие сигналы: $Z_0 = DI$, $Z_1 = \overline{DI}$. При этом потенциал одной из разрядных шин (РШ₀ или РШ₁) понижается, переход Э1 подключенного к ней транзистора ЭП открывается и на его коллекторе устанавливается низкий потенциал. Вследствие этого закрывается другой транзистор ЭП, на коллекторе которого устанавливается высокий потенциал.

Рассмотрим процесс записи информации в ЭП, находящийся в состоянии $Q_i = 0$, при поступлении входного сигнала $DI = 1$. В этом случае ДШ_У формирует сигналы $Z_0 = 1$, $Z_1 = 0$, на РШ₀ сохраняется высокий потенциал U^1_p , а потенциал на РШ₁ понижается до уровня $U^0_p = -2U^* - I_\phi (R_3 + R_4)$. Для записи информации должно выполняться условие

$$U_{K1} - U^0_p = U^1_A - U^0_p - U^0_\lambda = U^* - U'_\lambda + I_\phi (R_3 + R_4) > U^*. \quad (6.14)$$

При этом открывается переход Э1 транзистора VT2, запирается транзистор VT3 и ток I_p течет через VT2, понижая потенциал U_{K2} на его коллекторе. Как отмечалось выше, $I_p R_1 > U^*$, поэтому открывается диод VD2 и устанавливается потенциал $U_{K2} = U^1_A - U^* = -2U^*$. Так как общий потенциал на эмиттерах Э2

транзисторов $VT1$, $VT2$ равен $U_{Э2} = U_{0P}$, то для запираияя пере-
хода Э2 транзистора $VT1$ необходимо выполнение условия

$$U_{K2} - U_{Э2} = -2U^* - U_{0P} = I_{\Phi}(R_3 + R_4) < U^*. \quad (6.15)$$

Из (6.14) и (6.15) получаем ограничения $U^* > I_P(R_3 + R_4) > U'_{л}$.
Как указано выше, обычно $I_P R_4 \approx 0,5U'_{л}$ и данные ограничения
выполняются при $I_P R_4 \approx U'_{л}$. При этом обеспечивается запираение
транзистора $VT1$, на коллекторе которого устанавливается потен-
циал $U_{K1} = U'_{A} > U_{K2}$.

Таким образом, в процессе записи состояния транзисторов
 $VT1$ и $VT2$ изменились на противоположные, что соответствует
установке ЭП в состоянии $Q_i = 1$ вместо $Q_i = 0$. Аналогично произ-
водится запись в ЭП информации $DI = Q_i = 1$. На входах ФЗС
невыбранных столбцов накопителя в режиме записи сохраняются
значения $Z_0 = Z_1 = 1$. Изменения состояния ЭП в этих столбцах не
происходит.

Общая мощность, потребляемая микросхемой памяти,

$$P_{\Pi} = mP_{ин} + 2P_{дш} + P_{су} + n_X U_{ин} I_A + N_n U_{ин} I_0 + \\ + 2n_Y U_{ин} (I_P + I_{\Phi}) + n_Y U_{ин} (3I_{\Theta} + I_C) + P_{бк}, \quad (6.16)$$

где токи I_A , I_0 , I_P , I_{Φ} , I_C , I_{Θ} задаются соответствующими источ-
никами тока (см. рис. 6.5). Время выборки приближенно опреде-
ляется выражением (6.1).

Микросхемы памяти на основе ЭСЛ имеют такую же инфор-
мационную емкость N_n , как и микросхемы памяти ТТЛ. При $N_n =$
 $= 16 \dots 64K$ бит они обеспечивают времена выборки $t_b = 20 \dots 40$ нс.
Таким образом, их быстродействие в 1,5...2 раза выше, так как
используемый перепад $U'_{л}$ меньше, чем в микросхемах памяти
ТТЛ, а элементы ЭСЛ в схемах обслуживания имеют меньшие
задержки переключения. Однако потребляемая мощность для
этих микросхем несколько больше, чем для микросхем памяти
ТТЛ. Можно уменьшить потребление тока, включив в схему у-
правляемые ИТ, с помощью которых реализуется активно-пассив-
ный режим питания. Однако времена t_b , t_c при этом увеличатся.

Микросхемы памяти на КМДП-транзисторах. Так как элемен-
ты КМДПТЛ обеспечивают минимальное потребление мощности,
то реализация на их основе микросхем памяти позволяет значи-
тельно сократить энергопотребление ЗУ. Поэтому разработка
микросхем памяти на КМДП-транзисторах ведется особенно ин-
тенсивно.

Наиболее распространенный вариант ЭП, состоящего из двух
перекрестно соединенных инверторов на КМДП-транзисторах,
приведен на рис. 6.6. В режиме хранения ($\overline{CS} = 1$) дешифратор
ДШ_X поддерживает на АШ_X низкий потенциал. Проходные тран-
зисторы $VT5$, $VT6$ закрыты и ЭП сохраняет ранее установленное
состояние, например $Q = 0$, $\overline{Q} = 1$. В режиме выборки потенциал
на шине АШ_X выбираемой строки повышается, открывая тран-
зисторы $VT5$, $VT6$. При этом на шинах РШ₀, РШ₁ устанавлива-

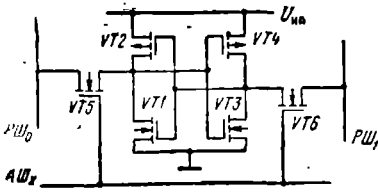


Рис. 6.6. Элемент памяти на комплементарных МДП-транзисторах

При записи информации дешифратор ДШ_У в зависимости от значения поступившего сигнала *DI* формирует на шинах PШ₀, PШ₁ выбранного столбца парафазные сигналы. Через открытые транзисторы VT5, VT6 эти сигналы поступают на входы ЭП, устанавливая его в требуемое состояние $Q=DI$. Если $DI=0$, то на PШ₀ устанавливается низкий потенциал $U^0 \approx 0$, а на PШ₁ — высокий потенциал $U^1 \approx U_{\text{ин}}$. При этом открываются транзисторы VT1 и VT4, запираются транзисторы VT2 и VT3. В результате устанавливается требуемое состояние ЭП: $Q=0, \bar{Q}=1$. Если $DI=1$, то подаются потенциал U^1 на шину PШ₀ и потенциал U^0 на PШ₁, которые обеспечивают переключение ЭП в состояние $Q=1, \bar{Q}=0$. Выходы дешифратора ДШ_У, соединенные с разрядными шинами невыбираемых столбцов, в режиме записи устанавливаются в отключенное состояние. Поэтому на выходе ДШ_У используются каскады с тремя состояниями.

Все схемы обслуживания (дешифраторы, формирователи записи-считывания, схема управления) также реализованы на элементах КМДПТЛ. Методы проектирования этих схем и их основные параметры рассмотрены в гл. 2 и 3.

В настоящее время информационная емкость статических КМДП-микросхем памяти достигает сотен килобит. В режиме хранения мощность, потребляемая этими микросхемами, определяется токами утечки и обычно составляет $P_{\text{хр}} \leq 1$ мВт. При обращении к памяти с частотой $f_p \approx 1$ МГц потребляемая мощность возрастает до 10^2 мВт, но остается в несколько раз меньше, чем для ЭСЛ- или ТТЛ-микросхем памяти.

Значительно (на 1...2 порядка) превосходя остальные микросхемы памяти по экономичности, КМДП-микросхемы уступают биполярным микросхемам по быстродействию. Это определяется повышенной величиной логического перепада ($U_{\text{л}} \approx 5$ В), который на порядок превышает перепад в биполярных микросхемах ($U_{\text{л}} \approx \approx 0,3 \dots 0,5$ В). Для ускорения перезаряда паразитных емкостей на величину $U_{\text{л}}$ в КМДП-микросхемах приходится увеличивать ширину канала МДП-транзисторов, что приводит к возрастанию размеров микросхемы и паразитных емкостей. Поэтому времена $t_{\text{в}}$, $t_{\text{с}}$ для КМДП-микросхем в 2...5 раз выше, чем для ТТЛ-микросхем.

ются потенциалы $U^0 \approx 0$ или $U^1 \approx U_{\text{ин}}$, соответствующие состоянию ЭП $Q=0, \bar{Q}=1$, или наоборот. Сигналы с шин PШ₀, PШ₁ выбранного столбца поступают на БК с тремя состояниями, подключенный к выходу DO микросхемы. Таким образом осуществляется считывание информации.

При записи информации дешифратор ДШ_У в зависимости от значения поступившего сигнала *DI* формирует на шинах PШ₀, PШ₁ выбранного столбца парафазные сигналы. Через открытые транзисторы VT5, VT6 эти сигналы поступают на входы ЭП, устанавливая его в требуемое состояние $Q=DI$. Если $DI=0$, то на PШ₀ устанавливается низкий потенциал $U^0 \approx 0$, а на PШ₁ — высокий потенциал $U^1 \approx U_{\text{ин}}$. При этом открываются транзисторы VT1 и VT4, запираются транзисторы VT2 и VT3. В результате устанавливается требуемое состояние ЭП: $Q=0, \bar{Q}=1$. Если $DI=1$, то подаются потенциал U^1 на шину PШ₀ и потенциал U^0 на PШ₁, которые обеспечивают переключение ЭП в состояние $Q=1, \bar{Q}=0$. Выходы дешифратора ДШ_У, соединенные с разрядными шинами невыбираемых столбцов, в режиме записи устанавливаются в отключенное состояние. Поэтому на выходе ДШ_У используются каскады с тремя состояниями.

Все схемы обслуживания (дешифраторы, формирователи записи-считывания, схема управления) также реализованы на элементах КМДПТЛ. Методы проектирования этих схем и их основные параметры рассмотрены в гл. 2 и 3.

В настоящее время информационная емкость статических КМДП-микросхем памяти достигает сотен килобит. В режиме хранения мощность, потребляемая этими микросхемами, определяется токами утечки и обычно составляет $P_{\text{хр}} \leq 1$ мВт. При обращении к памяти с частотой $f_p \approx 1$ МГц потребляемая мощность возрастает до 10^2 мВт, но остается в несколько раз меньше, чем для ЭСЛ- или ТТЛ-микросхем памяти.

Значительно (на 1...2 порядка) превосходя остальные микросхемы памяти по экономичности, КМДП-микросхемы уступают биполярным микросхемам по быстродействию. Это определяется повышенной величиной логического перепада ($U_{\text{л}} \approx 5$ В), который на порядок превышает перепад в биполярных микросхемах ($U_{\text{л}} \approx \approx 0,3 \dots 0,5$ В). Для ускорения перезаряда паразитных емкостей на величину $U_{\text{л}}$ в КМДП-микросхемах приходится увеличивать ширину канала МДП-транзисторов, что приводит к возрастанию размеров микросхемы и паразитных емкостей. Поэтому времена $t_{\text{в}}$, $t_{\text{с}}$ для КМДП-микросхем в 2...5 раз выше, чем для ТТЛ-микросхем.

Так как накопитель занимает большую часть площади кристалла микросхем памяти, то для увеличения их информационной емкости необходимо уменьшать размеры ЭП. Сокращение площади ЭП достигается при использовании динамического способа хранения информации в виде заряда, накопленного на паразитной емкости (см. § 6.1). Обычно динамические ЭП реализуются на МДП-транзисторах, так как при этом обеспечивается достаточно длительное время хранения (несколько миллисекунд) без регенерации.

Один из вариантов трехтранзисторного динамического ЭП с раздельными шинами для записи и считывания показан на рис. 6.7. Информация хранится в виде заряда емкости $C_s \approx 0,1$ пФ. В режиме записи сигнал выборки (высокий потенциал U^1) от дешифратора ДШ_X поступает по адресной шине заряда АШ₃ на все ЭП выбранной строки накопителя. Формирователь записи—регенерации (ФЗР), управляемый сигналом M_1 , поступающим от дешифратора ДШ_Y, вырабатывает на шине РШ₃ сигнал записи, соответствующий поступившему значению $DI=0$ или 1. Транзистор $VT1$ открывается, запоминающая емкость C_s заряжается до потенциала шины РШ₃ (U^0 или U^1). Таким образом устанавливается требуемое состояние ЭП: $Q_i=DI=0$ или 1. По окончании сигнала выборки потенциал на шине АШ₃ понижается, транзистор $VT1$ запирается и потенциал, установившийся на емкости C_s , сохраняется достаточно долго (приблизительно 10^{-2} с).

При считывании информации сигнала производится предварительный заряд разрядной шины считывания РШ_с до высокого потенциала U^0_p . Для этого от СУ поступает сигнал M_2 , открывающий транзистор $VT4$, через который емкость C_p заряжается до U^1_p (см. рис. 6.7). Затем транзистор $VT4$ закрывается сигналом M_2 и на адресную шину считывания АШ_с подается сигнал выборки (высокий потенциал), отпирающий транзистор $VT3$. Если ЭП установлен в состоянии $Q=1$ (C_s заряжена до высокого потенциала), то транзистор $VT2$ открыт. При этом емкость C_p через открытые транзисторы $VT2$, $VT3$ разряжается до потенциала $U^0_p=0$. Если состояние $Q_i=0$, то транзистор $VT2$ закрыт и на емкости C_p сохраняется высокий потенциал U^1_p . В качестве схемы считывания (СС) используется инвертор, имеющий порог переключения $U^0_p < V_n < U^1_p$. На выходе СС получаем сигнал, соответствующий состоянию выбранного ЭП $W_i=Q_i$. Значение W_i полученное на выходе СС заданного столбца, выбирается с помощью ДШ_Y и через БК поступает на выход DO микросхемы.

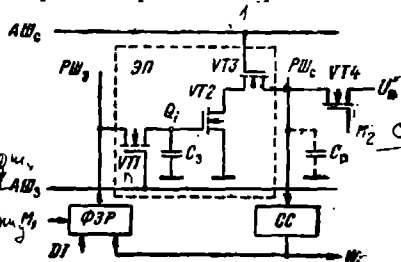


Рис. 6.7. Динамический элемент памяти

Так как с течением времени заряд емкости C_3 уменьшается, то снижается установившийся на ней потенциал: $U^1_Q \rightarrow U^0_Q \approx 0$. При уменьшении потенциала U_Q ниже напряжения отпирания U_0 транзистор VT_2 запирается. В этом случае при считывании будет получено значение $DO=0$ вместо ранее записанного $DI=Q_i=1$. Чтобы избежать таких сбоев, в динамических микросхемах памяти производится периодическая регенерация (восстановление) информации.

В режиме регенерации сигналы выборки подаются на обе адресные шины: $АШ_с$, $АШ_з$. Сигналы W_i , считанные в каждом из столбцов накопителя, через ФЗР поступают на входы выбранных ЭП. При поступлении $W_i=1$ потенциал на емкости C_3 восстанавливается до первоначального высокого уровня U^1_Q . Так одновременно производится регенерация информации в одной из строк накопителя. Для выполнения полной регенерации необходимо на адресные входы последовательно подать адреса всех строк. Таким образом, для регенерации требуется n_x тактов времени (по числу строк). Для большинства микросхем регенерацию необходимо производить через каждые 2 мс.

Еще меньшую площадь на кристалле занимает однотранзисторный ЭП (рис. 6.8). Запоминающая емкость C_3 подключена к шине $РШ_1$ через транзистор VT_1 , который открывается при поступлении от дешифратора $ДШ_x$ сигнала выборки (высокий потенциал) на шину $АШ_x$. При записи разрядный формирователь (РФ) подключается к шине $РШ_1$, подавая на нее потенциал U^1_p или $U^0_p \approx 0$, в зависимости от поступающего на микросхему сигнала $DI=1$ или 0. Такой же потенциал устанавливается на емкости C_3 и сохраняется на ней после окончания выборки, когда транзистор VT_1 запирается. Таким образом, в выбранный ЭП записывается значение $Q_i=DI$.

При считывании информации РФ отключен от шины $РШ_1$, на которой усилитель-регистратор (УР) устанавливает промежуточ-

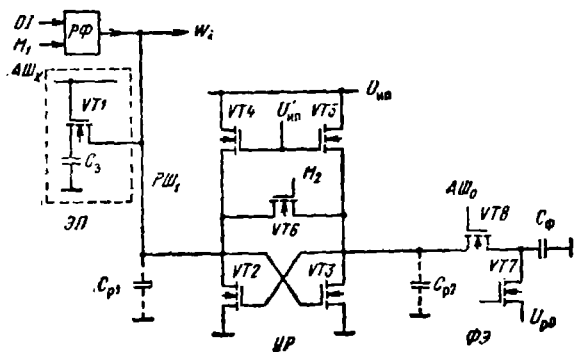


Рис. 6.8. Однотранзисторный элемент памяти с усилителем-регистратором

ный опорный потенциал U_{P0} , значение которого $U'_{P} > U_{P0} > U^0_{P} \approx 0$. Когда поступающий на шину АШ_х сигнал выборки открывает транзистор VT1, происходит перераспределение зарядов, накопленных на емкостях C_3 и C_{P1} . Суммарный заряд при этом сохраняется, т. е. выполняется условие

$$Q_{C3} + Q_{CP} = C_3 U_{C3} + C_{P1} U_{P0} = Q_{CC} = (C_3 + C_{P1}) U_c, \quad (6.17)$$

где U_{C3} — потенциал на емкости C_3 в режиме хранения информации; Q_{CC} — суммарный заряд емкостей C_3 , C_{P1} ; U_c — потенциал, устанавливающийся на шине PШ₁ при считывании. При $U_{C3} = U'_{P}$ (хранение $Q_i = 1$) считываемый на PШ₁ потенциал

$$U'_c = (U_{P0} + \kappa U'_{P}) / (1 + \kappa), \quad (6.18)$$

где $\kappa = C_3 / C_{P1}$. При $U_{C3} = U^0_{P} = 0$ (хранение $Q_i = 0$) считается потенциал $U^0_c = U^0_{P} / (1 + \kappa)$. Обычно $\kappa \ll 1$, так как C_{P1} — общая паразитная емкость PШ₁ и подключенных к ней транзисторов значительно превышает емкость хранения C_3 , ограниченную размерами ЭП. Вследствие этого разность потенциалов при считывании: 0 и 1 мала:

$$\Delta U_c = U'_c - U^0_c = \kappa U'_{P} / (1 + \kappa) \approx \kappa U'_{P} \approx 200 \dots 300 \text{ мВ}. \quad (6.19)$$

Для усиления считываемого сигнала используется УР (см. рис. 6.8), который представляет собой бистабильную ячейку (БЯ) из двух перекрестно соединенных инверторов. Одно плечо БЯ соединено с PШ₁, к другому подключен «фиктивный» элемент памяти (ФЭ), с которого при считывании поступает промежуточный потенциал U_{P0} . Перед считыванием от СУ поступает сигнал M_2 (высокий потенциал), открывающий транзистор VT6. При этом БЯ оказывается в промежуточном состоянии, когда все транзисторы VT2—VT5 открыты. На обоих плечах БЯ устанавливается промежуточный потенциал

$$U_{P0} = [U_{Oy} + A(U'_{нп} - U_{он})] / (1 + A), \quad (6.20)$$

где $A = \sqrt{b_n / b_p}$; b_n , b_p и $U_{он}$, U_{Oy} — относительная крутизна и напряжение отпирания нагрузочных транзисторов VT4, VT5 и управляющих транзисторов VT2, VT3. Напряжение $U'_{нп}$ и параметры транзисторов выбираются такими, чтобы обеспечить $U_{P0} \approx 0.5 U'_{P}$. Одновременно такой же потенциал U_{P0} поступает на емкость C_6 в ФЭ.

При считывании одновременно с поступлением на шины АШ_х АЦД сигналов выборки запирается транзистор VT6. БЯ оказывается в неустойчивом состоянии и стремится перейти в какое-либо устойчивое состояние, когда один из управляющих транзисторов (VT2 или VT3) открыт и работает в крутой области характеристик, а другой закрыт. Величина заряда емкости C_3 , подключаемой к PШ₁, определяет направление переключения БЯ. Если выбранный ЭП имеет состояние $Q_i = 0$ (т. е. $U_{C3} \approx 0$), то на затвор транзистора VT3 поступает более низкий потенциал, чем на затвор VT2: $U^0_c < U^0_{P}$. Ток стока VT3 уменьшается, вызывая

повышение потенциала на затворе $VT2$. Его ток стока возрастает, вследствие чего потенциал на затворе $VT3$ еще более снижается. Так происходит процесс переключения БЯ, в результате которого транзистор $VT3$ запирается, а $VT2$ открывается. На шине $PШ_1$ устанавливается низкий потенциал U^0_B , который с выхода W_i выбранного столбца поступает на БК, формирующий сигнал $DO = W_i = Q_i = 0$ на выходе микросхем. Величина U^0_B равна падению напряжения на транзисторе $VT2$, работающем в крутой области характеристик:

$$U^0_B \approx (b_n/b_y) (U'_{ин} - U_{он})^2 / (U'_{ин} - U_{он} - U_{оу}). \quad (6.21)$$

Отношение b_n/b_y выбирается так, чтобы значение U^0_B составляло десятые доли вольта. Такой же потенциал устанавливается на емкости C_3 и сохраняется после окончания считывания.

Если выбранный ЭП имеет состояние $Q_i = 1$ (т. е. $U_{с3} \approx U^1_P$), то потенциал на затворе $VT3$ в процессе считывания выше, чем на затворе $VT2$: $U^1_c > U^1_{ро}$. Это вызывает запуск транзистора $VT2$, а открытый транзистор $VT3$ попадает в крутую область характеристик. На шине $PШ_1$ установится высокий выходной потенциал $U^1_B = U'_{ин} - U_{он}$. Такой же потенциал поступает на емкость C_3 , сохраняясь на ней после окончания выборки.

Таким образом, благодаря использованию УР в процессе считывания формируются необходимые уровни сигналов U^0_B , U^1_B , которые поступают на БК, а также заносятся в ЭП. Аналогично выполняется и регенерация информации в накопителе. При этом сигналы W_i в БК и на выход DO не поступают, а производится только восстановление потенциалов U^0_B или U^1_B на запоминающих емкостях C_3 во всех ЭП.

В динамических микросхемах памяти адресация обычно производится в мультиплексном режиме (см. § 6.1) с использованием стробирующих адресных сигналов RAS и CAS . При выполнении регенерации на адресных входах устанавливается адрес строки и подается стробирующий сигнал $RAS = 0$. На входах CAS и WR/RD сохраняются значения сигналов, соответствующие 1. При этом производится выборка всех ЭП данной строки, усиление считанного на $PШ_1$ сигнала с помощью УР и его перезапись в ЭП. Так как сигнал $CAS = 1$, то выборка столбца не производится и выход DO микросхемы остается в отключенном состоянии. Путем последовательной установки адресов строк, задаваемых с помощью счетчика, и подачи сигналов $RAS = 0$ осуществляется регенерация информации во всех n_x строках накопителя.

Динамические ЭП занимают в несколько раз меньшую площадь на кристалле, чем статические. Поэтому информационная емкость динамических микросхем памяти в несколько раз выше и в настоящее время достигает $N_n \approx 10^6 \dots 10^7$ бит. Быстродействие этих микросхем несколько ниже, чем статических КМДП-микросхем памяти. В режиме хранения накопитель динамических микросхем практически не потребляет мощности. Поэтому их мощ-

ность в этом режиме более чем на порядок меньше, чем для биполярных микросхем памяти. В режиме выборки мощность значительно возрастает, но остается в несколько раз ниже, чем для биполярных микросхем.

Динамические микросхемы памяти обеспечивают наиболее высокую информационную емкость при достаточно хороших значениях других параметров. Однако необходимость регенерации информации усложняет структуру ЗУ на их основе и требует определенных затрат времени. Ведутся разработки динамических микросхем памяти с внутренней регенерацией, которая реализуется в промежутках времени между выборкой. С точки зрения пользователя такие микросхемы не отличаются от статических, поэтому они называются *квазистатическими*. Однако введение дополнительных схем для автоматической регенерации информации увеличивает площадь кристалла микросхемы и потребляемую ею мощность.

6.5. МИКРОСХЕМЫ ПЗУ И РПЗУ

Микросхемы ПЗУ делятся на два класса: с однократной записью информации или с многократной записью. В микросхемах ПЗУ производится однократная запись информации в микросхему перед началом ее эксплуатации и далее в процессе работы производится только ее периодическое считывание. В микросхемах РПЗУ допускается определенное количество актов перезаписи информации. Однако в отличие от ОЗУ в микросхемах РПЗУ для записи новой информации необходимо реализовать специальный режим программирования с использованием повышенных напряжений (обычно 10 В и более). Этот режим обеспечивается в программаторах, в которые включают микросхему для записи информации. Таким образом, для записи необходимо отключить микросхемы РПЗУ от цифровой системы на достаточно большое время, которое при значительной информационной емкости может составлять единицы секунд и более.

Микросхемы ПЗУ по способу записи в них информации подразделяются на микросхемы, программируемые изготовителем в процессе их производства и программируемые потребителем перед началом их применения с помощью специального программатора. В качестве ЭП в таких микросхемах используются диоды или транзисторы, а значение хранящейся информации задается путем их подключения к шинам (РШ или АШ) или отключения от них (рис. 6.9). Обычно подключение ЭП к РШ соответствует записи в нем 0, а отключение — 1.

В ПЗУ, программируемых изготовителем, запись информации обычно реализуется в процессе создания контактов к соответствующим областям диодов и транзисторов. Для этого используется специализированный фотошаблон, с помощью которого в окисле на поверхности кристалла получают «окна» (отверстия) для контактов. В зависимости от записываемой информации фотошаб-

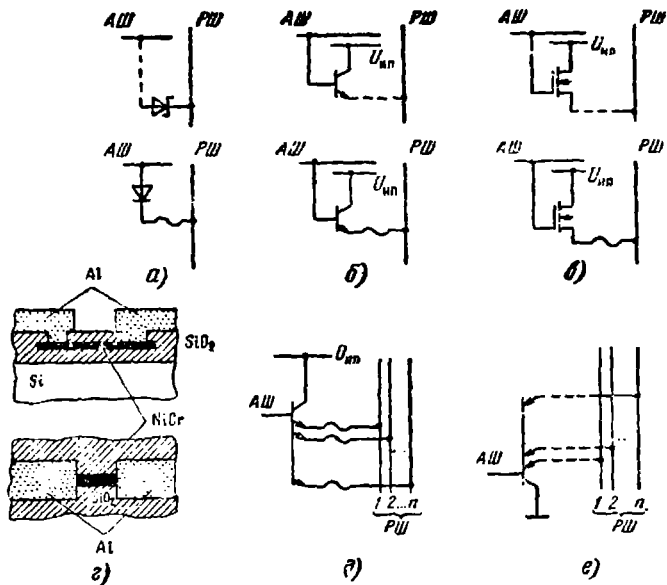


Рис. 6.9. Элементы памяти ПЗУ (а, б, в), плавкая перемычка (г), интегрированные элементы памяти (д, е)

лон обеспечивает образование «окна», т. е. создание контакта, соединяющего ЭП с АШ или РШ (запись 0). Если «окно» для контакта не создается, то ЭП остается неподключенным (запись 1). Таким образом, для записи в ПЗУ определенного массива информации необходимо изготовление фотошаблона с соответствующим рисунком, который «программирует» соединение соответствующих шин (АШ или РШ) с анодом или катодом диода (рис. 6.9,а), базой или эмиттером биполярного транзистора (рис. 6.9,б), затвором, стоком или истоком МДП-транзистора (рис. 6.9,в).

В микросхемах ПЗУ, программируемых пользователем, в исходном состоянии все ЭП подключены к шинам (запись 0). Однако в соединения включены плавкие перемычки (рис. 6.9,г), которые могут быть разрушены при протекании тока повышенной величины. Такие перемычки изготавливаются из материала с повышенным сопротивлением, чаще всего из нихрома, титановольфрамового сплава или поликристаллического кремния. Ток программирования обычно составляет десятки миллиампер. При этом в перемычке происходят различные физико-химические процессы, вызывающие нарушение ее проводимости: расплавление и разрыв перемычки, если она нагревается выше температуры плавления; окисление металлов при нагревании с образованием непроводя-

ших окислов; электромиграция атомов металла при высоких плотностях тока под действием движущихся электронов, приводящая к разрыву перемычки. В зависимости от характеристик перемычки и режима программирования тот или иной процесс вызывает разрушение соответствующей перемычки (запись 1). Такие микросхемы ПЗУ называются *программируемыми* (ППЗУ).

Запись информации в микросхемах ППЗУ осуществляется при их включении в специальное устройство — программатор. В режиме программирования напряжение питания повышается до $U_{пр} = 10 \dots 15$ В, производится последовательная выборка (адресация) ЭП, а на выход микросхемы подаются сигналы, вызывающие при записи 1 протекание через перемычку в выбранном ЭП импульса программирующего тока длительностью в несколько десятков микросекунд. Обычно выполняется 2...3 цикла программирования, чтобы повысить вероятность правильной записи информации. Иногда при повторных циклах увеличивают амплитуду или длительность импульсов тока, чтобы обеспечить разрыв перемычек, которые не полностью разрушились при первоначальном программировании. С помощью программатора выполняется также контроль правильности записанной информации путем считывания и визуальной индикации состояния ЭП.

В процессе последующей эксплуатации возможно восстановление проводимости некоторых перемычек, если при программировании они оказались разрушенными не полностью. Поэтому перед использованием микросхем в аппаратуре обычно проводят их электротермотренировку. Она производится при максимальной рабочей температуре в течение 100...200 ч путем последовательного считывания всех ЭП с частотой от десятков герц до нескольких мегагерц. После этого выполняется проверка хранящейся информации. При появлении ошибок микросхема повторно программируется.

Для уменьшения площади, занимаемой накопителем, отдельные ЭП интегрируются путем их физического совмещения в единую полупроводниковую структуру. Так, путем совмещения *n-p-n* транзисторов в ЭП, подключенных к общей АШ, получаем МЭТ, реализующий функции целой строки накопителя (рис. 6.9, д). Аналогично можно интегрировать *p-p-p* транзисторы в ЭП одной строки и получить МЭТ типа *p-p-p* с общим коллектором, в качестве которого служит *p*-подложка микросхемы (рис. 6.9, е).

Схемы обслуживания в микросхемах ПЗУ (ППЗУ) реализуются на базе элементов ТТЛ, ЭСЛ или КМДПТЛ. На рис. 6.10 показан фрагмент ППЗУ на базе ТТЛ. Дешифратор ДШ_х реализован на МЭТ, на m_x эмиттеров которого поступают сигналы с адресных инверторов-повторителей, $(m_x + 1)$ -й эмиттер подключен к выходу инвертора сигнала выборки \overline{CS} , а $(m_x + 2)$ -й эмиттер — к опорному напряжению $U_{оп} = U_{нш} + 2U^* \approx 2$ В. При выборке соответствующей шины АШ_х на ней устанавливается высокий потенциал $U^1_A = U_{оп} + U^*$. При сохранении плавкой перемыч-

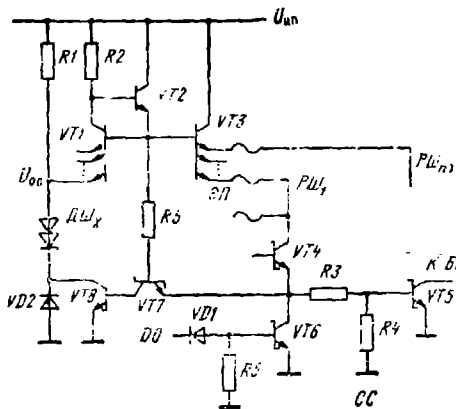


Рис. 6.10. Фрагмент ППЗУ на базе ТТЛ

перемычки. Обычно значение I_p составляет единицы миллиампер, что недостаточно для разрушения перемычки в ЭП.

При записи 1 перемычка в ЭП разрушена и ток в выбранной РШ не протекает. Транзистор VT_5 закрыт, что соответствует состоянию 1 на выходе СС. Выходы СС всех столбцов накопителя соединены для реализации функции Монтажное И и подключены к БК. Так как выходы СС невыбранных столбцов находятся в состоянии 1, то сигнал на входе БК и на его выходе DO определяется состоянием выбранного ЭП.

К выходу DO микросхемы подключена схема программирования, реализованная на транзисторах VT_6 — VT_8 . В режимах хранения и считывания транзистор VT_6 и эмиттерный переход VT_7 закрыты. Транзистор VT_8 открыт, обеспечивая необходимое значение напряжения $U_{оп}$. В режиме программирования напряжение питания повышается до $U'_{оп} = 10 \dots 15$ В, такое же напряжение поступает на выход DO. Смещенный в обратном направлении диод VD_1 работает как стабилитрон, имеющий напряжение стабилизации $U_{ст} \approx 6 \dots 8$ В. При этом VD_1 и VT_6 открываются, VT_8 запирается. Диод VD_2 также работает как стабилитрон, и потенциал выбранной шины АШ_x возрастает до $U'_A = U_{ст} + 3U^* \approx 9 \dots 10$ В. Разрядный ток для выбранной РШ увеличивается до $I'_p \approx \approx (U_{ст} + 2U^*_{ш}) / (R' + 2r_k)$, где $U^*_{ш}$ — напряжение на диодах Шоттки, шунтирующих коллекторные переходы VT_4 и VT_6 ; r_k — сопротивление области коллектора этих транзисторов. Сопротивление R' выбирается таким, чтобы ток обеспечивал разрушение перемычки. При программировании устанавливаются адреса только тех ЭП, в которых должна быть записана 1.

ки (запись 0) на соответствующую РШ поступает потенциал $U'_p = U_{оп}$. Выбор столбца осуществляется дешифратором ДШ_x, который выдает сигнал, открывающий транзистор VT_4 . При этом открывается транзистор VT_5 , который вместе с резистором R_3 , R_4 образует схему считывания (СС). На выходе СС устанавливается низкий потенциал, который указывает, что в выбранном ЭП записан 0. В РШ при этом протекает ток $I_p = U^* / (R_3 + R')$, где R' — сопротивление

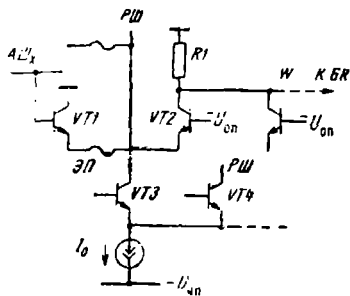


Рис. 6.11. Фрагмент ПЗУ на базе ЭСЛ

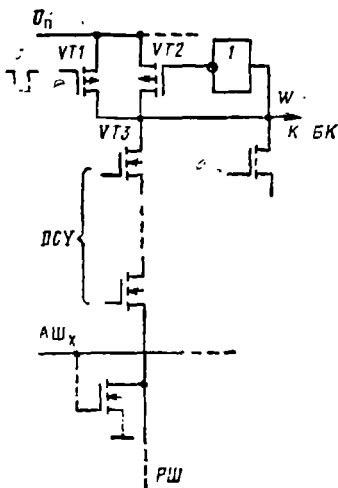


Рис. 6.12. Фрагмент ПЗУ на базе КМДПТЛ

обслуживания реализуются на элементах ЭСЛ. На рис. 6.11 показан фрагмент такого ПЗУ, представляющий двухъярусную схему ЭСЛ. В верхнем ярусе включены ЭП и опорное плечо (транзистор VT_2 , резистор R_1), с которого производится считывание информации. На транзисторы VT_3, VT_4, \dots нижнего яруса поступают сигналы с дешифратора ДШУ. Транзистор, подключенный к выбираемой РШ, отпирается, а остальные $n_x - 1$ транзисторов запираются. Таким образом, ток I_0 течет только в РШ выбранного столбца. Выборка строки осуществляется подачей на соответствующую шину АШ_x потенциала $U^1_A > U_{оп}$. Для остальных $n_x - 1$ строк потенциал адресных шин $U^0_A < U_{оп}$. Если в выбранном ЭП переключатель отсутствует (запись 1), то на выходе считывания W устанавливается низкий потенциал $U_0 = -I_0 R_1$. При наличии переключателя (запись 0) ток I_0 переключается в транзистор VT_1 и потенциал на выходе считывания $U^1 \approx 0$. Выходы W всех столбцов соединяются на общем резисторе R_1 для реализации операции. Монтажные И и подключаются к БК, выполняющему инверсию. В результате на выходе DO устанавливается состояние, соответствующее информации, записанной в ЭП.

В микросхемах ПЗУ на базе КМДПТЛ используются ЭП на n -канальных МДП-транзисторах, а схемы обслуживания реализуются на элементах КМДПТЛ. Фрагмент такого ПЗУ показан на рис. 6.12. При подаче сигнала выборки $\overline{CS} = 0$ на затвор p -канального транзистора VT_1 поступает отпирающий импульс от СУ. На выходе W устанавливается высокий потенциал: $W = 1$. Затем поступает адрес выбираемого ЭП, в соответствии с которым ДШУ формирует высокий потенциал на соответствующей шине АШ_x, обеспечивая подключение этого ЭП к выходу W . Если затвор ЭП подключен к АШ (запись 0), то на выходе W устанавливается

низкий потенциал $U^0 \approx 0$, если не подключен (запись 1), то сохраняется высокий потенциал $U^1 \approx U_{\text{нп}}$. После этого СУ вырабатывает сигнал, разрешающий считывание информации и БК устанавливает на выходе DO микросхемы состояние, соответствующее W . В режиме хранения в микросхеме не протекают токи, поэтому потребляемая мощность весьма мала.

Следует отметить, что ППЗУ на МДП-транзисторах реализуются редко¹, так как для пропускания значительного тока в режиме программирования необходимы большие размеры транзисторов. В результате возрастает площадь кристалла и снижается быстродействие. Значительно большее применение нашли РПЗУ на МДП-транзисторах.

Постоянные ЗУ, программируемые фотошаблоном, используются во внутренней структуре СБИС микропроцессоров и микроконтроллеров для хранения микропрограмм и стандартных программ. Выпускаются также микросхемы ПЗУ, в которых информация заносится по заказу в процессе изготовления. Такие микросхемы, реализованные на n -канальных МДП-транзисторах, при информационной емкости $10^4 \dots 10^5$ бит имеют $t_{\text{в}}$ порядка сотен наносекунд при $P_{\text{в}} = 200 \dots 500$ мВт. Микросхемы ПЗУ на КМДП-транзисторах потребляют в несколько раз меньшую мощность, а микросхемы на базе ТТЛ обеспечивают $t_{\text{в}} = 50 \dots 100$ нс. Микросхемы ППЗУ имеют меньшую емкость: $N_{\text{и}} = 1 \dots 64\text{К}$ бит. Эти макросхемы, реализуемые на элементах ТТЛ, обеспечивают $t_{\text{в}} = 50 \dots 80$ нс, на элементах ЭСЛ $t_{\text{в}} = 20 \dots 30$ нс при $P_{\text{в}} = 500 \dots 1000$ мВт. Выпускаемые микросхемы ПЗУ, ППЗУ имеют организацию $N_{\text{с}} \times k$, где $k = 4$ или 8.

Микросхемы РПЗУ программируются пользователем путем подачи внешних электрических сигналов. Можно выполнить стирание записанной информации с помощью облучения ультрафиолетовым светом или подачей электрических сигналов. После этого микросхема может быть снова запрограммирована. Допустимое число циклов перезаписи зависит от типа ЭП и составляет от нескольких десятков до десятков тысяч. В ЭП микросхем РПЗУ используются МДП-транзисторы, имеющие структуру металл—нитрид—окисел—полупроводник (МНОП) или «плавающий» (не подключенный) затвор (рис. 6.13).

МНОП-транзистор с p -каналом (рис. 6.13,а) имеет подзатворный диэлектрик, состоящий из тонкого слоя окисла SiO_2 толщиной около 2 нм и слоя нитрида кремния Si_3N_4 толщиной десятки нанометров. В исходном состоянии транзистор имеет высокое пороговое напряжение $U'_0 = -(10 \dots 15)$ В. В режиме программирования на затвор транзистора подается импульс амплитудой $U_{\text{пр}} \geq 15 \dots 20$ В и длительностью несколько миллисекунд. Под действием высокого электрического поля отрицательные носители заряда туннелируют через тонкий слой окисла и захватываются ловушками

¹ Имеются разработки микросхем ППЗУ, в которых используется ЭП на биполярных транзисторах и схемы обслуживания на элементах КМДПТЛ.

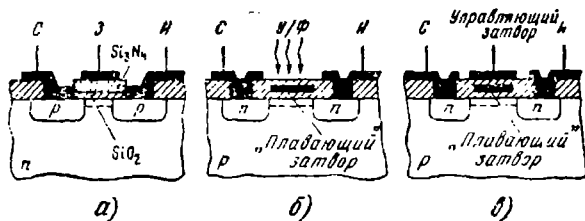


рис. 6.13. МДП-транзисторы со структурой металл — нитрид окисел — полупроводник (а) с «плавающим» затвором (б), с «плавающим» и управляющим затвором (в)

на границе раздела $\text{SiO}_2\text{—Si}_3\text{N}_4$. На этой границе образуется отрицательный заряд, частично компенсирующий положительный заряд поверхностных состояний на границе $\text{SiO}_2\text{—Si}$. В результате пороговое напряжение снижается до значения $U_0 = -1 \dots -2$ В, характерного для обычных МДП-транзисторов. Такое состояние транзистора в ЭП (см. рис. 6.9,в) соответствует записи 0. При поступлении на АШ низкого потенциала $U^0_A \approx 0$ p -канальный МНОП-транзистор переходит в проводящее состояние. Протекание разрядного тока I_p воспринимается схемой считывания и вызывает формирование на выходе микросхемы состояния $DO=0$. Если МНОП-транзистор не подвергался программированию, то его напряжение отпираия U_0 остается высоким. При выборке ЭП такой транзистор остается закрытым, так как его напряжение затвор—исток $U^0_A - U_{ин} \approx -5 \text{ В} > U'_0$. Разрядный ток не протекает, что воспринимается усилителем считывания как состояние 1. Соответственно на выходе микросхемы формируется сигнал $DO=1$.

В режиме стирания на затвор транзистора подается импульс отрицательного напряжения $U_{ст} \approx -15 \dots -20$ В. Заряд на границе $\text{SiO}_2\text{—Si}_3\text{N}_4$ нейтрализуется поступающими положительно заряженными носителями, и восстанавливается высокое пороговое напряжение МНОП-транзистора U'_0 . Такое состояние транзистора в ЭП соответствует записи 1. При программировании микросхемы РПЗУ производится стирание ранее записанной информации путем установки всех ЭП в состоянии 1. Затем последовательно выбираются ЭП, в которые следует записать 0, и МНОП-транзисторы этих ЭП переводятся в низкопороговое состояние подачей на затвор импульсов высокого потенциала.

Необходимо отметить, что в процессе считывания разность потенциалов между затвором и истоком МНОП-транзистора в выбранном ЭП отрицательна: $U_3 - U_{ин} = U^0_A - U_{ин} \approx -U_{ин}$. При этом заряд на границе $\text{SiO}_2\text{—Si}_3\text{N}_4$ несколько уменьшается. При многократном считывании заряд нейтрализуется и МНОП-транзистор переходит в высокопороговое состояние, т. е. записанная информация стирается. Поэтому при использовании таких ЭП

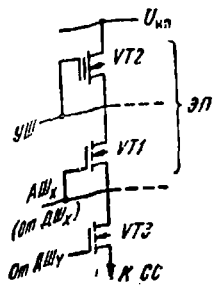


Рис. 6.13. Двухтранзисторный элемент памяти

допускается ограничить число циклов считывания (до $10^9 \dots 10^{10}$).

Это число значительно возрастает при использовании двухтранзисторных ЭП (рис. 6.14), в которых адресные сигналы поступают на транзистор выборки VT_1 , а записанная адресная информация определяется состоянием запоминающего МНОП-транзистора, VT_2 . В режиме программирования и стирания по управляющей шине (УШ) на затвор VT_2 подаются импульсы напряжения $U_{пп} > 0$ или $U_{ст} < 0$, а в режиме хранения и считывания постоянный потенциал $U_{сч} \approx 2,5 \dots 3 \text{ В} < U_{нп} - U_0$, который обеспечивает отпирание МНОП-транзистора, если он находится в низкопороговом состоянии. Так как $U_{сч} > 0$, то при этом не происходит разрушения заряда, благодаря чему допускается большое число циклов считывания. Транзистор VT_3 , управляемый сигналом ДШ_У, осуществляет выбор столбца ЭП.

Другие варианты ЭП используют МДП-транзистор с «плавающим» затвором (см. рис. 6.13, б, в). Программирование осуществляется путем подачи между стоком и истоком высокого напряжения $U_{пр} \approx 15 \dots 20 \text{ В}$, при котором происходит пробой стокового $p-n$ перехода. Электрическое поле в $p-n$ переходе ускоряет дырки, которые преодолевают потенциальный барьер на границе $Si-SiO_2$, попадают в окисел и достигают «плавающего» затвора. На нем накапливается положительный заряд, вызывающий возникновение n -канала. Так как этот затвор изолирован (окружен окислом), то заряд и индуцированный им канал сохраняются в течение длительного времени (несколько лет) после окончания программирования.

Для стирания записанной информации можно использовать облучение ультрафиолетовым светом (см. рис. 6.13, б). Для этого микросхема размещается в корпус с «окном», пропускающим ультрафиолетовый свет. Стирание производится при освещении микросхемы светом кварцевой лампы. При этом в окисле образуются носители заряда (электронно-дырочные пары). Электроны, двигаясь под действием поля в окисле, попадают на «плавающий» затвор, нейтрализуя хранящийся положительный заряд. В результате уничтожается заряд на «плавающих» затворах всех транзисторов, т. е. производится общее стирание информации (запись 1) во всех ЭП микросхемы. Транзисторы с «плавающим» затвором выполняют роль переключки в ЭП (см. рис. 6.9, а), разрешая или запрещая протекание тока при подаче адресного сигнала на затвор транзистора.

При использовании МДП-транзисторов с двумя затворами («плавающим» и управляющим, см. рис. 6.13, в) можно получить ЭП без транзисторов выборки. На рис. 6.15, а показан фрагмент накопителя на таких ЭП, который представляет собой матрицу

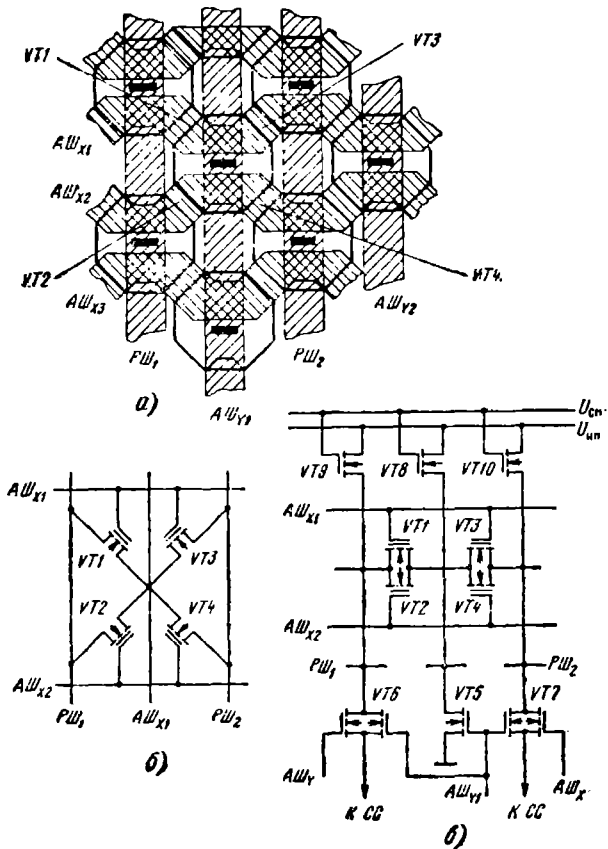


Рис. 6.15. Фрагмент накопителя на МДП-транзисторах с «плавающим» и управляющим затворами:
 а — топология; б — схема соединения ЭП (МДП-транзисторов); в — подключение схем считывания

восьмиугольных областей *n*-типа, образующих с соседними областями по четыре МДП-транзистора с «плавающим» затвором. Управляющие затворы из поликристаллического кремния, который является проводником, напыляются вместе с шинами АШ_х, составляя единое целое с ними. Сверху кристалл покрывается изолирующим окислом SiO₂, на который наносятся металлические шины АШ_х и PШ. Отверстия в окисле обеспечивают соединение этих шин с *n*-областями, каждая из которых является общим истоком или стоком для четырех МДП-транзисторов с «плаваю-

дним» затвором (рис. 6.15,б). Таким образом, каждая ячейка накопителя содержит четыре однотранзисторных ЭП.

Считывание информации осуществляется при подаче на соответствующие шины $AШ_X$, $AШ_Y$ адресных сигналов с выходов $DШ_X$, $DШ_Y$ (рис. 6.15,в). При поступлении высоких потенциалов U^1_A на шины $AШ_{X1}$, $AШ_{Y1}$ открываются транзисторы $VT5$ и $VT1$, $VT2$. Нагрузочные транзисторы $VT8—VT10$ постоянно находятся в открытом состоянии. Если транзистор $VT1$ находится в проводящем состоянии (запись 0), то на шине $PШ_1$ устанавливается низкий потенциал. Если транзистор $VT2$ находится в непроводящем состоянии (запись 1), то на $PШ_2$ сохраняется высокий потенциал. Через транзисторы $VT6$, $VT7$, управляемые адресными сигналами $AШ_Y$, информация с $PШ$ поступит на схемы считывания, которые устанавливают на выходах микросхемы значения $DO_1=0$, $DO_2=1$. Таким образом, одновременно производится считывание двух разрядов хранящегося в РПЗУ слова. Описанная реализация накопителя обеспечивает очень малую площадь ЭП, что позволяет получать высокую информационную емкость (около 10^5 бит).

Стирание информации путем облучения ультрафиолетовым светом имеет определенные недостатки: применение специально дорогостоящего корпуса с «окном», необходимость извлечения микросхемы из устройства, где она используется, для помещения под кварцевую лампу, возможность случайного стирания информации при сильном внешнем освещении. Эти недостатки устраняются при электрическом стирании информации, которое можно выполнять с помощью управляющего затвора (см. рис. 6.13,в). На таких транзисторах реализуются ЭП (см. рис. 6.14), в которых сигналы, поступающие на управляющий затвор по $УШ$, выполняют стирание информации, записанной в транзисторах $VT2$ с «плавающим» затвором. Ввиду большей площади ЭП микросхемы РПЗУ с электрическим стиранием имеют в 2...4 раза меньшую информационную емкость, чем микросхемы со стиранием ультрафиолетовым светом.

Схемы обслуживания (дешифраторы, схемы считывания и управления, БК) в микросхемах РПЗУ обычно реализуются на n -канальных или комплементарных МДП-транзисторах. Использование КМДП-схем позволяет сократить мощность, потребляемую в режиме хранения, до десятков микроватт. Современные микросхемы РПЗУ имеют информационную емкость до 256К бит, потребляемую мощность при выборке $10^2...10^5$ мВт, время выборки — несколько сотен наносекунд. В микросхемах РПЗУ, так же как в ПЗУ (ППЗУ), реализуется словарная выборка, при которой считывается число, имеющее 4, 8 или 16 разрядов.

КОНТРОЛЬНЫЕ ВОПРОСЫ И УПРАЖНЕНИЯ

1. Нарисуйте структуру ЗУ с последовательной выборкой на базе регистров: а) на статических D -триггерах; б) на динамических элементах.

2. Спроектируйте на элементах ТТЛ схему управления, выполняющие управляющие сигналы для РФ, УС и БК в микросхемах памяти ТТЛ (см. рис. 6.3).

3. Получите аналитические выражения для мощности, потребляемой буферными каскадами на рис. 6.4.

4. Спроектируйте на базе двух- и трехъярусных элементов ЭСЛ адресные дешифраторы ДШ_x, ДШ_y и схему управления для микросхемы памяти емкостью 1024×1 бит (рис. 6.5).

5. Спроектируйте на базе элементов КМДПТЛ схемы обслуживания для микросхем памяти.

6. Постройте временные диаграммы изменения заряда на запоминающей емкости C_2 в динамическом ЭП (см. рис. 6.8) при выборке элемента

7. Постройте временные диаграммы изменения сигналов A , \overline{RAS} , \overline{CAS} , $\overline{WR/RD}$, DI , DO для динамических микросхем памяти.

8. Объясните, почему плавкие перемычки включаются в эмиттерные или стоковые цепи транзисторных ЭП (рис. 6.9, б, в), а не в цепь базы или затвора.

9. Получите аналитические выражения для мощности, потребляемой схемами ДШ_x, ЭП, СС микросхемы ППЗУ (см. рис. 6.10) в режиме считывания.

10. Постройте временные диаграммы изменения потенциалов при считывании информации в схеме на рис. 6.12.

11. Постройте временные диаграммы изменения потенциалов в узлах накопителя (см. рис. 6.15, в) при считывании информации. Укажите факторы, определяющие время выборки.

12. Проведите качественное сравнение достоинств и недостатков различных вариантов реализации микросхем ОЗУ и ПЗУ (ППЗУ, РПЗУ), рассмотренных в данной главе.

Глава 7. ФУНКЦИОНАЛЬНЫЕ БЛОКИ ЦИФРОВЫХ СИСТЕМ

На базе комбинационных и последовательностных узлов, рассмотренных в гл. 3 и 5, строятся крупные функциональные блоки (ФБ), из которых создаются цифровые системы. Эти ФБ выполняют преобразование и хранение многоразрядных чисел, которые являются командами, данными или их адресами. В зависимости от архитектуры системы и выполняемых ею функций формы и способы преобразования и хранения чисел могут быть самыми различными. В данной главе рассматриваются несколько примеров типовых ФБ, наиболее широко используемых в микроэлектронных цифровых системах.

7.1. СУММАТОРЫ

В цифровых системах обычно обрабатываются многоразрядные числа (операнды), поэтому в их состав в качестве отдельного блока часто включаются многоразрядные сумматоры, которые строятся на базе одноразрядных сумматоров (см. § 3.4), соединенных цепями переноса. Простейшая структура n -разрядного двоичного сумматора с последовательным переносом приведена на рис. 7.1,а.

Вычитание в цифровых системах выполняется суммированием чисел в обратном или дополнительном коде. Поэтому в арифметическом устройстве обычно используются универсальные сумматоры-вычитатели, выполняющие обе эти операции. Структура сумматоров-вычитателей зависит от выбранного алгоритма вычитания.

При вычитании с использованием дополнительного кода структура сумматора-вычитателя имеет вид, показанный на рис. 7.1,б. Поступающие числа $A = (A_{n-1} \dots A_1 A_0)$, $B = (B_{n-1} \dots B_1 B_0)$ и результаты операции $S = (S_{n-1} \dots S_1 S_0)$ представлены в дополнительном коде, если они отрицательны ($Z=1$), и в прямом, если положительны ($Z=0$). Включенный на входе сумматора преобразователь в обратный код на элементах Искключающее ИЛИ при выполнении вычитания ($M=1$) инвертирует число B (вычитаемое), а при сложении пропускает его на вход сумматора без изменения. Аналогично преобразуются и суммируются знаковые разряды Z_A , Z_B чисел A , B , образуя знаковый разряд результата Z_S . При вычитании с использованием обратного кода числа A и B поступают на вход сумматора-вычитателя в обратном коде, если они отрицательны, и в прямом, если положительны. В таком же коде образуется и результат операции S . При этом для

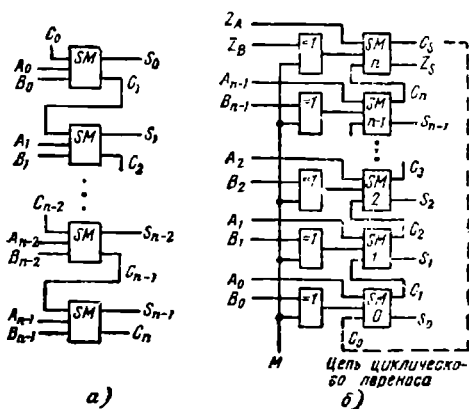


Рис. 7.1. Структура n -разрядного сумматора (а) и сумматора-вычитателя (б)

получения правильной результата вводится цепь *циклического переноса* (штриховая линия на рис. 7.1,б). Использование дополнительного кода позволяет исключить циклический перенос. Благодаря этому время выполнения операции сокращается вдвое, так как не требуется повторение суммирования после поступления в младший разряд циклического переноса. Однако для преобразования чисел в дополнительный код требуются более сложные схемы преобразователей.

При сложении двух чисел со знаком может возникать ошибка, связанная с переполнением сумматора. Например, при сложении положительных чисел $Z_A = Z_B = 0$ может образоваться перенос $C_S = 1$ в знаковый разряд $Z_S = C_S = 1$, т. е. результат операции оказывается отрицательным. Аналогично при сложении двух отрицательных чисел $Z_A = Z_B = 1$, представленных в дополнительном коде, результат может оказаться положительным ($Z_S = 0$). Поэтому в сумматорах-вычитателях обычно включают дополнительную схему контроля переполнения, которая реализует функцию $V = C_n \oplus C_S$. В этом случае при возникновении переполнения будет устанавливаться сигнал $V = 1$.

Существенным недостатком сумматоров с последовательным переносом является большая задержка (t_{Cn}) выходного сигнала C_n в цепи переноса, связанная с его последовательным прохождением через все одноразрядные сумматоры, каждый из которых имеет задержку переноса t_c . В результате $t_{Cn} = nt_c$, а задержка образования n -го разряда суммы $t_{Sn} = t_S + (n-1)t_c$, где t_S — задержка суммы одноразрядного сумматора. При числе разрядов $n > 4 \dots 8$ времена t_{Sn} , t_{Cn} оказываются весьма значительными, поэтому для повышения быстродействия в сумматорах обычно применяются ускоренные способы формирования переноса.

Наиболее часто используется одновременное формирование переноса для нескольких разрядов. При этом вводятся вспомогательные функции $G_i = A_i B_i$, $P_i = (A_i \vee B_i)$ в соответствии с выражением (3.7):

$$C_{i+1} = G_i \vee P_i C_i = \overline{P_i} \vee \overline{G_i} \overline{C_i} \quad (7.1)$$

Сигналы переноса в каждом разряде формируются одновременно в соответствии с выражением

$$C_1 = G_0 \vee P_0 C_0 = \overline{P_0} \vee \overline{G_0} \overline{C_0},$$

$$C_2 = G_1 \vee P_1 G_0 \vee P_1 P_0 C_0 = \overline{P_1} \vee \overline{G_1} (\overline{P_0} \vee \overline{G_0} \overline{C_0}).$$

В обобщенном виде получаем

$$C_{i+1} = G_i \vee P_i G_{i-1} \vee P_i P_{i-1} G_{i-2} \vee \dots \vee P_i P_{i-1} \dots P_2 P_1 P_0 C_0 = \\ = \overline{P_i} \vee \overline{G_i} \overline{P_{i-1}} \vee \overline{G_i} \overline{G_{i-1}} \overline{P_{i-2}} \vee \dots \vee \overline{G_i} \overline{G_{i-1}} \dots \overline{G_1} (\overline{P_0} \vee \overline{G_0} \overline{C_0}). \quad (7.2)$$

Для образования переносов C_1, C_2, \dots, C_i необходимо предварительно получить функции P_i и G_i для каждого разряда. Как видно из выражения (7.1), сложность функции и соответственно схем

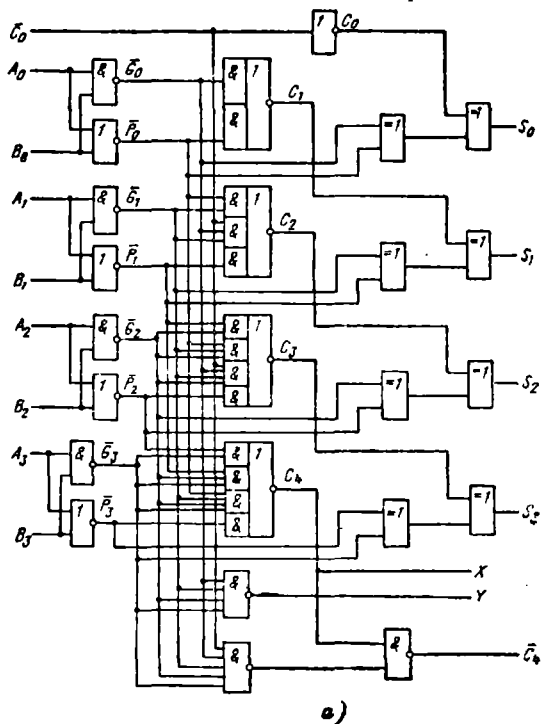
Формирования переноса C_{i+1} быстро возрастает при увеличении i , поэтому данный способ используется при $i \leq 4$. Функция S_i образуется в соответствии с выражением (3.6) в следующей форме:

$$\begin{aligned} S_i &= (A_i \oplus B_i) \oplus C_i = (P_i \oplus G_i) \oplus C_i = \\ &= (P_i \bar{G}_i) \oplus C_i = (P_i \sim G_i) \sim C_i. \end{aligned} \quad (7.3)$$

Логическая схема сумматора с ускоренным переносом показана на рис. 7.2, а. Сигналы переноса, поступающие в первый разряд (\bar{C}_0) и получаемые на выходе четвертого разряда (\bar{C}_4), представлены в инверсной форме, причем перенос \bar{C}_4 формируется с помощью вспомогательных функций X , Y , определяемых выражениями (7.5):

$$\bar{C}_4 = Y \vee X \bar{C}_0 = \overline{(\bar{G}_3 \bar{G}_2 \bar{G}_1 \bar{G}_0 \bar{C}_0)}. \quad (7.4)$$

При построении многоразрядных сумматоров ($n=8, 12, 16, \dots$) разряды объединяются в группы, обычно по два или четыре разряда. В зависимости от требований к быстродействию использу-



а)

Рис. 7.2. Логическая схема четырехразрядного сумматора с ускоренным переносом (а) и его основы (б)

ется последовательный или ускоренный перенос внутри групп и между группами. В виде СИС выпускаются двухразрядные сумматоры с последовательным переносом и четырехразрядные сумматоры с ускоренным переносом. Для организации ускоренного переноса между группами из четырех разрядов используются вспомогательные функции X , Y (рис. 7.2, а), формируемые в каждой из групп:

$$X = \overline{G_3 G_2 G_1 G_0} = G_0 \vee G_1 \vee G_2 \vee G_3,$$

$$Y = \overline{P_3 \vee G_3 P_2 \vee G_3 G_2 P_1 \vee G_3 G_2 G_1 P_0} = G_3 \vee P_3 G_2 \vee \vee P_3 P_2 G_1 \vee P_3 P_2 P_1 P_0. \quad (7.5)$$

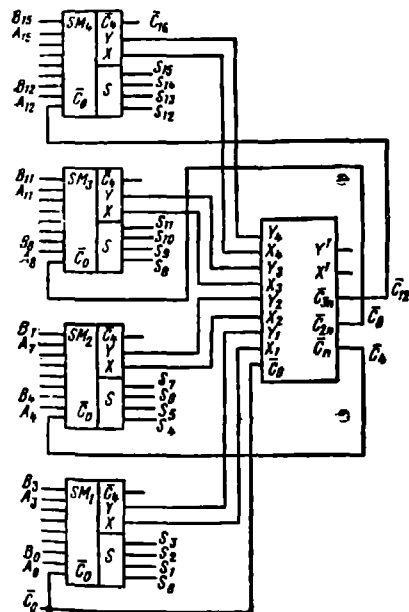
Переносы между группами образуются с помощью формирователя ускоренных переносов, реализующего функции

$$C_n = C_4 = Y_1 X_1 \vee Y_1 C_0,$$

$$C_{2n} = C_3 = Y_2 X_2 \vee Y_2 Y_1 X_1 \vee Y_2 Y_1 G_0,$$

$$C_{3n} = C_{12} = Y_3 X_3 \vee Y_3 Y_2 X_2 \vee Y_3 Y_2 Y_1 X_1 \vee Y_3 Y_2 Y_1 C_0,$$
(7.6)

где X_1 , Y_1 , X_2 , Y_2 — вспомогательные функции на выходах 1-й, 2-й и т. д. групп. Формирователи переносов выпускаются в виде СИС. На рис. 7.2, б показана структура 16-разрядного сумматора, построенного на микросхемах четырехразрядных сумматоров и формирователя переносов. Таким образом, повышение быстродействия сумматоров при организации ускоренного переноса достигается за счет усложнения структуры, что приводит к увеличению мощности и площади кристалла.



б)

переносом (а) и структура 16-разрядного

7.2. АРИФМЕТИКО-ЛОГИЧЕСКИЕ УСТРОЙСТВА

Арифметико-логическим устройством (АЛУ) называется функциональный блок, выполняющий заданный набор арифметических и логических операций над двумя многоразрядными операндами. АЛУ является основным блоком операционных устройств большинства современных цифровых систем.

Набор операций, выполняемых АЛУ, определяется в зависимости от предполагаемой области его использования. Обычно АЛУ выполняют полный набор логических функций двух переменных или его часть, состоящую из наиболее часто используемых функций: конъюнкция, дизъюнкция, инверсия, Исключающее ИЛИ и др. В состав арифметических операций обязательно входят сложение и вычитание. В виде отдельных микросхем либо в составе БИС выпускаются секции АЛУ, выполняющие операции над 2-, 4-, 8-, 16-разрядными операндами. Для обработки операндов большей разрядности параллельно включаются несколько секций АЛУ, входы C_0 и выходы C_n переноса которых могут соединяться последовательно (последовательный перенос), как в сумматоре на рис. 7.1. Для повышения быстродействия переносы C_n между секциями АЛУ можно получать с помощью описанных выше формирователей переноса. При этом многоразрядные АЛУ имеют структуру, аналогичную показанной на рис. 7.2,б, где вместо сумматора включаются четырехразрядные секции АЛУ. Выбор выполняемой операции определяется комбинацией сигналов на управляющих входах M_0, M_1, \dots, M_{m-1} , число которых $m = \log_2 N_0$, где N_0 — общее число операций.

Для примера в табл. 7.1 приведен типовой набор из 16 логических (F_L) и 16 арифметических операций (F_A) над операндами A и B , выполняемый серийно выпускаемыми микросхемами АЛУ. При выполнении арифметических операций учитывается значение переноса C_0 , поступающего в младший разряд АЛУ. Тип выполняемой операции (логическая или арифметическая) задается значением управляющего сигнала M_0 . Остальные управляющие сигналы ($M_1—M_4$) определяют выбор одной из 16 возможных операций. Отметим, что в набор арифметических операций входят перевод операнда A в дополнительный код (операция F_3^A при значении $C_0=0$) и удвоение — умножение операнда A на два (операция F_{15}^A при значении $C_0=0$), т. е. сдвиг A на один разряд влево. Таким образом, при использовании таких АЛУ достаточно просто реализуются практически любые арифметические и логические преобразования информации.

С целью упрощения АЛУ арифметические операции F_A реализуются на базе логических функций F_L в соответствии с выражением

$$F_{Ai} = F_{Li} \approx C_i = F_{Li} \oplus C_i, \quad (7.7)$$

где $F_{Ai} = f(A_i, B_i, C_i)$, $F_{Li} = f(A_i, B_i)$ — арифметические и логиче-

Таблица 7.1

Набор операций АЛУ и соответствующих им вспомогательных функций

M_0	M_1	M_2	M_3	Логические операции ($M_0=1$)	Арифметические операции ($M_0=0$)	G'_i	P'_i
0	0	1	1	$F^0_{\text{л}}=0$	$F^0_{\text{а}}=1+C_0$	0	1
1	0	1	1	$F^1_{\text{л}}=AB$	$F^1_{\text{а}}=(AB)+1+C_0$	AB	1
0	1	1	1	$F^2_{\text{л}}=A\bar{B}$	$F^2_{\text{а}}=(A\bar{B})+1+C_0$	$A\bar{B}$	1
1	1	1	1	$F^3_{\text{л}}=A$	$F^3_{\text{а}}=\bar{A}+1+C_0$	A	1
0	0	1	0	$F^4_{\text{л}}=\bar{A}B$	$F^4_{\text{а}}=(A\vee\bar{B})+C_0$	0	$A\sqrt{B}$
1	0	1	0	$F^5_{\text{л}}=B$	$F^5_{\text{а}}=(A\vee\bar{B})+AB+C_0$	AB	$A\sqrt{B}$
0	1	1	0	$F^6_{\text{л}}=A\oplus B$	$F^6_{\text{а}}=A+B+C_0$	$A\bar{B}$	$A\sqrt{B}$
1	1	1	0	$F^7_{\text{л}}=A\vee B$	$F^7_{\text{а}}=(A\vee B)+A+C_0$	A	$A\sqrt{B}$
0	0	0	1	$F^8_{\text{л}}\vee=\bar{A}\sqrt{B}$	$F^8_{\text{а}}=(A\vee B)+C_0$	0	$A\sqrt{B}$
1	0	0	1	$F^9_{\text{л}}=A\sim B$	$F^9_{\text{а}}=A+B+C_0$	AB	$A\sqrt{B}$
0	1	0	1	$F^{10}_{\text{л}}=\bar{B}$	$F^{10}_{\text{а}}=(A\vee B)+(AB)+C_0$	$A\bar{B}$	$A\sqrt{B}$
1	1	0	1	$F^{11}_{\text{л}}=A\sqrt{B}$	$F^{11}_{\text{а}}=(A\vee B)+A+C_0$	A	$A\sqrt{B}$
0	0	0	0	$F^{12}_{\text{л}}=\bar{A}$	$F^{12}_{\text{а}}=A+C_0$	0	A
1	0	0	0	$F^{13}_{\text{л}}=\bar{A}\sqrt{B}$	$F^{13}_{\text{а}}=A+(AB)+C_0$	AB	A
0	1	0	0	$F^{14}_{\text{л}}=A\bar{B}$	$F^{14}_{\text{а}}=A+(AB)+C_0$	$A\bar{B}$	A
1	1	0	0	$F^{15}_{\text{л}}=1$	$F^{15}_{\text{а}}=A+A+C_0$	A	A

ские функции, выполняемые над i -ми разрядами; C_i — арифметический перенос из предыдущего разряда. Так как наиболее часто выполняемой арифметической операцией является сложение, то структура АЛУ проектируется таким образом, чтобы реализовать эту операцию с наибольшим быстродействием при минимальном числе логических элементов. Поэтому в АЛУ используются ускоренные методы формирования переноса, для чего в каждом разряде образуются вспомогательные функции P'_i и G'_i , которые при выполнении арифметического сложения определяются выражением (7.1): $P'_i=P_i$, $G'_i=G_i$. Вид функций P'_i , $G'_i=f(A_i, B_i, M_1, \dots, M_{m-1})$ зависит от комбинации управляющих сигналов, т. е. от выполняемой арифметической операции. Например, для каждой из арифметических операций АЛУ, приведенных в табл. 7.1, имеется соответствующий набор функций P'_i , G'_i , данный в этой таблице.

Общая структура АЛУ имеет вид, показанный на рис. 7.3,а. Для каждого разряда имеются схемы формирования логических функций (СФЛФ) и вспомогательных функций (СФВФ). Схема формирования переноса (СФП) при выполнении арифметических операций ($M_0=0$) обеспечивает ускоренное образование переноса C_i для всех разрядов АЛУ. При выполнении логических операций ($M_0=1$) все переносы $C_i=0$. Можно образовать логические функции $F_{\text{л}i}$ из P'_i , G'_i в соответствии с выражением

$$F_{\text{л}i}=P'_i\oplus G'_i=\overline{P'_i\wedge G'_i}=P'_i\bar{G}'_i=\overline{\bar{P}'_i+G'_i} \quad (7.8)$$

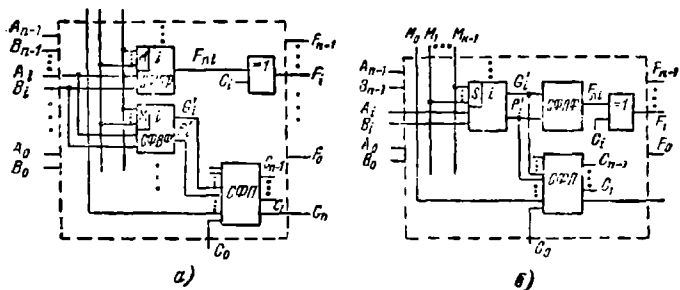


Рис. 7.3. Структуры АЛУ с параллельным (а) и последовательным (б) формированием вспомогательных и логической функций

При этом структура АЛУ упрощается и имеет вид, показанный на рис. 7.3,б, где СФЛФ представляет собой схемы, реализующие согласно (7.8) функцию Исключающее ИЛИ или Запрет. Комбинационные схемы, входящие в состав АЛУ (СФЛФ, СФВФ, СФП), проектируются с помощью методов, изложенных в § 3.1.

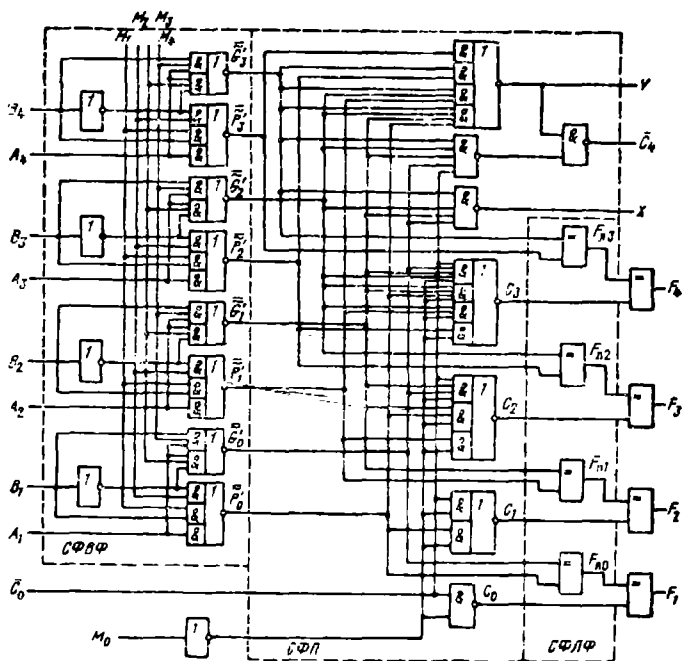


Рис. 7.4. Логическая схема четырехразрядного АЛУ

Для реализации четырехразрядного АЛУ требуется около 70 элементов И—НЕ либо ИЛИ—НЕ.

Для примера на рис. 7.4 показана схема четырехразрядного АЛУ, выполняющего набор операций, данный в табл. 7.1. Схема соответствует структуре на рис. 7.3, б и удобна для реализации на базе элементов ТТЛ. В качестве СФЛФ, реализующих функцию Запрет (инверсия импликация), используются транзисторные ключи (см. рис. 2.9, в), выполняющие операцию Импликация с последующим инвертированием. АЛУ, которые имеют рабочие регистры (РР) для хранения поступающих для обработки операндов, называются *регистровыми АЛУ*

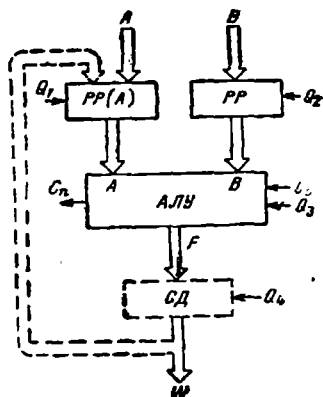


Рис. 7.5. Структура регистрового АЛУ

(рис. 7.5). При проведении вычислений результат предыдущей операции часто служит операндом для следующей операции. Поэтому в ряде случаев один из РР используется для накопления результатов операций АЛУ и называется *аккумулятором (А)*. На рис. 7.5 штриховыми линиями показано включение одного из РР в качестве аккумулятора. При этом на входе аккумулятора включают многоразрядный мультиплексор «из 2 в 1», который в зависимости от управляющего сигнала пропускает число, поступающее с внешнего входа А или выхода АЛУ.

Помимо арифметических и логических операций АЛУ часто выполняет сдвиг двоичных чисел влево или вправо. Для реализации сдвигов обычно используется сдвигатель-мультиплексор (СД), включенный на выходе АЛУ (см. рис. 7.5) или входе аккумулятора. При поступлении внешних управляющих сигналов СД осуществляет сдвиг результата операции или операнда влево или вправо на один разряд. Сдвиг на несколько разрядов можно выполнить последовательно за несколько тактов (микроопераций сдвига). Управление выполняемыми функциями производится с помощью сигналов $Q_1—Q_4$, поступающих от устройства управления.

7.3. УМНОЖИТЕЛИ

Умножение является одной из наиболее распространенных операций, выполняемых в современных цифровых системах. Во многих случаях умножение производится путем последовательного выполнения операций сложения и сдвига в течение n тактов машинного времени, где n — разрядность операндов (см. § 1.2). Однако время умножения при этом оказывается весьма значи-

тельным, что является недопустимым для ряда применений. Поэтому разработаны различные варианты быстродействующих одноктактных умножителей, которые выпускаются в виде отдельных микросхем либо входят в состав БИС в качестве операционных узлов.

Существуют различные типы одноктактных умножителей. Наиболее распространенными являются матричные умножители с однородной структурой. В качестве примера на рис. 7.6 приведена схема n -разрядного матричного умножителя, реализующего алгоритм *частичных произведений*. В данном умножителе матрица элементов И одновременно формирует разряды всех частичных

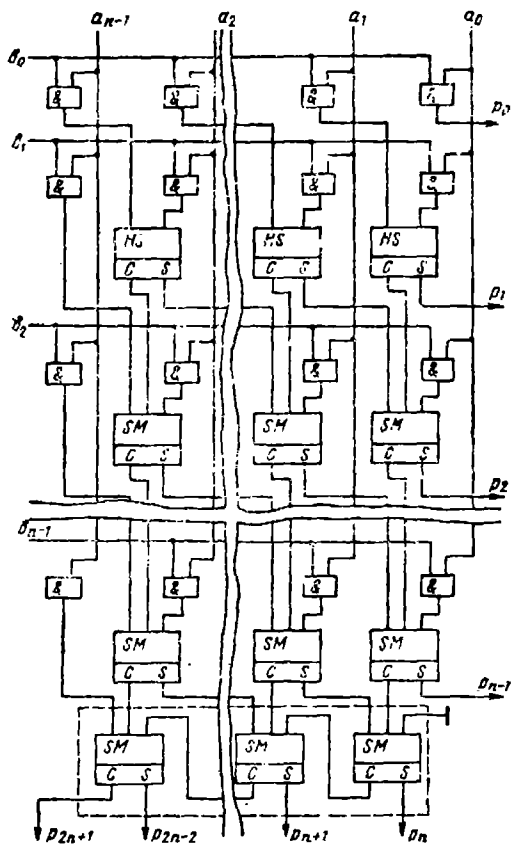


Рис 7.6. Схема матричного умножителя, реализующего алгоритм *частичных произведений*

произведений, которые затем складываются с помощью матрицы одноразрядных сумматоров. Каждая строка одноразрядных сумматоров преобразует три входных слагаемых в два выходных. Получаемые на выходе матрицы сумматоров два числа называются *двухрядным кодом произведения*. Произведение формируется путем сложения этого кода с помощью n -разрядного сумматора ускоренным переносом, включаемого на выходе умножителя.

Топологически матрицы одноразрядных сумматоров и элементов И совмещены в единую матрицу, каждая ячейка которой содержит одноразрядный сумматор с подключенным к одному из его входов элементом И. Высокая однородность структуры такого умножителя упрощает его топологическое проектирование и уменьшает занимаемую на кристалле площадь. Для повышения быстродействия матричных умножителей применяются алгоритмы, позволяющие одновременно формировать частичные произведения множимого на несколько разрядов множителя. Это уменьшает число генерируемых частичных произведений и, следовательно, сокращает число каскадов одноразрядных сумматоров, необходимых для формирования двухразрядного кода произведения.

Одним из наиболее эффективных алгоритмов матричного умножения является *модифицированный алгоритм Бута*. Процесс умножения двух восьмиразрядных чисел с помощью данного алгоритма иллюстрируется на рис. 7.7,а. При этом формируются частичные произведения множимого A на двухразрядные группы множителя $B = (b_n b_{n-1} \dots b_1 b_0)$ в соответствии с выражением

$$R_i = A(-b_{i+1} \cdot 2 + b_i + b_{i-1})2^i, \quad i=0, 2, 4, \dots, n. \quad (7.9)$$

При $i=0$ значение предыдущего разряда $b_{i-1} = b_{-1} = 0$. Возможные значения частичных произведений для различных значений разрядов множителя приведены в табл. 7.2. Частичные произведения R_i в соответствии с их знаком представляются и суммируются в дополнительном коде. Их суммирование осуществляется с помощью матрицы одноразрядных сумматоров и сумматора двухрядного кода произведения, как в умножителе на рис. 7.6.

В качестве примера выполним умножение чисел $A = a_7 a_6 a_5 a_4 a_3 a_2 a_1 a_0 = = 1011$ и $B = b_3 b_2 b_1 b_0 = 1001$. Для $i=0$ имеем $b_3 b_2 b_1 = 010$ и в соответствии с табл. 7.2. $R_0 = A = 1011$. Для $i=2$ значение $b_3 b_2 b_1 = = 100$ и $R_2 = -A \cdot 2^{i+1} = -1011000$. В дополнительном коде $\bar{R}_2 =$

Таблица 7.2

Частичные произведения для модифицированного алгоритма Бута

b_{i+1}	b_i	b_{i-1}	R_i	b_{i+1}	b_i	b_{i-1}	R_i
0	0	0	0	1	0	0	-2A
0	0	1	A	1	0	1	-A
0	1	0	A	1	1	0	-A
0	1	1	+2A	1	1	1	0

Рис. 7.7 Матричный умножитель, реализующий алгоритм Бута

$2^{15} 2^{14} 2^{13} 2^{12} 2^{11} 2^{10} 2^9 2^8 2^7 2^6 2^5 2^4 2^3 2^2 2^1 2^0$

весабые коэффициенты

Множитель А
Множитель В

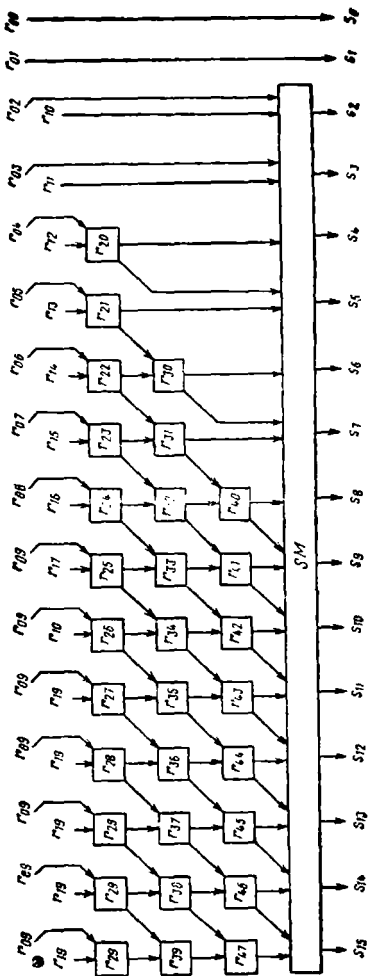
Частичные произведения

P_{09}	P_{19}	P_{29}	P_{39}	P_{49}	P_{59}	P_{69}	P_{79}	P_{89}	P_{99}	P_{109}	P_{119}	P_{129}	P_{139}	P_{149}	P_{159}	P_{169}	P_{179}	P_{189}	P_{199}	P_{209}	P_{219}	P_{229}	P_{239}	P_{249}	P_{259}	P_{269}	P_{279}	P_{289}	P_{299}	P_{309}	P_{319}	P_{329}	P_{339}	P_{349}	P_{359}	P_{369}	P_{379}	P_{389}	P_{399}	P_{409}	P_{419}	P_{429}	P_{439}	P_{449}	P_{459}	P_{469}	P_{479}	P_{489}	P_{499}	P_{509}	P_{519}	P_{529}	P_{539}	P_{549}	P_{559}	P_{569}	P_{579}	P_{589}	P_{599}	P_{609}	P_{619}	P_{629}	P_{639}	P_{649}	P_{659}	P_{669}	P_{679}	P_{689}	P_{699}	P_{709}	P_{719}	P_{729}	P_{739}	P_{749}	P_{759}	P_{769}	P_{779}	P_{789}	P_{799}	P_{809}	P_{819}	P_{829}	P_{839}	P_{849}	P_{859}	P_{869}	P_{879}	P_{889}	P_{899}	P_{909}	P_{919}	P_{929}	P_{939}	P_{949}	P_{959}	P_{969}	P_{979}	P_{989}	P_{999}
R_0	R_1	R_2	R_3	R_4	R_5	R_6	R_7	R_8	R_9	R_{10}	R_{11}	R_{12}	R_{13}	R_{14}	R_{15}	R_{16}	R_{17}	R_{18}	R_{19}	R_{20}	R_{21}	R_{22}	R_{23}	R_{24}	R_{25}	R_{26}	R_{27}	R_{28}	R_{29}	R_{30}	R_{31}	R_{32}	R_{33}	R_{34}	R_{35}	R_{36}	R_{37}	R_{38}	R_{39}	R_{40}	R_{41}	R_{42}	R_{43}	R_{44}	R_{45}	R_{46}	R_{47}	R_{48}	R_{49}	R_{50}	R_{51}	R_{52}	R_{53}	R_{54}	R_{55}	R_{56}	R_{57}	R_{58}	R_{59}	R_{60}	R_{61}	R_{62}	R_{63}	R_{64}	R_{65}	R_{66}	R_{67}	R_{68}	R_{69}	R_{70}	R_{71}	R_{72}	R_{73}	R_{74}	R_{75}	R_{76}	R_{77}	R_{78}	R_{79}	R_{80}	R_{81}	R_{82}	R_{83}	R_{84}	R_{85}	R_{86}	R_{87}	R_{88}	R_{89}	R_{90}	R_{91}	R_{92}	R_{93}	R_{94}	R_{95}	R_{96}	R_{97}	R_{98}	R_{99}

Произведение $S=AB$

$S_0 S_1 S_2 S_3 S_4 S_5 S_6 S_7 S_8 S_9 S_{10} S_{11} S_{12} S_{13} S_{14} S_{15} S_{16} S_{17} S_{18} S_{19} S_{20} S_{21} S_{22} S_{23} S_{24} S_{25} S_{26} S_{27} S_{28} S_{29} S_{30} S_{31} S_{32} S_{33} S_{34} S_{35} S_{36} S_{37} S_{38} S_{39} S_{40} S_{41} S_{42} S_{43} S_{44} S_{45} S_{46} S_{47} S_{48} S_{49} S_{50} S_{51} S_{52} S_{53} S_{54} S_{55} S_{56} S_{57} S_{58} S_{59}$

а)



$= 10101000$. Для $i=4$ $b_5b_4b_3=001$ и $R_4=A \cdot 2^i=10110000$. Все остальные частичные произведения равны 0. В результате суммирования получаем произведение:

$$\begin{array}{r}
 00001011 : R_0 \\
 + 10101000 : R_2 \\
 + 10110000 : R_4 \\
 \hline
 01100011 : P=A \times B
 \end{array}$$

* Структура восьмиразрядного умножителя, реализующего алгоритм Бута, показана на рис. 7.7,б. Каждая ячейка матрицы содержит одноразрядный сумматор и схему, формирующую разряд частичного произведения согласно выражению (7.9). Если полученное значение R_i положительно (см. табл. 7.2), то оно поступает на входы одноразрядных сумматоров без изменений. Если же частичное произведение отрицательно, то перед поступлением в сумматор оно инвертируется, а в младший разряд сумматора поступает сигнал переноса $C_0=1$. Так осуществляются представление и суммирование частичных произведений в дополнительном коде. Реализация алгоритма Бута позволяет почти в 2 раза сокращать число каскадов одноразрядных сумматоров в схеме сложения частичных произведений, соответственно уменьшая время умножения.

7.4. РЕГИСТРОВЫЕ БЛОКИ

Для промежуточного хранения операндов и результатов операций в цифровых системах широко используются регистровые блоки, играющие роль сверхоперативных ЗУ. При этом каждый регистр служит в качестве ячейки памяти, хранящей многоразрядное число. Как и в обычных ОЗУ, в таких блоках может быть реализована произвольная или последовательная выборка регистров.

На рис. 7.8 показана типовая структура регистрового блока¹ с произвольной выборкой, который состоит из m n -разрядных регистров, т. е. служит для хранения m двончных n -разрядных чисел. В режиме записи n -разрядное число D поступает на входы всех регистров. Однако запись производится только в один из них, выбор которого осуществляется в соответствии с поступающим адресом $(A_0 \dots A_{k-1})$, где $k \geq \lg_2 m$. В случае $k = \lg_2 m$ используется полный дешифратор, на одном из выходов которого устанавливается сигнал выборки $Y_i=1$. При этом сигнал разрешения записи $PZ=1$ поступает на выбранный регистр, в который заносится число D . Регистры обычно реализуются на D -триггерах. Если используются D -триггеры, синхронизируемые уровнем, то сигнал PZ подается непосредственно на вход синхронизации C , разрешая или запрещаая запись числа в регистр. Если синхрони-

¹ Такие блоки часто называются *регистровыми файлами*.

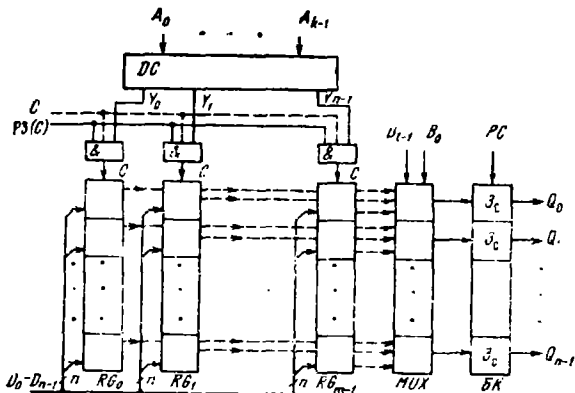


Рис. 7.8. Регистровый блок с произвольной выборкой

зация выполняется фронтом, то синхросигнал подается на отдельный вход синхронизации C (штриховые линии на рис. 7.8). В режиме считывания адрес $B_0 \dots B_{n-1}$ выбираемого регистра поступает на входы многоразрядного мультиплексора, на выходах которого устанавливается n -разрядное число Q , считанное с выходов этого регистра. Буферный каскад (БК) с тремя состояниями (см. § 2.3) при поступлении сигнала разрешения считывания $PC=1$ передает считанное число на выход блока. Если считывание запрещено ($PC=0$), то выходы блока отключаются от нагрузки (устанавливаются в состояние с высоким сопротивлением).

В цифровых системах такие ФБ используются для промежуточного хранения информации и называются регистровыми или «блокированными» ЗУ. Объем памяти этих ЗУ обычно составляет десятки и сотни бит. Время выборки числа зависит от элементной базы и имеет типовые значения от единиц наносекунд (для микросхем ЭСЛ) до десятков наносекунд (для микросхем ТТЛ, КМДПТЛ), что существенно меньше, чем для микросхем памяти большой емкости (см. гл. 6).

Регистровые блоки с последовательной выборкой реализуются на сдвиговых регистрах статического или динамического типа. Пример такого блока дан на рис. 7.9,а. Число регистров равно разрядности чисел n , а число разрядов в регистрах — числу хранимых чисел m . При разрешении записи ($PЗ=1$) число D со входов блока при поступлении соответствующего фронта синхросигнала C заносится в первые разряды регистров. При поступлении следующего синхриимпульса это число сдвигается на один разряд к выходам блока, а в первые разряды вводится очередное число. Так введенное число появится на выходе через m периодов синхросигнала C . При $PЗ=0$ ввод нового числа запрещен, а в первые разряды регистров перепиывается число из их

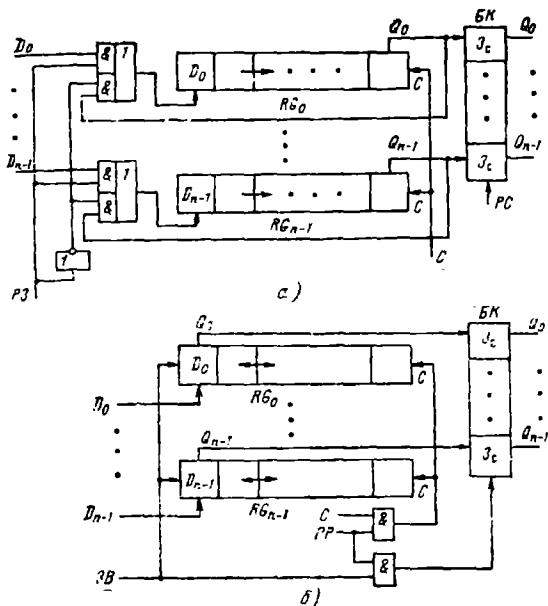


Рис. 7.9. Регистровые блоки с последовательной выборкой

последних разрядов. Таким образом введенные числа будут храниться, циркулируя в сдвиговых регистрах. Считывание определенного числа производится, когда оно поступает в последние разряды регистров. При этом подается сигнал разрешения считывания $PC=1$ и число с выходов Q -триггеров в последних разрядах через буферные каскады (БК) поступает на выходы блока. При запрещении считывания ($PC=0$) выходы БК переходят в высокоомное состояние, отключая блок от нагрузки.

При использовании динамических элементов и триггеров применяется двухфазная или четырехфазная синхронизация. Так как эти триггеры занимают в несколько раз меньшую площадь, чем статические, то блоки на динамических регистрах имеют больший объем памяти — до единиц кбит и более.

Одной из разновидностей регистровых ЗУ с последовательной выборкой является стековое ЗУ (рис. 7.9,б). В этом ЗУ используются реверсивные регистры (см. § 5.2), которые при поступлении синхросигналов C сдвигают записанные числа вправо или влево в зависимости от значения сигнала загрузки-выгрузки ($ЗВ$). При разрешении работы стека (сигнал $PP=1$) внешние синхросигналы C поступают на регистры. В режиме загрузки стека на блок подается сигнал $ЗВ=0$, при котором регистры принимают

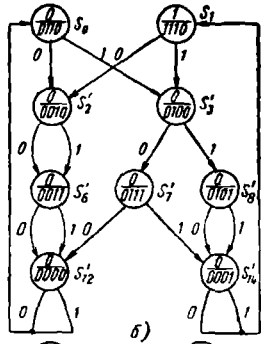
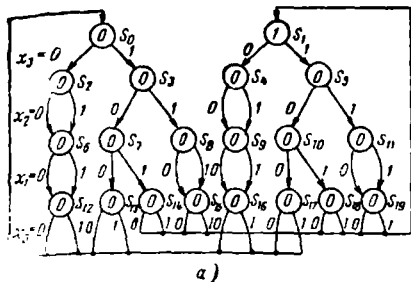
в первые разряды поступившее на вход число $D_0 \dots D_{n-1}$, а затем последовательно сдвигают его вправо — на один разряд за каждый период синхросигналов. Буферный каскад БК при этом находится в отключенном (высокоомном) состоянии. В режиме выгрузки стека (сигнал $ZB=1$) введенные числа сдвигаются влево на один разряд при поступлении каждого очередного синхросигнала S и последовательно выводятся из стека с выходов $Q_0 \dots Q_{n-1}$ первых разрядов регистров через БК, который при этом открывается. В результате число, принятое в стек последним, будет выведено из него первым. Поэтому такое ЗУ называется стеком типа «последний пришел — первый ушел» (LIFO: LAST IN — FIRST OUT).

Отметим, что регистровое ЗУ на рис. 7.6,а также иногда называют стеком типа «очередь» или «первый пришел — первый ушел» (FIFO: FIRST IN — FIRST OUT).

7.5. ПОСЛЕДОВАТЕЛЬНОСТНЫЕ ФУНКЦИОНАЛЬНЫЕ БЛОКИ

В состав цифровых систем входят различные типы последовательных ФБ, выполняющих различные процедуры обработки информации и управления этим процессом. Эти блоки имеют такую же структуру (см. рис. 5.1,а), как функциональные узлы, реализующие относительно простые процедуры хранения, счета или генерации кодов (см. гл. 5), однако выполняют существенно более разнообразные и сложные функции. Поэтому при их разработке используются специальные методы проектирования и способы реализации, обеспечивающие улучшение технических характеристик ФБ. При схемотехническом проектировании ФБ выполняется последовательность этапов, которую рассмотрим на примере разработки логической схемы *числового анализатора*. Назовем так ФБ, анализирующий информацию, последовательно поступающую на вход X , и вырабатывающий выходной сигнал $Q=1$ после приема четырех бит информации, если поступившее двоичное число $X=x_3x_2x_1x_0 \geq 1010$, где x_i — значение очередного бита. Такие ФБ используются, например, для анализа поступающих данных в измерительной технике (фиксации чисел, больших 10) или в телеметрической аппаратуре для контроля правильности последовательной (побитовой) передачи двоично-десятичных чисел, значение которых не может превышать 1001, т. е. 9 (см. § 1.1).

1. Составление графа переходов или таблицы состояний производится так, как описано в § 5.1. Исходный граф переходов анализатора показан на рис. 7.10,а, где для каждого состояния даны значения Q (в кружке), а стрелками показаны переходы при поступлении сигналов $X=x_i$. Перед приемом очередных четырех битов информации (x_3, x_2, x_1, x_0) анализатор может находиться в состоянии S_0 , когда $Q=0$, или S_1 , когда $Q=1$ (предыдущее число $X \geq 1010$). При поступлении на вход X определен-



а)

y_1, y_0	F_{y3}	F_{y2}	F_{y1}	F_{y0}
x_3, x_2	00 01 11 10	00 01 11 10	00 01 11 10	00 01 11 10
000	0 Δ 0 0	Δ Δ 0 0	Δ Δ ▽ 1	0 0 ▽ Δ
001	0 0 0 0	1 ▽ ▽ ▽	Δ 0 ▽ 1	Δ 1 ▽ 0
011	X X X ▽	X X X ▽	X X X 1	X X X 0
010	X X X X	X X X X	X X X X	X X X X
110	X X X X	X X X X	X X X X	X X X X
111	X X X ▽	X X X 1	X X X ▽	X X X 0
101	0 0 0 0	1 ▽ ▽ 1	0 0 ▽ ▽	Δ 1 1 0
100	0 Δ 0 0	Δ Δ 0 0	Δ Δ ▽ 1	0 0 ▽ Δ

б)

в)

	D_3	D_2	D_1	D_0
000	1	1	1	1
001		1		
011	X X X	X X X	X X X 1	X X X
010	X X X X	X X X X	X X X X	X X X X
110	X X X X	X X X X	X X X X	X X X X
111	X X X	X X X 1	X X X 1	X X X
101		1		1
100	1	1	1	1

Рис. 7.10. Проектирование анализатора:
 а — исходный граф переходов; б — сокращенный граф переходов; в — карты функций переходов внутренних переменных; г — карты Карно входных функций D-триггеров

того значения x_3 анализатор переходит в одно из состояний S_2, S_3, S_4 или S_5 , при которых $Q=0$. После приема всех четырех бит x_3, x_2, x_1, x_0 устанавливается состояние S_0 или S_1 , при котором выходной сигнал $Q=0$ или 1 указывает, выполняется ли условие $x_3x_2x_1x_0 \geq 1010$. Функционирование анализатора можно определить также соответствующей таблицей состояний¹ (табл. 7.3).

2. Сокращение числа состояний S производится с целью уменьшение m — числа ЭП, необходимых для реализации проектируемого ФБ, так как $m \geq \log_2 S$ (см. § 5.1). Сокращение осуществляется путем объединения (совмещения) состояний, которые имеют одинаковую последовательность состояний, следующих за совмещаемыми. Так, на графе переходов (см. рис. 7.10,а) можно совместить состояния $S_{12}, S_{13}, S_{16}, S_{17}$, а также $S_{14}, S_{15}, S_{18}, S_{19}$; S_6, S_9 ; S_7, S_{10} ; S_8, S_{11} ; S_2, S_4 ; S_3, S_5 . В результате получаем граф с уменьшенным числом состояний (9 вместо 20), определяющий функционирование ФБ в соответствии с исходным заданием, для реализации которого требуется четыре ЭП (вместо пяти). Совмещение состояний с помощью табл. 7.3 производится путем объединения идентичных строк. В варианте 1 (см. табл. 7.3) путем совмещения строк $S_{12}, S_{13}, S_{16}, S_{17}$ и $S_{14}, S_{15}, S_{18}, S_{19}$ получены строки (состояния) S'_{12} и S'_{14} . Последующие процедуры совмещения строк S_6, S_9 ; S_7, S_{10} ; S_8, S_{11} , а затем S_2, S_4 ; S_3, S_5 дают строки (состояния) S'_6, S'_7, S'_8 и S'_{12}, S'_{14} . Полученная таблица состояний (вариант 3) соответствует графу переходов на рис. 7.10,б.

3. Кодировка состояний выполняется с учетом правил, рекомендованных в § 5.1. Еще одно правило кодировки, обеспечивающее упрощение схемы ФБ, состоит в том, чтобы для кодирования состояния с большим числом связей с предыдущими состояниями (больше входных стрелок-переходов) использовать код с большим числом 0. Так, для графа на рис. 7.10,б наибольшее число входных связей (по 3) имеют состояния S'_{12}, S'_{14} , наименьшее (по 1) — состояния S_0, S_1, S'_8 . Одновременно выполнить все три правила удается лишь для некоторых типов ФБ. Поэтому на практике следует рассмотреть несколько вариантов кодирования, по возможности удовлетворяющих этим правилам, и сравнить характеристики ФБ, реализующих тот или иной вариант, с целью выбора схем с наилучшими параметрами.

Для кодировки состояний графа на рис. 7.10,б требуется четырехразрядных код $Y_i = y_3y_2y_1y_0$. Принятые варианты кодировки состояний указаны в соответствующих кружках (в знаменателе) и табл. 7.3 (вариант 3). При такой кодировке $Q = y_3$. Последующие этапы синтеза логической схемы синхронного ФБ, реализующего полученный граф переходов или таблицу состояний, пол-

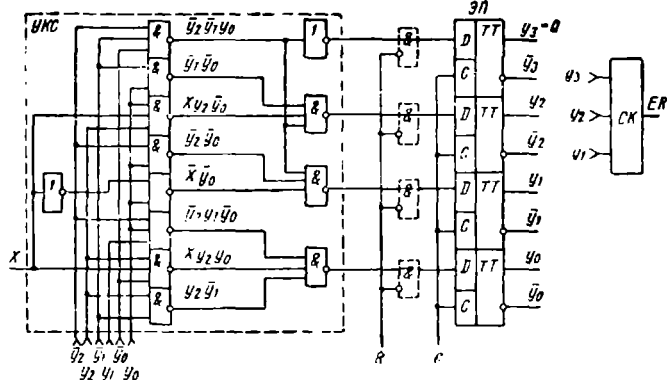
¹ Данная таблица аналогична таблицам состояний в гл. 5, но вместо кодов состояний Y_i указаны их обозначения S_i , так как кодировка (этап 3) еще не проведена.

Таблица 7.3

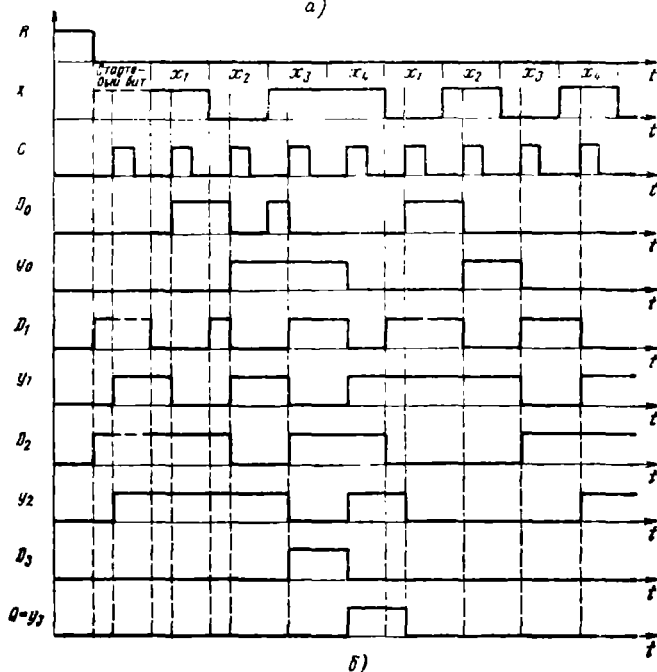
Исходная таблица состояний анализатора и ее сокращение

Состояние	Состояние			Состояние			Состояние			Состояние			Кодировка						
	$x_1=0$	$x_1=1$	Q	$x_1=0$	$x_1=1$	Q	$x_1=0$	$x_1=1$	Q	$x_1=0$	$x_1=1$	Q	y_0	y_1	y_2	y_3			
	S_0	S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8	S_9	S_{10}	S_{11}	S_{12}	S_{13}	S_{14}	S_{15}	S_{16}		
S_0	S_2	S_3	0	S_0	S_2	S_3	0	S_0	S_3	S_3	0	S_0	S'_2	S'_3	0	0	1	1	0
S_1	S_4	S_5	1	S_1	S_4	S_5	1	S_1	S_4	S_5	1	S_1	S'_2	S'_3	1	1	1	1	0
S_2	S_4	S_6	0	S_3	S_4	S_4	0	S_2	S'_6	S'_6	0	S'_2	S'_6	S'_6	0	0	0	1	0
S_3	S_7	S_3	0	S_3	S_7	S_3	0	S_3	S'_7	S'_8	0	S'_3	S'_7	S'_8	0	0	1	0	0
S_4	S_9	S_0	0	S_4	S_9	S_9	0	S_4	S'_8	S'_6	0	S'_6	S'_{12}	S'_{12}	0	0	0	1	1
S_5	S_{10}	S_{11}	0	S_5	S_{10}	S_{11}	0	S_5	S'_7	S'_8	0	S'_7	S'_{12}	S'_{14}	0	0	1	1	1
S_6	S_{12}	S_{12}	0	S_6	S'_{12}	S'_{12}	0	S'_6	S'_{12}	S'_{12}	0	S'_8	S'_{14}	S'_{14}	0	0	1	0	1
S_7	S_{13}	S_{14}	0	S_7	S'_{12}	S'_{14}	0	S'_7	S'_{12}	S'_{14}	0	S'_{12}	S_0	S_0	0	0	0	0	0
S_8	S_{15}	S_{15}	0	S_8	S'_{14}	S'_{14}	0	S'_8	S'_{14}	S'_{14}	0	S'_{14}	S_1	S_1	0	0	0	0	1
S_9	S_{16}	S_{16}	0	S_9	S'_{12}	S'_{12}	0	S'_{12}	S_0	S_0	0	Вариант 3							
S_{10}	S_{17}	S_{18}	0	S_{10}	S'_{12}	S'_{14}	0	S'_{14}	S_1	S_1	0								
S_{11}	S_{19}	S_{18}	0	S_{11}	S'_{14}	S'_{14}	0	Вариант 2				Вариант 1							
S_{12}	S_0	S_0	0	S'_{12}	S_0	S_0	0												
S_{13}	S_0	S_0	0	S'_{14}	S_2	S_2	0												
S_{14}	S_1	S_1	0	Вариант 1															
S_{15}	S_1	S_1	0																
S_{16}	S_0	S_0	0																
S_{17}	S_0	S_0	0																
S_{18}	S_1	S_1	0																
S_{19}	S_1	S_1	0																

ностью аналогичны описанным в § 5.1 этапам проектирования последовательностных узлов. На рис. 7.10,в приведены таблицы функций переходов ЭП, на выходах которых реализуются внутренние переменные y_3, y_2, y_1, y_0 . Клетки, соответствующие неиспользуемым состояниям, отмечены крестиком. В качестве ЭП ис-



а)



б)

Рис. 7.11. Логическая схема (а) и временные диаграммы (б) анализатора

пользуем синхронизируемые фронтом D -триггеры. С помощью словаря переходов (см. табл. 5.2) составляем карты Карно для функций входов триггеров (рис. 7.10,з), минимизируя которые получаем

$$D_0 = y_2 \bar{y}_1 \sqrt{y_2 y_1 \bar{y}_0} \sqrt{X y_2 y_0}; \quad D_2 = \bar{y}_1 \bar{y}_0 \sqrt{y_2 \bar{y}_1 y_0} \sqrt{X y_2 \bar{y}_0};$$

$$D_1 = X \bar{y}_0 \sqrt{y_2 \bar{y}_0} \sqrt{y_2 \bar{y}_1 y_0}; \quad D_3 = \bar{y}_2 \bar{y}_1 y_0.$$

Соответствующая логическая схема анализатора показана на рис. 7.11,а. На этой схеме штриховыми линиями показано включение элементов, обеспечивающих начальную установку и запуск анализатора. При $R=1$ анализатор устанавливается в начальное состояние S'_{12} ($y_3 y_2 y_1 y_0 = 0000$). Запуск анализатора производится сигналом $R=0$. В течение первого периода синхронизации при любом значении X (стартовый бит) схема переходит в состояние S_0 и далее анализирует последующие биты, вырабатывая сигнал Q за каждые четыре периода. Временные диаграммы анализатора приведены на рис. 7.11,б.

Если анализатор под влиянием помех или неисправностей в схеме попадет в одно из неиспользуемых состояний, то происходит нарушение его функционирования (сбой). Для контроля сбоев используется специальная схема (СК), которая вырабатывает сигнал ошибки $ER=1$ при установке одного из семи неиспользуемых внутренних состояний: $Y_1 = 1000, 1001, 1010, 1011, 1100, 1101, 1111$. Для этого СК должна выполнять функцию $ER = Y_3 (Y_2 \sqrt{Y_1} \sqrt{Y_0})$. При появлении сигнала $ER=1$ анализатор должен отключаться сигналом $R=1$, а затем запускаться повторно.

Для сокращения числа состояний удобно использовать таблицу совместимости, определяющую различные варианты совмещения состояний. На рис. 7.12,а дана таблица совместимости для ФБ, функционирование которого задано в табл. 7.4. В этой треугольной таблице крестиками отмечены клетки, соответствующие двум несовместимым состояниям S_i, S_j , указанным по горизонтальной и вертикальной осям, которые имеют различные значения Q . Если состояния S_i, S_j совместимы при условии совместимости каких-либо других пар, то эти пары указываются в клетках. Такие пары S_i, S_j называются условно совместимыми. Клетки, соответствующие безусловно совместимым парам, оставляем пустыми (состояния S_1, S_6 в табл. 7.4). Затем проверяем выполнение условий совместимости. Если хотя бы одно из указанных в клетке условий не выполняется (соответствует несовместимым состояниям), то соот-

Таблица 7.4

Таблица состояний ФБ (рис. 7.12)

Состояния	X_0	X_1	X_2	X_3	Q
S_1	S_2	S_4	S_6	S_1	Q_0
S_2	S_2	S_5	S_2	S_2	Q_1
S_3	S_4	S_5	S_4	S_3	Q_1
S_4	S_4	S_1	S_3	S_4	Q_2
S_5	S_5	S_5	S_5	S_5	Q_2
S_6	S_6	S_4	S_1	S_6	Q_1

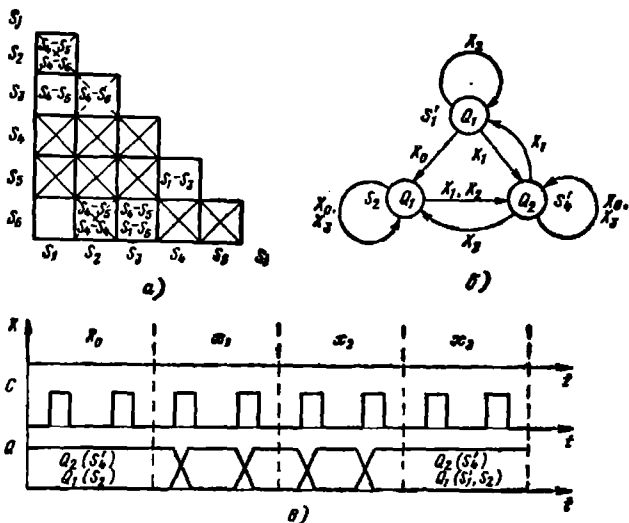


Рис. 7.12. Таблица совместимости (а), граф переходов (б) и временные диаграммы функционального блока (табл. 7.4).

ветствующие состояния также совместимы и клетка отмечается штриховым крестом (рис. 7.12,а). После проверки всех условий оставшиеся неперечеркнутыми клетки указывают нам все попарно совместимые состояния: S_1-S_3 , S_1-S_6 , S_3-S_6 , S_4-S_5 .

Для определения различных вариантов совмещения состояний используется следующая процедура. В таблице совместимости выбирают самый правый столбец, имеющий клетки без крестов, и выписывают соответствующие пары (S_i, S_j) совместимых состояний (столбец $S'_i=S_4$ на рис. 7.12,а, состояния (S_4, S_5)). Для следующего столбца S'_i с совместимыми состояниями определяем соответствующие клеткам без крестов значения S'_j . Если $S'_i \neq S_i, S_j$, уже имеющимся в списке совместимых, то в список добавляются совместимые пары (S'_i, S'_j) . Для рассматриваемого примера (рис. 7.12,а) для столбца $S'_i=S_3$ имеем совместимую пару $S'_i, S'_j=S_3, S_6$. Так как $(S'_i=S_3) \neq (S_i=S_4)$, $(S_j=S_3)$, то получаем список совместимых пар $\{(S_4, S_5), (S_3, S_6)\}$. Для следующего столбца $S'_i=S_1$ имеются две совместимые пары $(S''_i, S''_j) = (S_1, S_6)$ и (S_1, S_3) . Для этих пар $S''_j=S_3, S_6$ совпадают со значениями $S'_j=S_3, S'_j=S_6$ одной из пар списка. Таким образом, состояния S_1, S_3, S_6 , входящие в эти три пары, оказываются попарно совместимы. Поэтому их можно совместить в одно (S_1, S_3, S_6) . Состояние S_2 не совмещается с каким-либо другим. Таким образом, полученный в результате совмещения список состояний имеет вид $\{(S_1, S_3, S_6), (S_4, S_5), S_2\}$. Соответствующий граф переходов показан на рис. 7.12,б.

На рис. 7.12,в приведены временные диаграммы, иллюстрирующие работу ФБ в соответствии с графом на рис. 7.12,б. В качестве входного сигнала X используется двухразрядный код, принимающий значения $X_0=00, X_1=01, X_2=$

$= 10$, $X_3 = 11$. При поступлении X_0 блок сохраняет постоянные значения Q_1 (в состоянии S'_2) или Q_2 (в состоянии S'_4). При сигнале X_1 значение выходного сигнала изменяется: $Q_2 \rightarrow Q_1$ и $Q_1 \rightarrow Q_2$ — в каждом периоде синхронизации. Если сигнал X_2 поступает, когда ФБ находится в состоянии S'_1 , то его состояние далее не изменяется. В противном случае ФБ в каждом периоде переходят из состояния S_2 в S'_4 и обратно с соответствующим изменением Q . При поступлении X_3 блок сохраняет установленное состояние S'_1 , S_2 или S'_4 .

Таким образом, рассмотренный ФБ работает как генератор сигналов (импульсов), управляемый кодом на входе X . Такие ФБ могут использоваться также в качестве схем управления (контроллеров), управляющих работой какого-либо устройства с помощью сигнала Q . Входные сигналы X могут поступать с пульта управления, определяя режим функционирования устройства, или от датчиков, определяющих результат его работы. Такие сигналы обратной связи могут включать или выключать устройство, менять режим его функционирования в зависимости от полученных результатов, фиксируемых соответствующими датчиками.

Используя описанную методику проектирования, можно выполнить схемотехническую разработку различных операционных и управляющих ФБ, входящих в состав цифровых систем. Выходным сигналом Q таких блоков может быть многоразрядное двоичное число, принимающее различные значения в зависимости от состояния ФБ. Формируемые на выходе ФБ числа Q могут использоваться как микрокоманды, управляющие работой других устройств и блоков системы. Необходимые значения $Q = f(Y)$ реализуются с помощью выходной комбинационной схемы (ВКС), подключаемой к выходам ЭП (см. рис. 5.1).

На практике некоторые состояния и значения Q при определенных входных сигналах X могут быть неопределенными (неиспользуемыми). При этом в соответствующих клетках таблицы состояний ставятся прочерки. При объединении строк прочерк замещается значением S_i или Q_i из другой строки. Оставшиеся прочерки при проектировании схемы ФБ доопределяются в соответствующих картах Карно для получения наиболее простых функций входов.

Описанную в данном параграфе методику проектирования синхронных ФБ можно использовать и для разработки асинхронных устройств. В качестве ЭП в таких устройствах используются асинхронные RS-триггеры, т. е. бистабильные ячейки (см. § 4.1). Кодировка состояний при проектировании асинхронных ФБ должна выполняться так, чтобы исключить опасные состязания (см. § 4.2). Для этого необходимо выполнять следующее правило: при переходе из одного состояния в другое должна меняться только одна внутренняя переменная. Если данное правило не удается выполнить, то вводятся дополнительные (промежуточные) состояния и осуществляется избыточная кодировка с увеличением числа внутренних переменных. Число используемых ЭП и соответственно сложность ФБ при этом возрастают.

В качестве УКС в последовательностных ФБ могут применяться ПЛМ (см. § 3.5). Используя ПЛМ и регистр хранения в качестве ЭП, можно построить последовательностные устройства, выполняющие различные функции управления и обработки информации. В настоящее время выпускаются БИС, программируемые для реализации таких функций. Эти БИС (рис. 7.13) содержат ПЛМ, к каждому выходу которой подключен синхронизируемый фронт D -триггер. Мультиплексор $MUX1$ выбирает сигнал со входа D_i или выхода y_i триггера и подает их на выход DIO_i микросхемы через буферный каскад (БК) с тремя состояниями. Управление состоянием БК и асинхронный сброс триггера R_i производятся выходными сигналами ПЛМ. Второй мультиплексор $MUX2$ позволяет подавать на вход ПЛМ сигнал y_i либо DIO_i , если этот вывод используется в качестве входа.

Подача сигналов M_1 и M_2 (0 или 1) на адресные входы мультиплексоров программируется, чтобы обеспечить необходимый режим работы микросхемы. Таким образом можно запрограммировать работу ФБ в качестве комбинационной схемы (сигнал D_i поступает на выход DIO_i), комбинационной схемы с регистром хранения результата (обратная связь с выхода y_i не используется), последовательностной схемы с обратной связью. При работе в режиме последовательностного устройства ПЛМ программируется так, чтобы на ее выходах реализовались функции входов D_i соответствующих ЭП. При использовании DIO_i в качестве входа ПЛМ программируется так, чтобы ее выходной сигнал E_i отключал БК. Логический выход D_i при этом не используется.

Программирование таких БИС осуществляется фотошаблонами или электрическими сигналами, как и для ПЗУ (§ 6.5). Использование репрограммируемых ПЛМ с электрическим или ультрафиолетовым стиранием позволяет изменять функции, выполняемые микросхемой. Выпускаемые БИС такого типа имеют до десяти ЭП и могут реализовать функции сложных последовательностных ФБ с числом состояний до 1024.

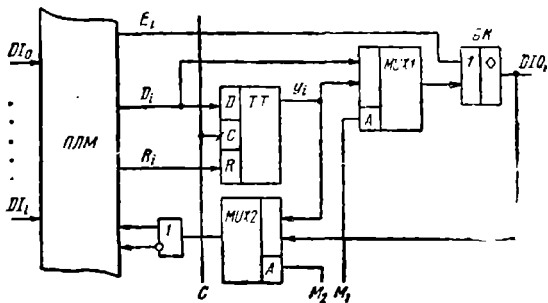


Рис. 7.13 Последовательностный функциональный блок на базе ПЛМ

Как указано в § 7.5, последовательные ФБ могут выполнять в цифровых системах функции контроллеров. Если задан закон функционирования контроллера в виде графа переходов или таблицы состояний, то его проектирование выполняем по описанной выше методике (см. § 7.5). Функционирование контроллера должно обеспечить выполнение заданного алгоритма управления. Рассмотрим методику получения закона функционирования контроллера по заданному алгоритму управления.

Наиболее наглядной формой представления алгоритма управления является *граф-схема алгоритма* (ГСА), которая представляет собой ориентированный связанный граф, имеющий одну начальную и одну конечную вершины и произвольное количество операторных и условных вершин (рис. 7.14, а, б). *Операторные вершины* представляют микрооперации, последовательное выполнение которых обеспечивает определенную процедуру обработки информации в управляемых контроллером операционных уст-

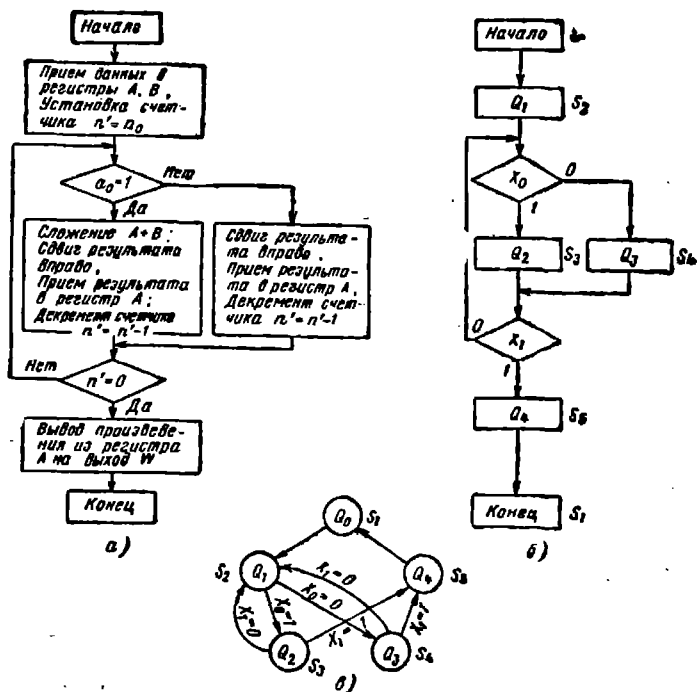


Рис. 7.14. Содержательная (а) и формальная (б) граф-схема алгоритма контроллера и его граф переходов (в)

ройствах или отдельных его ФБ. *Условные вершины* представляют процедуры проверки определенных условий, в зависимости от выполнения которых реализуется та или иная последовательность микроопераций.

Необходимо отметить, что выход операторной вершины может соединяться с ее входом только через промежуточные условные вершины. В противном случае в работе системы произойдет «зацикливание» — бесконечное повторение одних и тех же процедур обработки без получения конечного результата. При соединении одного из выходов условной вершины с ее входом получаем *возвратные вершины*. Такие вершины обеспечивают задержку дальнейшего процесса обработки информации до выполнения соответствующего условия.

При проектировании контроллеров сначала составляется *содержательная ГСА*, в вершинах которой указываются выполняемые микрооперации и проверяемые условия. На рис. 7.14,а проведена содержательная ГСА для умножения двух n_0 -разрядных операндов методом частичных произведений со старших разрядов (см. § 1.2). В качестве операционного устройства используются регистровое АЛУ (см. рис. 7.5) и реверсивный счетчик с модулем счета $K_c = n_0$. При этом АЛУ и регистр A (аккумулятор) должны иметь $2n_0$ разрядов, а регистр B должен иметь n_0 разрядов. Для исходного сдвига операнда B на n_0 разрядов выходы регистра B подключаются к старшим разрядам входа B АЛУ, а на младшие разряды этого входа подаются 0. В соответствии с выбранным алгоритмом умножения сначала в регистры A и B принимаются операнды, а в счетчик заносится число n_0 . Затем в зависимости от значения младшего разряда a_0 числа в аккумуляторе выполняются микрооперации сложения со сдвигом результата на один разряд вправо или только сдвиг (передача операнда A через АЛУ без суммирования). Результат заносится в аккумулятор, а содержимое счетчика $n' = n_0$ уменьшается на 1. Данная процедура повторяется n_0 раз, после чего в аккумуляторе образуется произведение $A \times B$, а в счетчике устанавливается 0. Последней микрооперацией является вывод произведения из аккумулятора на выход W .

Для реализации данного алгоритма контроллер должен формировать микроприказы, управляющие отдельными узлами: q_1 — прием данных в регистр A ; q_2 — прием данных в регистр B ; q_3 — хранение данных в регистре B ; q_4 — установка счетчика в состояние n_0 ; q_5 — передача операнда A через АЛУ без суммирования; q_6 — суммирование операндов A и B ; q_7 — сдвиг результата вправо; q_8 — прием результата в регистр A ; q_9 — декремент счетчика (уменьшение содержимого на 1); q_{10} — передача результата без сдвига. Если микроприказы (микрооперации) выполняются одновременно (в одном такте машинного времени), то они совмещаются в одну микрокоманду. Если микроприказы должны выполняться в различные такты времени (например, сначала запись результата, затем выполнение следующей микрооперации), то на

ГСА они помещаются в отдельные операторные вершины. Каждой операторной вершине соответствует один такт машинного времени, в течение которого выполняются указания для этой вершины микрооперации. Во время этого такта контроллер должен формировать соответствующую микрокоманду, обеспечивающую выполнение указанных микроопераций.

Таким образом, для реализации умножения микроконтроллер должен формировать микрокоманды

$$Q_1 = q_1 q_2 q_3, \quad Q_2 = q_3 q_5 q_7 q_8 q_9, \quad Q_3 = q_3 q_6 q_7 q_8 q_9, \quad Q_4 = q_6 q_8 q_{10}.$$

Сигналами условий служат: $X_0 = a_0$ — значение младшего разряда числа в аккумуляторе; $X_1 = Z$ — признак нуля, т. е. сигнал, формируемый счетчиком в зависимости от его содержимого ($Z = 1$, если содержимое равно 0, $Z = 0$, если не равно 0).

После определения микрокоманд и сигналов условий выполняется переход от содержательной к формальной ГСА (рис. 7.14, б). При этом начальная и конечная вершины отмечаются символом S_1 , а все остальные операторные вершины — символами S_2, S_3, \dots, S_k . Полученная формальная ГСА однозначно соответствует графу переходов контроллера (рис. 7.14, в). При этом условные вершины определяют значения входных сигналов X , вызывающие переход из одного состояния в другое. Безусловные переходы $S_5 \rightarrow S_1, S_1 \rightarrow S_2$ выполняются при любых значениях X . Соответствующая таблица состояний контроллера имеет вид табл. 7.5.

На практике в алгоритм управления вносятся некоторые дополнения. Обычно вводится дополнительный сигнал запуска X_2 , при поступлении которого начинается выполнение умножения, т. е. переход $S_1 \rightarrow S_2$ происходит при условии $X_2 = 1$ (или 0). На выходе регистрового АЛУ (РАЛУ) включается БК, который открывается в состоянии S_5 (вывод результата) отдельным микроприказом q_{11} . Так как в состоянии S_1 БК отключает РАЛУ, то контроллер при этом может формировать любые микроприказы узлам РАЛУ. Во многих цифровых системах контроллер (УУ) в состоянии S_1 (перед началом работы) выдает микроприказы сброса в 0 всех регистров.

Используя методику, изложенную в § 7.5, по полученному графу переходов или таблице состояний синтезируется схема

Таблица 7.5

Таблица состояний контроллера (рис. 7.14)

Состояния	X_0		X_1		q
	0	1	0	1	
S_1	S_5	S_2	S_2	S_2	—
S_2	S_6	S_3	—	—	Q_1
S_3	—	—	S_2	S_5	Q_2
S_4	—	—	S_3	S_5	Q_3
S_5	S_1	S_1	S_1	S_1	Q_4

контроллера¹. При этом микрокоманды, соответствующие определенным состояниям контроллера, формируются с помощью ВКС, подключенной к выходам ЭП (см. рис. 5.1,а), которая выполняет функцию $Q=j(Y)$. Различные методы преобразования ГСА позволяют сократить количество операторных и условных вершин [26]. В результате уменьшается сложность проектируемого контроллера и улучшаются его характеристики.

Особенно удобно реализовать контроллеры на базе ПЛМ или репрограммируемых ПЛМ (см. рис. 7.13). В этом случае разработчик, подавая соответствующие электрические сигналы, программирует контроллер для реализации заданного алгоритма управления [30]. Программируя подключение ЭП с помощью мультиплексоров *MUX1*, *MUX2*, можно обеспечить выполнение одной частью ПЛМ функций УКС (формирование входных сигналов D_i для ЭП), а другой частью — функций ВКС (формирование микрокоманд Q_i на выходе микросхемы).

Формируемая контроллером микрокоманда Q представляет собой двоичное число, отдельные разряды или группы разрядов которого управляют работой различных узлов и блоков, т. е. являются микроприказами. Обычно микрокоманда представляется в виде совокупности полей, каждое из которых содержит микроприказ для отдельного ФБ или узла (рис. 7.15). Последовательность формируемых контроллером микрокоманд образует микропрограмму. На рис. 7.15 показана микропрограмма умножения, соответствующая рассмотренному алгоритму. Прочерками отмечены неопределенные значения микроприказов.

Для сложных цифровых систем, содержащих большое число узлов и блоков, длина микрокоманды составляет десятки разрядов (до 100 и более). Для многих состояний часть микроприказов оказываются неопределенными (рис. 7.15), и можно сократить длину микрокоманд путем их шифрации (см. § 3.2). Однако в этом случае микрокоманды, поступающие на управляемые узлы и блоки, необходимо дешифровать с помощью дополнительных комбинационных схем.

Можно спроектировать отдельные контроллеры для управления различными группами узлов и блоков цифровой системы. При этом одни контроллеры в соответствии с поступающими сигналами могут включать или выключать другие. Таким образом, общее УУ такой системы представляет собой композицию нескольких контроллеров. Данная организация управления повышает живучесть системы, которая при выходе из строя части контроллеров продолжает выполнять некоторые функции.

Управляющие микропрограммы цифровых систем во многом похожи на обычные программы (см. § 1.5). Их также можно за-

¹ Описанная в данном параграфе методика преобразования ГСА позволяет получить контроллеры, функционирующие как автоматы Мура (см. § 5.1). Методика преобразования ГСА, обеспечивающая реализацию автоматов Милли, описана в [26].

	Регистр А	Регистр В	АЛУ	Совбуз	Счет- чик	БН
Q_0	—	—	—	—	—	\bar{Q}_{11}
Q_1	Q_1	Q_2	—	—	Q_4	\bar{Q}_{11}
Q_2	Q_8	Q_3	Q_5	Q_7	Q_9	\bar{Q}_{11}
Q_3	Q_8	Q_3	Q_6	Q_7	Q_9	Q_{11}
Q_4	Q_8	—	Q_6	Q_{10}	—	Q_{11}

Рис. 7.15. Микропрограмма умножения

нести в ЗУ или ПЗУ и последовательно вызывать для управления работой системы. Можно запрограммировать для реализации требуемой микропрограммы ПЛМ, входящую в состав контроллера (см. рис. 7.13). Контроллеры, которые можно программировать для реализации заданных микропрограмм или наборов микропрограмм, называются *микропрограммными*.

В большинстве современных ЭВМ и микропроцессоров УУ также представляет собой микропрограммный контроллер, вырабатывающий определенный набор микропрограмм, записанных в отдельную память — микропрограммное ЗУ (МПЗУ). Выбор выполняемой микропрограммы определяется поступающей командой. Общая структура такого микропрограммного УУ показана на рис. 7.16,а.

Поступающая команда заносится в регистр команд (РК) и расшифровывается дешифратором (ДШК), который вырабатывает командный код (КК), определяющий соответствующую микропрограмму. Выбор микропрограммы осуществляется схемой формирования адреса микрокоманд (СФАМК). При поступлении КК эта схема формирует адрес первой микрокоманды соответствующей микропрограммы. Микрокоманды (МК) хранятся в ячейках МПЗУ и при поступлении соответствующего адреса выбираются и заносятся в регистр микрокоманд (РМК). Кроме МК в ячейке памяти хранятся также адресный код (АК), определяющий расположение следующей МК микропрограммы. АК поступает на СФАМК и обеспечивает формирование адреса следующей МК. Если МК в микропрограмме размещены в последовательно расположенных ячейках памяти, то для их адресации часто используется *микропрограммный счетчик*¹ (МПС), в который заносится адрес очередной выбираемой МК. После выбора МК содержимое МПС увеличивается на 1. При поступлении соответствующего АК содержимое счетчика выдается на выход СФАМК в качестве адреса следующей МК, которая выбира-

¹ Имеются структурные варианты микропрограммных УУ, в которых МПС не используется.

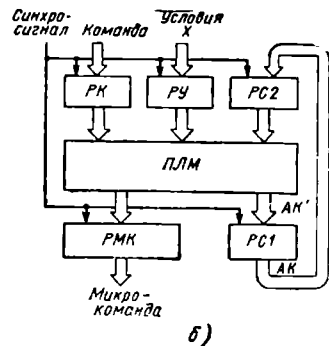
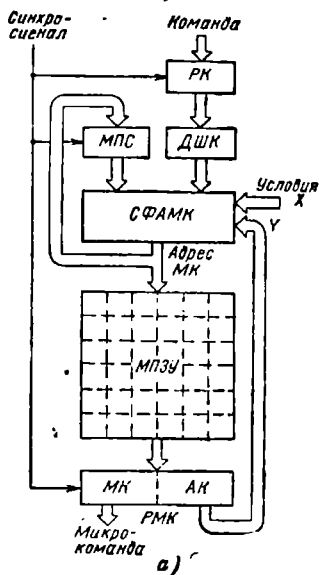


Рис. 7.16. Структура микропрограммных контроллеров на основе ПЗУ (а) и ПЛМ (б)

ется из соседней памяти МПЗУ. Если в микропрограмме реализуются условные или безусловные переходы, то АК обеспечивает формирование адреса МК, к которой выполняется переход. Внешние сигналы X могут изменять порядок следования МК. Например, при выполнении условных переходов в микропрограмме один из сигналов X_1 может определять условие перехода. В зависимости от значения $X_1=0$ или 1 СФАМК формирует различные адреса следующих МК, т. е. осуществляется ветвление микропрограммы.

В результате последовательного выбора микропрограммы из МПЗУ на выходе РМК образуется последовательность МК, которые поступают на остальные узлы и блоки системы, обеспечивая выполнение очередной команды. Последняя МК микропрограммы содержит АК, который разрешает выполнение следующей команды, поступившей в РК. При этом СФАМК принимает новый КК и формирует адрес первой МК микропрограммы, обеспечивающей выполнение этой команды. Такое УУ представляет собой последовательностное устройство (см. рис. 5.1), в котором СФАМК и МПЗУ выполняют функции УКС, а АК служит в качестве внутренних переменных Y . Существуют различные варианты реализации микропрограммных УУ. Если в качестве МПЗУ использовать ПЗУ (см. § 7.5), то УУ будут обеспечивать выполнение фиксированного набора микропрограмм, соответствующий фиксированному набору выполняемых команд. Если использу-

ется РПЗУ, то содержание микропрограмм и соответственно набор выполняемых команд можно менять.

Часто используется вариант реализации МПУУ, в котором вместо МПЗУ и СФЛМК включается ПЛМ (рис. 7.16,б). ПЛМ программируется так, чтобы при поступлении команды, АК и условий X на ее выходе формировались определенная МК и новый АК'. Полученный на выходе матрицы АК' заносится в регистр связи РС1 и в следующем такте синхронизации переписывается в регистр РС2, обеспечивая формирование следующей МК. Поступающие значения условий X хранятся в регистре условий¹ (РУ). Данное МПУУ содержит однородные блоки с регулярной (повторяющейся) структурой, поэтому при реализации оно занимает меньшую площадь на кристалле.

Описанные структурные варианты УУ широко применяются также для реализации различных микропрограммных контроллеров, обеспечивающих управление разнообразными приборами, механизмами, технологическими установками, робототехническими комплексами и другими объектами.

7.7. РЕАЛИЗАЦИЯ ФУНКЦИОНАЛЬНЫХ БЛОКОВ В ВИДЕ МАТРИЧНЫХ БИС

В современных цифровых системах используется широкая номенклатура разнообразных сложнофункциональных блоков, которые выпускаются в виде специализированных БИС. Если требуемый объем выпуска БИС относительно невелик (до десятков тысяч штук), то наиболее эффективной является их реализация на основе базовых матричных кристаллов (БМК). Такие БИС называются матричными² [11].

БМК состоит из трех основных частей (рис. 7.17):

комплекта базовых (топологических) ячеек, располагаемых на кристалле в виде прямоугольной матрицы;

трассировочного пространства, в котором размещаются трассы металлических проводников, соединяющих БЯ в функционально законченную БИС;

периферийной области, где расположены необходимые вспомогательные схемы, обеспечивающие работу БИС, и контактные площадки для подключения внешних выводов.

Базовая ячейка (БЯ) представляет собой набор, содержащий от 4...5 до 20...30 расположенных рядом компонентов: резисторов, биполярных или МДП-транзисторов.

Компонентный состав БЯ выбирается достаточным для реализации на его основе простейшего или сложнофункционального логического элемента. При этом компоненты соседних БЯ могут

¹ Условия X часто называются признаками или флагами, а РУ — регистром признаков (флагов).

² В зарубежной литературе эти БИС называются «полузаказными» (Semi — Custom).

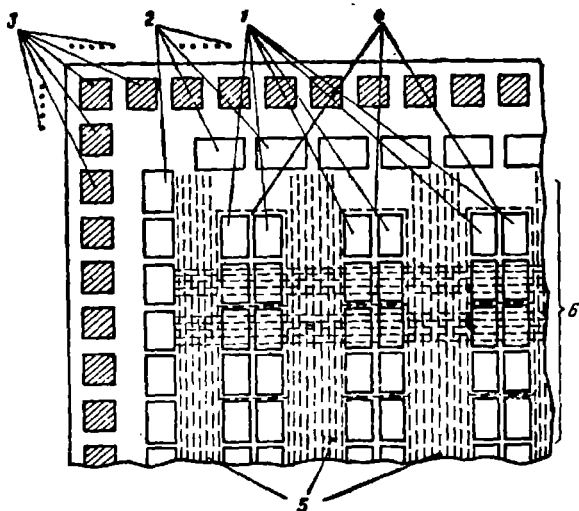


Рис. 7.17. Вариант топологии БМК:

1 — базовые ячейки; 2 — вспомогательные схемы; 3 — контактные площадки; 4 — топологические ячейки; 5 — вертикальные трассы; 6 — горизонтальные трассы

совместно формировать элемент или функциональный узел более высокой сложности — макроэлемент.

Для удобства топологического проектирования несколько соседних БЯ (чаще всего четыре) группируются в топологическую ячейку (ТЯ). Все ТЯ в БМК имеют одинаковую топологию и размещаются в виде матрицы, форма которой близка к квадратной. Между ТЯ остаются каналы для проведения соединений элементов и цепей питания (см. рис. 7.1). Такая конструкция БМК упрощает автоматизированную разработку топологии объединений БЯ при проектировании БИС.

Трассировочное пространство представляет собой систему ортогонально расположенных трасс, по которым проводятся металлические проводники для передачи логических сигналов между элементами, подводки питания и других цепей. Обычно создаются 2...3 уровня расположенных друг над другом проводников, которые разделяются слоями диэлектрика (SiO_2). Общее число трасс N_T , которое требуется для соединения в функциональный блок всех элементов, реализованных на БМК, приближенно оценивается выражением

$$N_T = N_X + N_Y = n_{\text{вв}} N_{\text{бв}}, \quad (7.10)$$

где $N_X \approx N_Y$ — число трасс в горизонтальном и вертикальном направлениях; $N_{\text{бв}}$ — число БЯ в БМК; $n_{\text{вв}}$ — число логических вхо-

дов и выходов элемента (простого или сложнофункционального), реализуемого на базе одной БЯ; $p \approx 0,50 \dots 0,75$.

При двухуровневой разводке на первом (нижнем) уровне выполняются соединения компонентов ТЯ, реализующие схемы требуемых элементов и макроэлементов, и вертикальные отрезки соединений между ними. Трассы первого уровня проходят в каналах между ТЯ¹. Во втором (верхнем) слое проводятся горизонтальные отрезки соединений между элементами и металлические шины для подачи на них напряжений питания и др. Трассы второго уровня размещаются по всей поверхности БМК. Толщина металла на верхнем уровне существенно (в 1,5...2 раза) больше, а сопротивление проводников соответственно меньше, чем на нижнем уровне. Поэтому проводка шины питания и земли на верхнем уровне позволяет снизить падение напряжения на них, что дает возможность уменьшить логический перепад или повысить помехоустойчивость схем. Для уменьшения падения напряжения эти шины имеют существенно большую ширину, чем сигнальные линии. На этом же уровне в случае необходимости проводятся шины для подачи опорных напряжений, смещения.

При трехуровневой системе соединений на верхний (третий) уровень выносятся шины питания. При этом возрастает число сигнальных трасс на втором уровне, что упрощает разработку соединений и уменьшает падение напряжения на шинах, так как можно существенно увеличить их ширину.

На периферийной части БМК располагаются схемы — трансляторы, осуществляющие согласование внутренних сигналов БИС с сигналами, передаваемыми во внешних линиях связи между БИС. Помимо трансляторов на периферии размещаются различные вспомогательные схемы. Например, в БМК на элементах ЭСЛ на периферии реализуются схемы источников опорных напряжений и смещения $U_{оп}$, $U_{см}$ (см. § 2.4). Металлические контактные площадки, к которым подключаются внешние выводы БИС, также располагаются на периферии кристалла на верхнем уровне металлизации.

Число требуемых внешних выводов (контактных площадок) N_n определяется числом контактов, необходимых для подключения логических (сигнальных) входов-выходов N_n и шин питания N_p : $N_n = N_n + N_p$. Требуемое число сигнальных выводов N_n можно оценить с помощью эмпирического соотношения

$$N_n \geq n_{вв} (\alpha N_{бв})^q, \quad (7.11)$$

где α — коэффициент использования БЯ; $q = 0,6 \dots 0,8$. Типовое значение α в матричных БИС составляет $\alpha = 0,5 \dots 0,8$, так как обычно используется только 50...80% имеющихся на кристалле БЯ. Если имеющееся число выводов корпуса, в который помеща-

¹ В некоторых типах БМК каналы между ТЯ отсутствуют, их соединения проводятся непосредственно над теми компонентами, которые при реализации данной БИС остаются неиспользованными (избыточными).

ется матричная БИС, не обеспечивает выполнения соотношения (7.11), то для многих типов ФБ, которые можно реализовать на данном БМК, не хватит внешних выводов для ввода-вывода логических сигналов. Проблему нехватки сигнальных выводов можно решать с помощью мультиплексирования-демультиплексирования сигналов, использования комбинированных (двухнаправленных) входов-выходов.

Число выводов питания $N_{\text{п}}$ зависит от рассеиваемой БМК мощности и типа логических элементов, реализуемых на основе БЯ. Расположение этих площадок на периферии кристалла осуществляется так, чтобы минимизировать падение напряжения на шинах. Применение в БМК элементов ЭСЛ, имеющих малую помехоустойчивость, требует введения до $N_{\text{п}}=20 \dots 40$ площадок питания. Для БМК, использующих элементы ТТЛ или КМДПТЛ с большим запасом помехоустойчивости, допускается меньшее число $N_{\text{п}}$.

Компонентный состав и топология БЯ определяются типом базового элемента, который будет реализовываться на ее основе. БМК, на которых создаются БИС ТТЛ, обычно имеют БЯ, содержащие до 3...4 транзисторов и до 4...5 резисторов (рис.

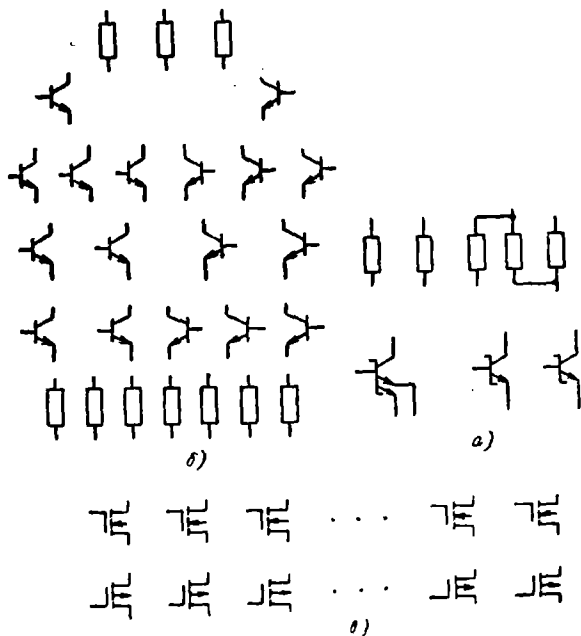


Рис. 7.18. Компонентный состав базовых ячеек БМК ТТЛ (а), ЭСЛ (б), КМДПТО (в)

7.18,а). Вместо нескольких транзисторов иногда вводится один МЭТ. Такой компонентный набор обеспечивает реализацию элемента И—НЕ ТТЛ с простым инвертором (см. § 2.3) и числом входов до $M=3 \dots 4$. В некоторых типах БМК ТТЛ в состав БЯ включены диоды для реализации фиксирующих цепочек. Для реализации БИС ЭСЛ используются БМК, имеющие до $15 \dots 18$ транзисторов и 10 резисторов (рис. 7.18,б). Такой набор компонентов позволяет создавать на базе БЯ двух- и трехърусный элемент И—ИЛИ/И—ИЛИ—НЕ с числом входов до $6 \dots 8$ (см. § 2.4). БМК на КМДП-транзисторах обычно содержит ряды из попарно расположенных n - и p -канальных транзисторов, между которыми проходят каналы для горизонтальных соединений (рис. 7.18,в). Несколько рядом размещенных МДП-транзисторов соединяются в схему элемента, т. е. служат в качестве БЯ. Путем параллельного или последовательного включения резисторов (рис. 7.18,а,б) или МДП-транзисторов (рис. 7.18,в) можно получить из компонентов БЯ элементы с различными значениями тока питания, потребляемой мощности и задержки переключения.

Соседняя компонента БЯ, входящая в состав одной ТЯ, можно создавать функциональные узлы значительной сложности — макроэлементы. В БМК ЭСЛ, например, на базе ТЯ реализуются макроэлементы, эквивалентные $10 \dots 20$ элементам И—НЕ либо ИЛИ—НЕ. При этом соединения компонентов макроэлемента выполняются по возможности в нижнем слое металлизации, между или над компонентами БЯ, чтобы не занимать трассы в каналах, используемые для соединения элементов и макроэлементов в схему ФБ, создаваемого в виде матричной БИС.

Для сокращения сроков и повышения качества разработки матричных БИС их проектирование ведется с помощью функциональных библиотек (см. Введение), которые содержат до $50 \dots 100$ различных элементов и макроэлементов. Типовой состав библиотеки включает:

до $30 \dots 40$ типов логических элементов, реализующие операции И, ИЛИ, НЕ, И—НЕ, ИЛИ—НЕ, И—ИЛИ—НЕ, Исключающее ИЛИ и др. с различным числом входов;

до $10 \dots 15$ типов триггеров, чаще всего D -, RS -, JK -типов, отличающиеся числом входов, видом синхронизации, способом установки и сброса и др.;

до $40 \dots 50$ типов функциональных узлов, включая различные варианты мультиплексоров и демультимплексоров, дешифраторов, сумматоров и АЛУ, регистров, счетчиков с числом разрядов $1 \dots 8$, фрагменты ПЛМ и ПЗУ и др.

Для каждого элемента (макроэлемента) в библиотеке содержатся справочные данные, где приведены его структура и логическая функция, число занимаемых им БЯ, потребляемая мощность, задержка переключения, коэффициент разветвления на выходе. Используя данные сведения, разработчик может спроектировать схему матричной БИС и оценить ее основные характеристики.

Для каждого элемента и макроэлемента разрабатывается топология соединений компонентов БЯ. Таким образом создается библиотека готовых топологических реализаций. При последующей разработке топологии матричной БИС современные САПР производят размещение топологических реализаций используемых элементов (макроэлементов) на БМК и проектируют систему необходимых соединений между ними, используя трассировочное пространство.

Использование готовых библиотечных решений и САПР позволяет сократить срок проектирования матричных БИС до 1...2 недель. Для их производства применяются в качестве полуфабрикатов готовые БМК. Для получения необходимой специализированной БИС достаточно изготовить только фотошаблоны для создания рисунка металлических соединений и контактных отверстий и выполнить последние операции технологического цикла, обеспечивающие реализацию системы электрических соединений и размещение в корпус. В результате полный цикл проектирования и создания образцов матричных БИС составляет 6...8 недель.

В настоящее время широко практикуется выпуск матричных БИС различной степени сложности на базе семейств БМК, которые включают несколько кристаллов, имеющих степень интеграции от 500...1000 до десятков тысяч элементов. БМК одного семейства имеют единую элементную базу: ТТЛ, ЭСЛ или КМДПТЛ, общую функциональную библиотеку, одинаковые значения выходных уровней и порогов переключения, напряжения питания, температурный диапазон. Однако быстродействие и потребляемая мощность элементов (макроэлементов) для разных БМК семейства могут отличаться. Матричные БИС различной функциональной сложности, реализованные на различных БМК одного семейства, могут совместно использоваться для построения цифровых систем, обеспечивая улучшение их характеристик.

КОНТРОЛЬНЫЕ ВОПРОСЫ И УПРАЖНЕНИЯ

1. Спроектируйте на элементах И—ИЕ схему ускоренного переноса для четырех разрядов сумматора.
2. Проверьте с помощью табл. 7.1 и выражений (7.7), (7.8) правильность реализации указанных логических функций $F^3_{\text{л}}$ и $F^3_{\text{а}}$, $F^6_{\text{л}}$ и $F^6_{\text{а}}$, $F^{15}_{\text{л}}$ и $F^{15}_{\text{а}}$.
3. Определите необходимую разрядность сигналов $Q_1—Q_4$ для управления узлами РЛУ (см. рис. 7.5).
4. Предложите варианты практического использования стековых ЗУ типа LIFO и FIFO в конкретных электронных устройствах.
5. Оцените время умножения и потребляемую мощность восьмиразрядных умножителей (см. рис. 7.6 и 7.7) в случае их реализации на типовых элементах ТТЛ, ЭСЛ, КМДПТЛ (см. § 2.3—2.5).

6. Спроектируйте последовательную схему, реализующую граф переходов на рис. 7.12,б. Получите ее временные диаграммы и сравните с рис. 7.12,а.

7. Спроектируйте схему контроллера реализующего граф переходов (рис. 7.14,в) на базе логических элементов и JK-триггеров. Постройте его временные диаграммы.

8. Постройте с использованием ПЛМ и D-триггеров согласно рис. 7.13 схемы, реализующие графы переходов на рис. 7.12,в и 7.14,в.

9. Какой способ синхронизации регистров (уровнем, фронтом) необходимо использовать, чтобы обеспечить работоспособность МПУУ на рис. 7.16,а,б.

10. Выполните соединение компонентов четырех БЯ ТТЛ (рис. 7.18,а), входящих в ТЯ, для реализации синхронизируемого уровнем D-триггера (см. § 4.3). Определите число используемых и неиспользуемых компонентов ТЯ.

11. Выполните соединение компонентов БЯ ЭСЛ (рис. 7.18,б) для реализации двухъязычного элемента, выполняющего функцию $F = AB + CDE$ (см. § 2.4). Определите число используемых и неиспользуемых компонентов БЯ.

12. Укажите варианты соединения резисторов и транзисторов в БЯ (см. рис. 7.18), которые позволяют повысить быстродействие элементов ТТЛ, ЭСЛ, КМДПТЛ, реализуемых на их базе, цепой повышения потребляемой мощности.

Глава 8. МИКРОПРОЦЕССОРЫ И МИКРОПРОЦЕССОРНЫЕ СИСТЕМЫ

Микропроцессором (МП) называется программно-управляемое устройство для обработки цифровой информации и управления процессом обработки, реализованное в виде одной или нескольких БИС. Таким образом, МП выполняет в цифровых системах функции процессора (см. § 1.5). По сравнению с аналогичными процессорами, реализованными на МИС и СИС, стоимость, масса и габариты МП оказываются на 2...3 порядка ниже. Это обусловило широкое внедрение МП в различную электронную аппаратуру.

В настоящее время выпускаются десятки типов МП, обеспечивающих реализацию цифровых систем различного функционального назначения и производительности. Организация массового выпуска МП значительно снизила их стоимость, сделав экономически выгодным их использование в промышленной автоматике, транспорте, бытовой технике и т. п. Создание дешевых МП с широкими функциональными возможностями обеспечило преимуще-

щества цифровым методом обработки информации, что стимулировало их внедрение в такие отрасли, как телефония и радиосвязь, измерительная техника. Поэтому разработка и организация промышленного производства МП является одним из важнейших достижений микроэлектроники. Современные МП, вместе с БИС памяти, матричными БИС и БИС программируемой логики (на основе ПЛМ) служат основной элементной базой для вычислительной и информационно-измерительной техники, систем автоматизации и управления.

8.1. ОБЩАЯ СТРУКТУРА И КЛАССИФИКАЦИЯ МИКРОПРОЦЕССОРОВ И МИКРОПРОЦЕССОРНЫХ СИСТЕМ

Большинство микропроцессорных систем (МПС) имеет *магистрально-модульную структуру* (см. § 1.5). Для уменьшения числа выводов МП часто используют *мультиплексирование* (совмещение) шин адресов и данных (рис. 8.1), при котором они передаются по общей (мультиплексной) шине *AD* с разделением во времени: сначала адрес, а потом адресованные данные. При этом адресуемое устройство (ЗУ, ИУ) должно сначала принять адрес, записав его в регистр адреса (РА), после чего на шину *AD* выдаются данные. Можно использовать в МПС общий РА, после которого шины *A* и *D* разделяются (см. рис. 8.1).

Типовая структура МПС с мультиплексной шиной *AD* приведена на рис. 8.1. Устройство управления, входящее в состав МП, представляет собой последовательностное устройство, реализованное на логических элементах (аппаратная реализация) или на базе ПЗУ, ПЛМ (микропрограммная реализация). Структура и

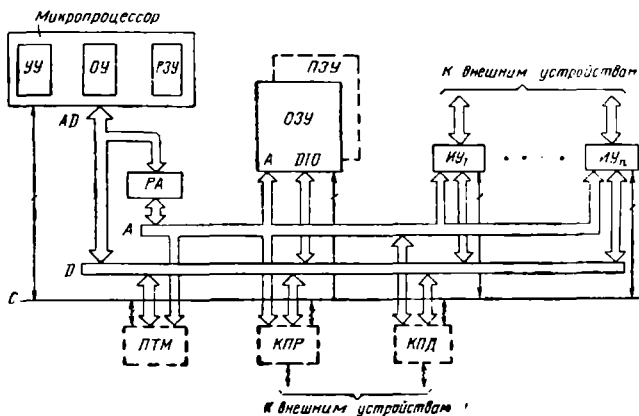


Рис. 8.1. Общая структура микропроцессорных систем

методы проектирования таких устройств описаны в § 7.5 и 7.6. В качестве операционного устройства в МП обычно используется регистровое АЛУ со сдвижателем (см. рис. 7.5). Для реализации умножения, деления и некоторых других сложных операций не используются специальные микропрограммы управления РАЛУ (см. § 7.6). Иногда для ускорения выполнения таких операций в ОУ вводятся специализированные ФБ: умножители (см. § 7.3), многоразрядные сдвигатели-нормализаторы и др. В состав МП часто включается регистровое ЗУ (РЗУ) для хранения промежуточных результатов (см. § 7.4). Его объем памяти обычно не превышает 8...16 слов. Объем памяти ОЗУ определяется разрядностью адреса, формируемого МП. Современные МП имеют разрядность адреса и соответственно шины *A* (или *AD*) от 16 до 24. Наиболее распространенное МП с 16-разрядной адресацией обеспечивает реализацию МПС с объемом ОЗУ до 64К байт. Некоторые типы 32-разрядных микропроцессоров позволяют использовать ОЗУ объемом до сотен мегабайт. Помимо ОЗУ в систему может включаться ПЗУ для хранения констант или стандартных программ.

Через ИУ к системе подключаются внешние устройства, которыми могут быть пульт оператора, внешняя память на магнитных дисках или лентах, периферийное оборудование (дисплей, принтер), разнообразные источники (датчики) и приемники информации, объекты управления. При обмене информацией то или иное ИУ (внешнее устройство) адресуется МП по шине *D* (*AD*). При этом также формируются сигналы управления на шине *C*, определяющие режим обмена.

В МПС часто включается *программируемый таймер* (ПТМ), который через определенные промежутки времени вырабатывает управляющие сигналы, включающие или выключающие системы или отдельные устройства либо изменяющие режим их работы. Дополнительные устройства — *контроллеры прерываний и прямого доступа к памяти* — обеспечивают соответствующие режимы работы МПС. Общие принципы функционирования МПС такие же, как и для других программно-управляемых цифровых систем (см. § 1.5). МПС имеет четыре основных режима работы.

В режиме выполнения основной программы входящий в УУ *программный счетчик* (ПС) выдает на шину *AD* адрес очередной выполняемой команды, которая хранится в ОЗУ или ПЗУ. Адрес заносится в РА, и в следующем такте времени выбранная команда выдается на шину *AD* и принимается в регистр команд УУ (см. рис. 7.16), которое вырабатывает последовательность микрокоманд. Соответствующие разряды микрокоманд (микроприказы) поступают в ОУ, а также по линиям шины управления *C* в другие устройства системы, обеспечивая выполнение очередной команды. Если выполняется команда перехода, то в ПС заносится поступающий адрес команды, к которой производится переход. Эта команда затем выбирается из ОЗУ (ПЗУ) в качестве следующей.

В режиме обращения к подпрограмме поступающая команда вызова подпрограммы вызывает занесение в ПС адреса первой команды подпрограммы. Однако предыдущее содержимое ПС при этом должно сохраниться, чтобы после выполнения подпрограммы осуществить возврат к очередной команде основной программы. Обычно содержимое ПС заносится в стековое ЗУ.

Иногда стековое ЗУ реализуется на регистрах с последовательным вводом-выводом информации (см. § 7.4), однако при этом его объем ограничен числом и разрядностью регистров. Чаще используется реализация стекового ЗУ на базе ОЗУ. Для этого в состав УУ вводится специальный регистр — *указатель стека* (УС). В УС заносится адрес первой ячейки памяти того сегмента ОЗУ, который отведен для стека. При записи данных в стек содержимое УС уменьшается на 1 (декремент) и выдается на шину А (или АД), обеспечивая выборку следующей ячейки стека. Таким образом, стек заполняется «снизу вверх» в сторону уменьшения адресов ячеек. При этом УС содержит адрес верхней заполненной ячейки стека. При считывании из стека содержимое УС выдается на шину А (или АД), обеспечивая адресацию верхней ячейки стека. После ее считывания содержимое УС увеличивается на 1 (инкремент).

Последней командой подпрограммы должна быть команда возврата, при поступлении которой осуществляется считывание из стека адреса очередной команды основной программы к выполнению которой должна вернуться МПС. Если при выполнении подпрограммы поступила команда вызова другой подпрограммы (рис. 8.2), то текущее содержимое ПС заносится в следующую ячейку стека. По окончании этой подпрограммы выполняется команда возврата, которая выберет из стека и занесет в ПС адрес очередной команды ранее выполнявшейся подпрограммы. После ее завершения команда возврата обеспечит продолжение выполнения основной программы.

Таким образом с помощью стекового ЗУ осуществляется *вложение подпрограмм*, т. е. возможность обращения в процессе выполнения подпрограмм к другим подпрограммам. При такой реализации стековой памяти ее объем может быть весьма большим.

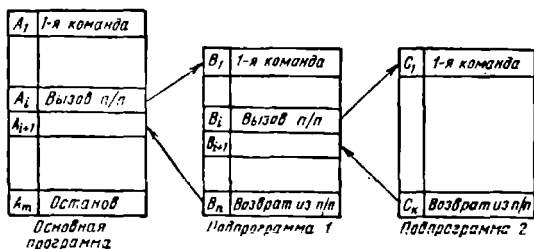


Рис. 8.2. Последовательный вызов (вложение) подпрограмм

(ограничивается объемом ОЗУ), поэтому кратность вложения подпрограмм также достаточно велика.

При обращении к подпрограмме может оказаться необходимым сохранить не только содержимое ПС, но и некоторые промежуточные результаты, которые требуются для продолжения основной программы. Эти результаты, хранящиеся в регистрах, также необходимо занести в стек, а при возвращении к основной программе снова вернуть на прежние места. При этом в большинстве случаев требуются также хранение в стеке и последующее восстановление содержимого РП (признаков).

В режиме прерывания МПС также переходит к выполнению определенной подпрограммы, но не при поступлении соответствующей команды программы, а по запросу внешнего устройства. Причиной такого запроса может быть необходимость срочного выполнения какой-либо процедуры, например ввода или вывода некоторой информации. Поступление этого запроса прерывает выполнение программы и вызывает переход к специальной *подпрограмме обслуживания прерывания*. При этом также заносится в стек текущее содержимое ПС и другая необходимая информация из регистров МП, которая возвращается на место после выполнения подпрограммы.

Запретить прерывание программы или ее фрагмента можно путем включения в нее специальной команды. Другая команда разрешает прерывание следующей за ней части программы. С помощью этих двух команд можно в случае необходимости защитить от прерывания фрагменты выполняемой программы или всю ее полностью. Такая операция называется *маскированием прерываний*. Однако некоторые причины могут потребовать обязательного выполнения прерывания. Такой причиной могут быть возникновение какой-либо аварийной ситуации в работе МПС или управляемых ею устройств, недопустимые отклонения напряжения питания и др. Соответствующие сигналы поступают на специальные входы МП и вызывают *немаскируемые прерывания*, которые нельзя запретить какими-либо командами.

Если запросы на прерывания поступают от нескольких устройств, то необходимо определить приоритет их обслуживания. Для этого в систему может включаться специальный *контроллер прерываний*¹ (КПР), который сравнивает приоритеты поступивших запросов и вырабатывает необходимые команды, поступающие на шину AD, и сигналы управления на шине C. В соответствии с ними МП переходит к выполнению подпрограммы обслуживания запроса с наивысшим приоритетом.

Число входов для подачи запросов с разными приоритетами называется числом уровней прерывания. Обычно МП имеют от 1 до 4 уровней прерывания и соответственно от 1 до 4 входов для

¹ Могут использоваться также другие методы реализации приоритетных прерываний, например с помощью цепочек, блокирующих сигнал разрешения прерывания [15, 17].

запросов. Включение КПР позволяет увеличить число уровней до 8...64.

Режим прямого доступа к памяти (ПДП) используется, если необходимо произвести обмен значительным массивом информации между ОЗУ и каким-либо внешним устройством, от которого поступил запрос на ПДП. В этом случае МП заканчивает выполнение очередной команды и отключается от шины АД. Управление системой принимает на себя *контроллер ПДП* (КПД), который формирует адреса выбираемых ячеек ОЗУ и вырабатывает необходимые управляющие сигналы, обеспечивающие запись или считывание ОЗУ, ввод или вывод данных через соответствующее ИУ. По окончании передаваемого массива КПД вырабатывает сигнал включения МП, который продолжает далее выполнение программы. Если запрос на ПДП поступает одновременно от нескольких устройств, то КПД обеспечивает их поочередное обслуживание в соответствии с определенным приоритетом.

Входящие в МП устройства и их ФБ могут быть реализованы в виде одной или нескольких БИС (однокристалльные или многокристалльные МП). *Однокристалльные МП* обычно выполняют фиксированный набор из 50...150 операций (команд), которые производятся над 4-, 8-, 16- или 32-разрядными операндами. Разрядность операндов определяется числом разрядов РАЛУ и для данного МП является фиксированной. Операнды большей разрядности могут обрабатываться только по частям, последовательно поступающим в МП. При этом производительность МПС существенно снижается, а требуемый объем памяти возрастает. Набор (система) команд, выполняемых однокристалльным микропроцессором, определяется схемой его УУ и не может быть изменен. Различные типы МП реализуют разные наборы команд, ориентированные на наиболее эффективное решение задач в определенной области применения.

В *многокристалльных МП*, реализуемых на нескольких БИС, операционное устройство часто строится из отдельных секций, выполняющих операции над несколькими разрядами. Каждая секция выпускается в виде БИС, параллельное включение которых позволяет обрабатывать операнды требуемой разрядности. Таким образом можно получить МП с любым необходимым числом разрядов. Такие МП с наращиваемой разрядностью называются *секционированными*. Выпускаемые в виде отдельных БИС секции обычно имеют четыре или восемь разрядов. В секционированных МП используется микропрограммное УУ, которое также реализуется на нескольких БИС. При этом путем замены или перепрограммирования МПЗУ можно менять микропрограммы, определяющие функционирование МП. Сменив содержимое МПЗУ, можно изменить набор команд, выполняемых МП. Такие микропрограммируемые МП можно ориентировать на наиболее эффективное решение тех или иных классов задач, обеспечивая реализацию соответствующего набора команд.

По функциональному признаку команды, выполняемые МП, делятся на несколько групп. Команды пересылки обеспечивают обмен операндами между регистрами и ОЗУ. Команды арифметико-логических операций обеспечивают выполнение сложения и вычитания, а для части МП — также умножения и деления, нескольких логических операций (обычно Конъюнкция, Дизъюнкция, Инверсия, Исключающее ИЛИ), сдвигов влево или вправо на один разряд (в некоторых МП — на несколько разрядов). Обычно производятся циклические сдвиги, когда младший разряд сдвигаемого вправо числа помещается на место старшего, а старший разряд сдвигаемого влево — на место младшего. Логические операции выполняются над значениями каждого разряда операндов.

При выполнении арифметико-логических операций производится анализ полученного результата, в соответствии с которым устанавливаются признаки¹. Значение признака указывает на определенное качество результата. Признак нуля $Z=1$ устанавливается, если в результате операции получен 0. Признак знака (старший разряд результата) $S=1$ указывает на получение отрицательного числа. Признак переноса $C=1$ устанавливается при выполнении операции, если образуется перенос из старшего разряда. Признак переполнения $V=1$ указывает на переполнение разрядной сетки при операциях над числами со знаком. Признак четности $P=1$ устанавливается, если результат содержит четное число единиц. В различных МП могут формироваться эти или некоторые другие признаки. Их значения после выполнения операции заносятся в специальный регистр признаков (РП).

Команды управления обеспечивают выполнение условных и безусловных переходов и обращение к подпрограммам. В качестве условий переходов используются значения тех или иных признаков, хранящихся в РП, либо результаты определенной логической операции над некоторыми признаками. Вызов подпрограммы и возвращение к выполнению основной программы также осуществляются соответствующими условными или безусловными командами. К этой же группе относятся команды останова выполнения программы и отсутствия операции («пустая» команда), при поступлении которой каких-либо действий не выполняется. Команды ввода-вывода реализуют обмен данными между МП и внешними устройствами через ИУ. Кроме того, каждый МП выполняет некоторые вспомогательные команды: изменение признаков, обмен данными со стековым ЗУ и др.

Команда представляет собой многоразрядное двоичное число, состоящее из двух основных частей (рис. 8.3,а): кода операции (КОП) и кода адресов операндов (КАД). Разрядность КОП и КАД определяется типом МП и видом выполняемой команды. В безадресных командах КАД отсутствует. При этом обрабатываемый операнд либо отсутствует (например, команды «Останов».

¹ В зарубежной литературе признаки называются *флагами* (flag).

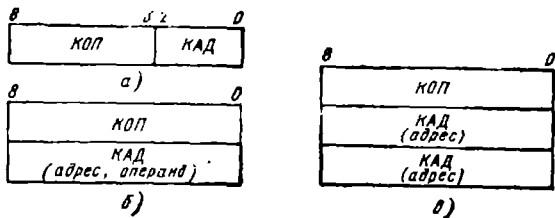


Рис. 8.3. Примеры форматов команд

«Отсутствие операции») либо имеет фиксированное местоположение (например, аккумулятор), которое определяется КОП. В одноадресных командах КАД определяет размещение одного из операндов, а в двухадресных — двух операндов. При этом результат операции помещается по адресу одного из операндов или по некоторому фиксированному адресу, определяемому КОП. Таким образом, КАД определяет расположение источников операндов и приемника результата. В качестве КАД либо непосредственно указывается адрес операнда, либо дается необходимая информация, с помощью которой УУ вырабатывает этот адрес. В ряде команд вместо КАД непосредственно дается один из операндов. Число и размещение разрядов КОП и КАД определяются форматом команды (см. рис. 8.3). При этом разрядность команды может превышать число разрядов шины D (AD) и ячеек памяти ОЗУ (ПЗУ). В этом случае команда размещается в нескольких расположенных друг за другом ячейках и выбирается из ЗУ последовательно, например по 8 или 16 разрядов в соответствии с разрядностью шины A или AD .

В современных МПС чаще всего используются следующие способы адресации источников и приемников информации:

регистровая: в КАД учитывается номер регистра, хранящего операнд;

непосредственная: в поле КАД указывается значение операнда;

прямая (абсолютная): в поле КАД указывается адрес операнда;

индексная: адрес образуется путем сложения базового адреса с индексом, хранящимся в специальном индексном регистре; базовый адрес указывается в поле КАД команды или содержится в базовом регистре (иногда такой способ называется базовой адресацией);

относительная: адрес образуется путем сложения содержимого ПС и смещения — числа, указанного в поле КАД;

косвенная: в поле КАД указывается адрес ячейки памяти, в которой содержится адрес операнда;

косвенно-регистровая: в КАД указывается номер регистра, в котором хранится адрес операнда;

косвенно-индексная и косвенно-относительная: с помощью индексной или относительной адресации определяется адрес ячейки памяти, в которой содержится адрес операнда.

Возможность использования нескольких способов адресации упрощает решение различных задач, уменьшает объем необходимых программ и время их выполнения. Большинство МП реализует ту или иную часть из приведенных способов адресации. В соответствии с полученной командой (КОП и КАД) в МП формируется соответствующий адрес, который выдается на шину A (AD) в начале каждого цикла работы системы.

Выполнение команды занимает один или несколько циклов работы МПС. Машинным циклом называется промежуток времени между двумя обращениями МП к ЗУ (ОЗУ или ПЗУ) или внешним устройствам (ВУ). В первом цикле выполнения каждой команды производится выборка команды (КОП) из ЗУ, прием ее в УУ и расшифровка. Если для выполнения команды не требуется дополнительных обращений к ЗУ или внешним устройствам, то она выполняется в этом же цикле. Если команда размещается в нескольких ячейках памяти, то для ее выборки производится несколько циклов считывания ЗУ. В случае необходимости после цикла выборки команды выполняются другие циклы, в течение которых производится прием данных в МП от ЗУ или ВУ либо их выдача в обратном направлении.

Выполнение большинства команд занимает не более $4 \dots 5$ циклов, однако некоторые команды (умножение, деление, много-разрядные сдвиги и др.) требуют на порядок больше времени. Каждый машинный цикл обычно занимает $n_T = 3 \dots 5$ тактов, в течение которых выполняются соответствующие микрокоманды, вырабатываемые УУ. Длительность циклов составляет $t_c = n_T T_c$, где $T_c = 1/f_c$ — период, а f_c — частота синхронизации. Для большинства МПС среднее число циклов для выполнения одной команды программы составляет $2 \dots 3$, а среднее число тактов — около 10. Поэтому производительность МПС приблизительно можно оценить соотношением $W_{пр} = 0,1 f_c$ [операций/с].

Таким образом, производительность МПС определяется элементной базой, на которой реализованы МП, ЗУ, ИУ. Максимальная частота синхронизации МП $f_{c \max} = 1/qt_3$, где t_3 — средняя задержка переключения элементов БИС. Каскадность их включения обычно составляет $q = 10 \dots 20$. Зная значения t_3 для элементов, используемых в МП, можно оценить величину $f_{c \max}$ и производительность $W_{пр}$. Большинство БИС МП реализуется на базе динамических элементов на МДП-транзисторах (см. гл. 4), элементов ТТЛ, ЭСЛ или КМДПТЛ (см. гл. 2). Современные МПС на базе ЭСЛ обеспечивают производительность $(5 \dots 10) \cdot 10^6$, на базе ТТЛ $(2 \dots 5) \cdot 10^6$, на базе динамических элементов и КМДПТЛ $(0,5 \dots 3) \cdot 10^6$ операций/с.

Общая классификация МП по различным признакам дана на рис. 8.4. Как видно, современные МП делятся на два больших

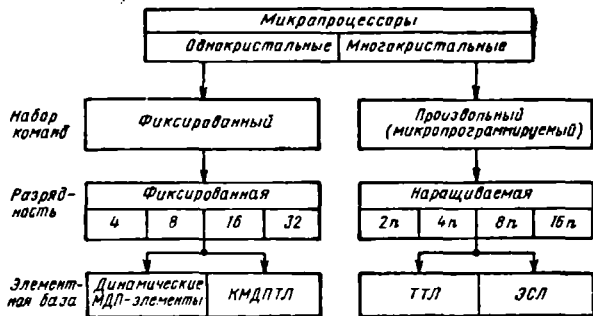


Рис. 8.4. Общая классификация микропроцессоров

класса как по разрядности и набору выполняемых команд, так и по элементной базе. МПС также делятся на два класса:

микроЭВМ, предназначенные для выполнения широкого круга задач в соответствии с программой, поступающими в ОЗУ;

микроконтроллеры, предназначенные для реализации фиксированных алгоритмов в соответствии с программой, записанной в ПЗУ.

В настоящее время выпускается широкая номенклатура однокристалльных микроконтроллеров, которые наряду с МП содержат ПЗУ, в которое заносится программа их работы, ОЗУ данных, 2...4 простейших ИУ для подключения внешних устройств. Разрядность обрабатываемых данных составляет 4, 8 или 16 разрядов, объем внутреннего ПЗУ программ 1...4К байт, объем внутреннего ОЗУ данных — несколько десятков слов (обычно от 64 до 256). Производительность этих микроконтроллеров до 10^5 ... 10^6 операций/с. На кристалле микроконтроллера располагаются также генератор синхросигналов и программируемый таймер. Таким образом, один такой микроконтроллер представляет собой законченную МПС, которая выполняет несложные алгоритмы управления или обработки данных. Эти микроконтроллеры широко используются для управления станками и технологическим оборудованием, в робототехнике, контрольно-измерительной и бытовой аппаратуре.

Обычно такие микроконтроллеры выпускаются в нескольких вариантах: с ПЗУ, программируемым изготовителем; с репрограммируемым ПЗУ; без внутреннего ПЗУ с включением вместо него внешнего ЗУ программ. В зависимости от характера решаемых задач, требуемого объема выпуска и необходимых технических характеристик разработчик может выбрать для реализации МПС соответствующий вариант микроконтроллера.

Сравнительно небольшой объем ПЗУ программ и ОЗУ, естественно, значительно ограничивает сложность решаемых задач.

Однако в ряде микроконтроллеров возможно подключение дополнительных внешних ЗУ программ и данных объемом до десятков килобайт. Такие микроконтроллеры могут эффективно использоваться для выполнения достаточно сложных функций управления и обработки информации.

Наряду с однокристалльными и многокристалльными МП однокристалльные микроконтроллеры являются в настоящее время одним из основных видов изделий микропроцессорной техники.

8.2. ОДНОКРИСТАЛЬНЫЕ МИКРОПРОЦЕССОРЫ

Рассмотрим этот класс МП на примере наиболее распространенного восьмиразрядного микропроцессора¹, структура которого дана на рис. 8.5. Операционное устройство данного МП состоит из АЛУ, аккумулятора *A*, рабочего регистра (РР) и регистра признаков (РП), в который при выполнении арифметических и логических операций заносятся признаки *Z, S, C, P*, а также признак вспомогательного переноса *АС*. Он принимает значение $AC=1$, если образуется сигнал переноса из младшей тетрады в старшую, т. е. между четвертым и пятым разрядом АЛУ. Этот признак используется при выполнении команды десятичной коррекции *DAA* (табл. 8.1), которая необходима для получения правильного результата при сложении двоично-десятичных чисел (см. § 1.2).

Кроме аккумулятора *A* для хранения промежуточных результатов могут использоваться восьмиразрядные регистры *B, C, D, E, H, L*. При выполнении ряда команд эти регистры объединяются в пары: *B—C, D—E, H—L* для хранения 16-разрядных чи-

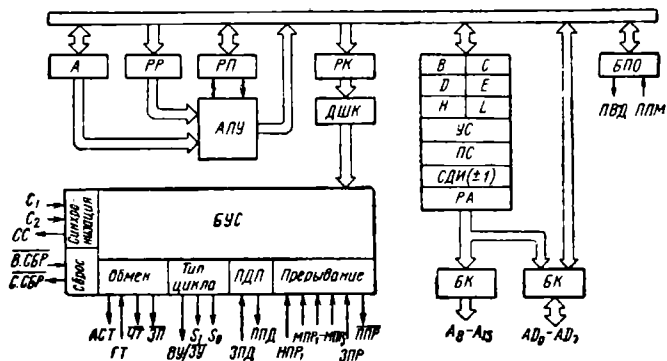


Рис. 8.5. Структура восьмиразрядного однокристалльного микропроцессора

¹ Рассмотренный МП соответствует микропроцессорам типа INTEL 8085 (США) и типа К1821 (СССР).

Таблица 8.1

Система команд микропроцессора

Мнемокод	Двоичный код	Признаки	Число байтов	Число тактов	Число циклов	Операция
1	2	3	4	5	6	7

Команды пересылки

MOV r_1, r_2	01111111	—	1	5	1	$(r_1) \leftarrow (r_2)$
MOV r_1, M	01111110	—	1	7	2	$(r) \leftarrow ((HL))$
MOV M, r	01110111	—	1	7	2	$((HL)) \leftarrow (r)$
MVI r, b_2	00111110	—	2	7	2	$(r) \leftarrow (b_2)$
MVI M, b_2	00110110	—	2	10	3	$((HL)) \leftarrow (b_2)$
LXI $r_p b_2 b_2$	00110001	—	3	10	3	$(r_H) \leftarrow (b_2); (r_L) \leftarrow (b_2)$
LDA $b_3 b_2$	00111010	—	3	13	4	$(A) \leftarrow (b_3, b_2)$
STA $b_3 b_2$	00110010	—	3	13	4	$((b_3, b_2)) \leftarrow (A)$
LHLD $b_3 b_2$	00101010	—	3	16	5	$(L) \leftarrow ((b_3, b_2)); (H) \leftarrow ((b_3 + b_2) + 1)$
SHLD $b_3 b_2$	00100010	—	3	16	5	$((b_3, b_2)) \leftarrow (L); ((b_3, b_2)) + 1 \leftarrow (H)$
LDAX r_p	00111010	—	1	7	2	$(A) \leftarrow ((r_p)); r_p = \{B, D\}$
STAX r_p	00110010	—	1	7	2	$((r_p)) \leftarrow A; r_p = \{B, D\}$
XCHG	10001011	—	1	4	1	$(H) \leftrightarrow (D); (L) \leftrightarrow (E)$

Команды арифметических и логических операций

ADD r	10000111	+	1	4	1	$(A) \leftarrow (A) + r$
ADD M	10000110	+	1	7	2	$(A) \leftarrow (A) + ((HL))$
ADI b_2	11000110	+	2	7	2	$(A) \leftarrow (A) + (b_2)$
ADC r	10001111	+	1	4	1	$(A) \leftarrow (A) + (r) + (C)$
ADC M	10001110	+	1	7	2	$(A) \leftarrow (A) + ((HL)) + (C)$
ACI b_2	11001110	+	2	7	2	$(A) \leftarrow (A) + (b_2) + (C)$
SUB r	10010111	+	1	4	1	$(A) \leftarrow (A) - (r)$
SUB M	10010110	+	1	7	2	$(A) \leftarrow (A) - ((HL))$
SUI b_2	11010110	+	2	7	2	$(A) \leftarrow (A) - (b_2)$
SBB r	10011111	+	1	4	1	$(A) \leftarrow (A) - (r) - (C)$
SBB M	10011110	+	1	7	2	$(A) \leftarrow (A) - ((HL)) - (C)$
SBI b_2	11011110	+	2	7	2	$(A) \leftarrow (A) - (b_2) - (C)$
INR r	00111100	(+)	1	5	1	$(r) \leftarrow (r) + 1$
INR M	00110100	(+)	1	10	3	$((HL)) \leftarrow ((HL)) + 1$
DCR r	00111101	(-)	1	5	1	$(r) \leftarrow (r) - 1$
DCR M	00110101	(-)	1	10	3	$((HL)) \leftarrow ((HL)) - 1$
INX r_p	00110011	—	1	5	1	$(r_p) \leftarrow (r_p) + 1$
DCX r_p	00111011	—	1	5	1	$(r_p) \leftarrow (r_p) - 1$
DAD r_p	00111001	C	1	10	3	$((HL)) \leftarrow (HL) + r_p$
DAA	00100111	+	1	4	1	Десятичная коррекция (A)

Примечание. (+) — установка всех признаков, кроме C.

ANA r	10100111	+	1	4	1	$(A) \leftarrow (A) (r)$
ANA M	10100110	+	1	7	2	$(A) \leftarrow (A) ((HL))$
ANI b_2	11100110	+	2	7	2	$(A) \leftarrow (A) (b_2)$
XRA r	10101111	+	1	4	1	$(A) \leftarrow (A) \oplus (r)$
XRA M	10101110	+	1	7	2	$(A) \leftarrow (A) \oplus ((HL))$
XRI b_2	11101110	+	2	7	2	$(A) \leftarrow (A) \oplus (b_2)$
ORA r	10110111	+	1	4	1	$(A) \leftarrow (A) \vee (r)$
ORA M	10110110	+	1	7	2	$(A) \leftarrow (A) \vee ((HL))$
ORI b_2	11110110	+	2	7	2	$(A) \leftarrow (A) \vee (b_2)$

1	2	3	4	5	6	7
CMP r	10111111	+	1	4	1	(A) ← (r)
CMP M	10111110	+	1	7	2	(A) ← ((HL))
CPI b ₂	11111110	+	2	7	2	(A) ← (b ₂)
CMA	00101111	-	1	4	1	(A) ← (A)
STC	00110111	-	1	4	1	(C) ← 1
CMC	00111111	С	1	4	1	(C) ← (C)
RLC	00000111	С	1	4	1	Сдвиг влево циклический
RRC	00001111	С	1	4	1	Сдвиг вправо циклический
RAL	00010111	С	1	4	1	Сдвиг влево циклический через перенос
RAR	00011111	С	1	4	1	Сдвиг вправо циклический через перенос
Команды управления						
JMP b ₂ b ₂	11000011	-	3	10	3	(PC) ← (b ₂ , b ₂)
J _{усл} b ₂ b ₂	11УУУУ010	-	3	10	3	Если условие выполняется, то (PC) ← (b ₂ , b ₂), иначе — переход к следующей команде
CALL b ₂ b ₂	11001101	-	3	17	5	((SP) - 1) ← (PC _H); ((SP) - 2) ← (PC _L); (SP) ← (SP) - 2; (PC) ← (b ₂ , b ₂)
C _{усл} b ₂ b ₂	11УУУ100	-	3	17/11	5/3	Если условие выполняется, то как в CALL, иначе — переход к следующей ко- манде
RET	11001001	-	3	10	3	(PC _L) ← ((SP)); (PC _H) ← ← ((SP) + 1); (SP) ← (SP) + 2
R _{усл}	11УУУ000	-	1	11/5	3/1	Если условие выполняется, то как в RET, иначе — пе- реход к следующей ко- манде
RST n	11nnn111	-	1	11	3	((SP) - 1) ← (PC _H), ((SP) - - 2) ← (PC _L), (SP) ← (SP) - - 2; (PC) ← 8n
SPHL	11101001	-	1	5	1	(SP) ← (HL)
Специальные команды						
PUSH r _p	11P10101	-	1	11	3	((SP) - 1) ← (r _H), ((SP) - - 2) ← (r _L), (SP) ← (SP) - - 2; r _p ← SP; ((SP) - 1) ← (A)
PUSH PSW	11110101	-	1	11	3	((SP) - 2) ← PSW, (SP) ← (SP) - 2
POP r _p	11P10001	-	1	10	3	(r _L) ← ((SP)), (r _H) ← ← ((SP) + 1), (SP) ← (SP) + + 2; r _p ← SP
POP PSW	11110001	+	1	10	3	(F) ← ((SP)) = PSW, (A) ← ← ((SP) + 1), (SP) ← (SP) + 2
XTHL	11100011	-	1	18	5	(L) ↔ ((SP)), H ↔ ((SP) + 1)
PCHL	11111001	-	1	5	1	(PC _H) ← (H), (PC _L) ← (L)
IN Порт	11011011	-	2	10	3	(A) ← (Порт)
OUT Порт	11010011	-	2	10	3	(Порт) ← (A)
EI	11111011	-	1	4	1	Разрешение прерывания
DI	11110011	-	1	4	1	Запрет прерывания
HLT	01110110	-	1	7	2	Останов
NOP	00000000	-	1	4	1	Нет операции
RIM	00100000	-	1	4	1	Ввод маски прерывания
SIM	00110000	-	1	4	1	Выдача маски прерывания

сел. Два 16-разрядных регистра используются как УС и ПС. Операции инкремента (+1) и декремента (-1) над содержимым регистров выполняет схема декремента-инкремента (СДИ). В регистр адреса (РА) заносится 16-разрядное адреса, которые через буферный каскад (БК) с тремя состояниями выдаются на шину AD. Младшие разряды шины AD_0-AD_7 служат также для передачи восьмиразрядных данных.

Принятая по шине AD_0-AD_7 команда поступает в РК, а затем через дешифратор (ДШК) — в блок управления и синхронизации (БУС), который в течение необходимого числа машинных циклов и тактов вырабатывает последовательность микрокоманд, обеспечивающих выполнение данной команды. Для формирования синхросигналов на вход C_1 необходимо подавать последовательность импульсов с частотой в 2 раза больше рабочей частоты f_c микропроцессора. Можно подключить к выходам C_1 , C_2 кварцевый резонатор, LC- или RC-цепочку, которые будут задавать частоту внутреннего генератора синхросигналов. Эти синхросигналы поступают также на выход CC и могут быть использованы для синхронизации других устройств МПС.

В БУС от других устройств системы поступает ряд сигналов, которые влияют на работу МП. В свою очередь, БУС формирует ряд сигналов, задающих режим работы других устройств. Входной сигнал сброса¹ $V.\overline{C.BP}$ устанавливает ПС в нулевое состояние. При этом МП вырабатывает сигнал сброса $\overline{C.CBP}$, синхронизированный с синхросигналами, для установки в начальное состояние других устройств системы. Адресный строб АСТ вырабатывается при выдаче адреса на шину AD и используется в качестве синхросигнала для регистра (см. рис. 8.1), в который этот адрес заносится.

Для обеспечения обмена информацией используются несколько сигналов. Входной сигнал готовности $ГТ$ поступает от внешних устройств или ЗУ, если они готовы к обмену информацией с МП. Вид обмена устанавливает МП, вырабатывающий сигнал чтения $\overline{ЧТ}$ при считывании информации с ЗУ или ВУ или сигнал записи $\overline{ЗП}$ при записи в них информации. При этом формируется также сигнал на выходе $VУ/\overline{ЗУ}$, высокий потенциал, на котором устанавливается при обмене с ВУ, низкий — при обмене с ЗУ. Кроме того, МП вырабатывает два сигнала (S_0 , S_1), которые вместе с сигналом $VУ/\overline{ЗУ}$ определяют тип машинного цикла, выполняемого в данный момент (см. табл. 8.4). Два вывода служат для последовательного (побитного) приема (ППМ) и выдачи (ПВД) информации; эти сигналы поступают в МП через блок последовательного обмена (БПО).

Для реализации режима ПДП служат два сигнала: входной ЗПД — «Запрос на ПДП», поступающий от внешнего устройства,

¹ Знак инверсии над обозначением сигнала указывает, что соответствующее действие производится при поступлении на этот вход низкого потенциала U^0 .

и выходной ППД — «Подтверждение ПДП», вырабатываемый после получения запроса перед тем, как МП отключается от шин, предоставляя их для обмена информацией между ЗУ и ВУ.

Несколько сигналов обеспечивают режим прерывания: пять запросов от ВУ и сигнал подтверждения прерывания ППР, вырабатываемый МП при переходе к обслуживанию запроса. Запросы отличаются уровнем приоритета и процедурой их обслуживания. Наивысший приоритет имеет сигнал $НПР_1$ — немаскируемый запрос на прерывание. Этот запрос не может быть запрещен («маскирован») каким-либо другим сигналом или командой. Маскируемые прерывания $МПР_2$ — $МПР_4$ имеют приоритеты, соответствующие их номерам, и могут быть запрещены специальной командой DI (см. табл. 8.1). При поступлении этих запросов МП переходит к выполнению подпрограмм обслуживания, причем для каждого запроса имеется фиксированный адрес, в котором должна размещаться первая команда подпрограммы. Сигнал запроса ЗПР имеет самый низкий приоритет и также может маскироваться командой DI . Его поступление в МП должно сопровождаться подачей на шину AD специальной команды прерывания RST (см. табл. 8.1). Эта команда содержит трехрядный код, определяющий адрес первой команды подпрограммы обслуживания прерываний. Код определяет восемь различных начальных адресов подпрограмм. Таким образом, в зависимости от модификации поступающей команды RST обеспечивается восемь вариантов обслуживания. Обслуживаться могут запросы на прерывания от восьми различных ВУ. Команда RST формируется после получения сигнала ППР специальной схемой, анализирующей поступающие от ВУ запросы.

Набор выполняемых МП команд дан в табл. 8.1, где обозначены: b_2, b_3 — второй и третий байты команды; r — регистр; r_p — пара регистров $B-C, D-E$ или $H-L$; M — обращение к памяти (запись или чтение операнда из ОЗУ); порт — номер ВУ, к которому обращается МП. Для каждой команды даны мнемоническое обозначение (мнемокод) и двоичный код, являющийся ее первым байтом (b_1). Этот байт содержит КОП, а также КАД (полностью или частично), определяющий используемый в команде способ адресации. Команды имеют длину от 1 до 3 байтов, занимая соответственно 1, 2 или 3 ячейки ОЗУ. Однобайтовой является, например, команда $ADD r$ — сложение содержимого аккумулятора и регистра, номер которого определяется кодом трех младших разрядов команды (ИИИ — источник). Двухбайтовыми являются команды, в которых второй байт (b_2) задает значение одного из операндов (непосредственная адресация) или номер ВУ, с которым производится обмен информацией. Например, команда $MVI r, b_2$ обеспечивает пересылку байта b_2 в регистр, указанный в качестве приемника кодом (ППП) в трех разрядах команды. В трехбайтовых командах байты b_2, b_3 задают адрес операнда (например, команда LDA — загрузка в аккумулятор содержимого ячейки ОЗУ с адресом b_3b_2) или следующей

команды при переходах в программу или вызовах подпрограммы (например, команда $JMP\ b_3b_2$ — безусловный переход к команде, размещенной по адресу b_3b_2).

При выполнении большинства арифметико-логических операций в РП заносятся устанавливаемые признаки результата. Изменение установленного признака C можно осуществлять командами STC , CMC . Значения признаков Z , S , C , P служат условиями выполнения команд условных переходов $J_{усл}$, условных вызовов подпрограммы $C_{усл}$ и возвратов из нее $R_{усл}$. В табл. 8.2 приведены соответствующие коды условий (УУУ), которые указываются в трех разрядах байта b_1 команды. Обозначения условий (NZ , Z , NC , C , PO , PE , P , M) включаются в мнемокод соответствующей команды, например $J_{усл} \rightarrow JNZ\ b_2b_3$ — переход к команде, размещенной по адресу (b_3b_2), если $Z=0$ (результат $\neq 0$); $R_{усл} \rightarrow RP$ — возврат к основной программе, если $S=0$ (полученный результат > 0).

Команды $CMP\ r$, $CMP\ M$, $CPI\ b_2$ осуществляют сравнение двух операндов, один из которых хранится в аккумуляторе, путем их вычитания и установки соответствующих признаков. Установка $Z=1$ указывает на равенство операндов, установка $S=0$ (положительная разность) — на то, что содержимое аккумулятора больше другого операнда, а $S=1$ (отрицательная разность) — что содержимое аккумулятора меньше.

Команды RLC , RRC и RAL , RAR осуществляют циклические сдвиги содержимого аккумулятора на один разряд влево или вправо без включения или с включением в цепь сдвига разряда C регистра РП. Реализация сдвигов иллюстрируется рис. 8.6,а. При загрузке стека по команде $PUSH$ в две последовательно расположенные ячейки ОЗУ, адресуемые содержимым $УС$, заносится содержимое указанной в команде пары регистров или слово состояния процессора PSW (Processor State Word), которое представляет собой содержимое аккумулятора и РП. Содержимое РП представляется в виде байта, формат которого приведен на рис. 8.6,б. При выгрузке стека по команде POP содержимое двух ячеек стека заносится в пару регистров или аккумулятор и РП. Установить необходимое содержимое $УС$ можно с помощью команд $LXI\ r_p, b_3, b_2$ при задании кода ПР-11 (загрузка в $УС$

Таблица 8.2
Коды условий перехода

УУУ	Мнемокод	Условие	УУУ	Мнемокод	Условие
000	NZ	Неравенство нулю $Z=0$	100	PO	Нечетность $P=0$
001	Z	Равенство нулю $Z=1$	101	PE	Четность $P=1$
010	NC	Отсутствие переноса $C=0$	110	P	Плюс $S=0$
011	C	Наличие переноса $C=1$	111	M	Минус $S=1$

Таблица 8.3

Коды регистров и пар регистров

Код (ИИИ, ППП)	Регистр
000	<i>B</i>
001	<i>C</i>
010	<i>D</i>
011	<i>E</i>
100	<i>H</i>
101	<i>L</i>
111	<i>A</i>

Код (PPP)	Пара регистров
00	<i>B—C</i>
01	<i>D—E</i>
10	<i>H—L</i>
11	<i>BC (SP)</i>

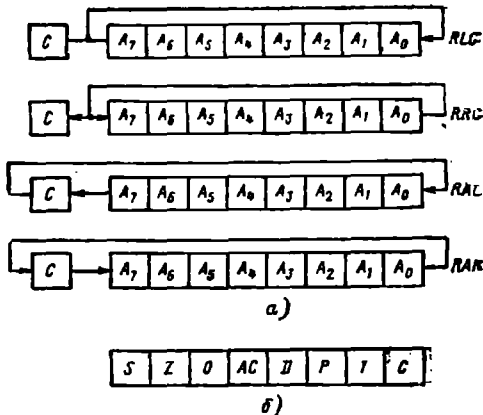


Рис. 8.6. Различные варианты сдвигов (а) и формат выдачи содержимого регистра признаков (б).

байтов b_3, b_2), *SPHL* (загрузка в *BC* содержимого пары регистров *H—L*). По команде *XTHL* осуществляется обмен содержимым двух верхних ячеек стека (адресуются содержимым *BC*) и пары регистров *H—L*.

Изменение содержимого *PC* выполняется командами *JMP b₃b₂* (загрузка байтов b_2, b_3 в *PC*) и *PCHL* (загрузка в *PC* содержимого пары регистров *H—L*).

Специальные команды разрешают (*EI*) или запрещают (*DI*) прерывать исполнение программы при поступлении запросов *MPP₂—MPP₄*, *ЗПР*, что обеспечивается установкой специального триггера разрешения прерывания в состояние $RPP=1$ или $RPP=0$. Состояние этого триггера служит «маской», т. е. определяет маскирование иных запросов на прерывание. Отметим, что сигнал начального сброса $\overline{B.CBP}=0$ устанавливает состояние триггера $RPP=0$, т. е. запрещает обслуживание прерываний, кроме *НПР₁*. Для последующего разрешения этих прерываний надо подать команду *EI*.

Обмен информацией с *VU* осуществляется двухбайтовыми командами *IN* (ввод) и *OUT* (вывод), в которых байт b_2 является адресом *VU* (порта), к которому производится обращение. Содержимое этого байта выдается на шину $AD_0—AD_7$, обеспечивая выбор одного из подключенных *VU*, число которых может достигать 256. При этом устанавливается управляющий сигнал $VU/\overline{VU}=1$.

Команды *SIM* и *RIM* позволяют устанавливать или считывать состояния триггеров, разрешающих или запрещающих обслуживание прерываний *MPP₂—MPP₄*, *ЗПР*. Таким образом, в *MPU* вводится или выводится маска прерываний (см. § 8.4). Команда

SIM позволяет также последовательно (поразрядно) выводить содержимое аккумулятора на выход *SOD*, а команда *RIM* — вводить в старший разряд аккумулятора значение сигнала на входе *SID*.

В рассматриваемом МП реализуется четыре способа адресации. При регистровой адресации команда содержит трехразрядный код регистра, являющегося источником (ИИИ) или приемником (ППП) операнда, либо двухразрядный код пары регистров (ПР), содержимое которых служит операндом (табл. 8.3). Примером могут служить команды: *MOV* r_1, r_2 — пересылка в регистр r_1 (приемник) содержимого регистра r_2 (источника); *DCX* r_p — декремент содержимого указанной пары регистров. Косвенно-регистровая адресация определяет размещение операнда с помощью пары регистров, содержимое которых является его адресом (например, команда *LDA* r_p — загружающая в аккумулятор содержимое ячейки, адрес которой хранится в паре регистров *B—C* или *D—E*). При непосредственной адресации операндом служит байт b_2 команды. Например, *ANI* b_2 — конъюнкция соответствующих разрядов числа, хранящегося в аккумуляторе и во второй из двух ячеек памяти, содержащих команду (второй байт). Прямая адресация дает адрес операнда в байтах b_3, b_2 (старшие и младшие разряды) команды.

Выполнение команды занимает от 1 до 5 машинных циклов. Первый цикл (*M1*), в котором выбирается байт b_1 и, если не требуется других циклов, выполняется команда (однобайтовая), содержит от четырех до шести тактов. Остальные циклы состоят из трех тактов. Временная диаграмма выполнения в течение трех циклов команды, например *MVI* M, b_2 и *OUT* *Порт*, показана на рис. 8.7. В первом такте T_1 каждого цикла на шине *AD* устанавливается адрес, а на линию *ACT* выдается строб-сигнал, разрешающий его прием во внешний регистр (см. рис. 8.1) для адресации ОЗУ или ВУ. Старшие разряды $A_{15}—A_8$ адреса сохраняются до конца цикла, а младшие $A_7—A_0$ — до начала такта T_3 .

В такте T_2 МП проверяет готовность ОЗУ или ВУ к обмену информацией (наличие сигнала $GT=1$). В этом же такте устанавливаются сигналы $\overline{3P}$ и $\overline{4T}$, соответствующие виду обмена информацией, происходящего в данном цикле. Если сигнал $GT=0$ (неготовность к обмену), МП переходит в режим ожидания, т. е. не переходит к обмену информацией (такт T_3). Период ожидания ($T_{ож}$) продолжается произвольное число тактов, пока не поступит сигнал готовности $GT=1$.

После этого МП выполняет обмен информацией в течение такта T_3 . При этом по линиям $AD_7—AD_0$ в МП или из него поступает восьмиразрядное число (команда или операнд). В такте T_4 производится его дешифрация и формирование первой микрокоманды, обеспечивающее его выполнение. Если для этого не требуется других циклов обращения к ОЗУ или ВУ (выбор байтов b_2 или b_3 , прием или выдача операндов или адресов), то

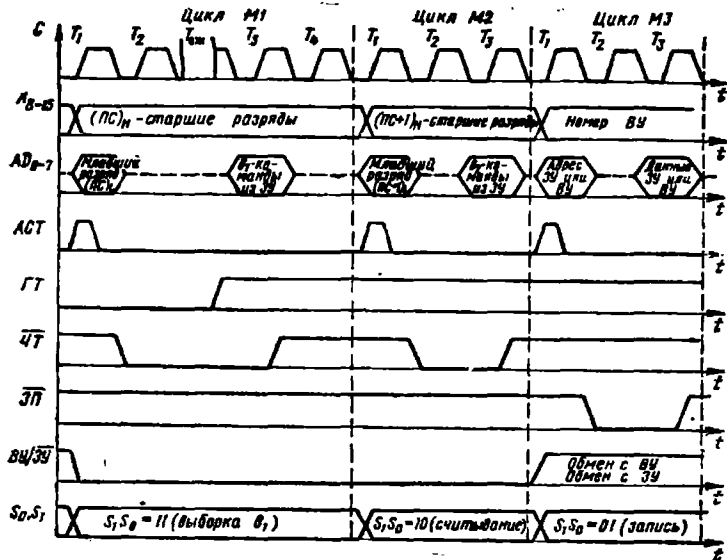


Рис. 8.7. Временные диаграммы циклов микропроцессора

команда выполняется в течение тактов T_5, T_6 , для чего БУС формирует необходимые микрокоманды. Если необходимы дополнительные циклы, то выполнение команды завершается в такте T_3 последнего цикла.

В такте T_2 МП анализирует также наличие запроса на ПДП. При поступлении сигнала $ЗПД=1$ МП завершает очередной цикл, после чего вырабатывает сигнал подтверждения $ППД=1$ и отключается от шины AD . Выходы $ЗП, ЧТ, ВУ/ЗУ$ при этом переводятся в третье отключенное состояние. В такте T_2 последнего цикла выполнения каждой команды, МП проверяет также наличие запросов на прерывание. При поступлении запроса

Таблица 8.4

Сигналы, определяющие тип цикла

$ВУ/ЗУ$	S_1	S_0	Тип цикла	$ВУ/ЗУ$	S_1	S_0	Тип цикла
0	0	1	Запись ЗУ	0	1	1	Выборка b_1 команды
0	1	0	Считывание ЗУ	1	1	1	Прерывание
1	0	1	Вывод в ВУ	*	0	0	Останов
1	1	0	Ввод из ВУ	*	X	X	Режим ПДП

Примечание. X — произвольное значение.
* — отключенное состояние.

$МПР_1=1$ или какого-либо из запросов $МПР_2$ — $МПР_4$, $ЗПР$, выполнение которого не запрещено (маскировано), $МП$ после завершения цикла переходит к выполнению команды RST или $CALL b_3, b_2$, обеспечивающей переход к соответствующей подпрограмме обслуживания (см. § 8.4).

На выводах $ВУ/\overline{ЗУ}$ и S_1, S_2 в течение всего цикла поддерживаются значения сигнала, указывающие на вид выполняемой процедуры (тип цикла). Эти сигналы (табл. 8.4) могут использоваться для включения или отключения $ОЗУ$ и $ВУ$, в качестве информации о текущей работе $МП$, используемой при наладке и контроле функционирования $МПС$.

8.3. ИНТЕРФЕЙСНЫЕ УСТРОЙСТВА И ОРГАНИЗАЦИЯ ВВОДА-ВЫВОДА

Интерфейсное устройство, служащее для подключения к $МПС$ одного $ВУ$, обычно называется *портом*. В простейшем случае порт представляет собой регистр данных с буферным каскадом на выходе, отключающим его при поступлении соответствующего сигнала от $МПС$. На рис. 8.8,а показаны варианты включения

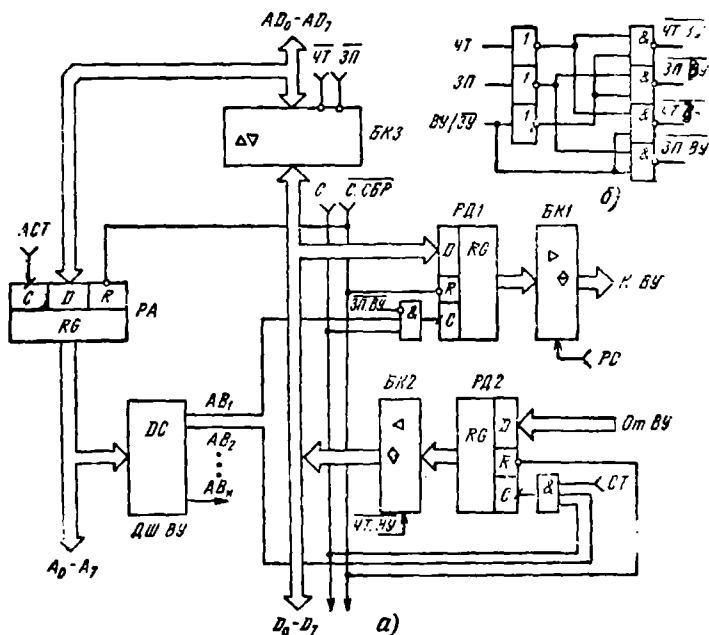


Рис. 8.8. Варианты подключения к микропроцессору портов ввода и вывода (а) и схема формирования управляющих сигналов чтения и записи (б)

регистра для ввода и вывода информации. Порт вывода принимает данные с шины D при поступлении сигнала $\overline{ЗП.ВУ}=0$. Получаемый от $ВУ$ сигнал разрешения считывания $PC=1$ включает буферный каскад БК1, выдающий данные. Порт ввода принимает данные при поступлении от $ВУ$ строга $СТ=1$. Выдача данных на шину D производится через БК2 при поступлении сигнала $\overline{ЧТ.ВУ}=0$. Прием данных в регистры данных РД1, РД2 разрешается сигналом адресной выборки $\overline{АВ_1}$, поступающим от дешифратора $ВУ$. Общий сигнал сброса $\overline{С.СБР}$, формируемый микропроцессором, производит начальную установку в 0 всех регистров.

Сигналы $\overline{ЗП.ВУ}$ и $\overline{ЧТ.ВУ}$ записи и чтения $ВУ$ вместе с аналогичными сигналами $\overline{ЗП.ЗУ}$, $\overline{ЧТ.ЗУ}$ для $ЗУ$ вырабатываются сигнальной схемой (рис. 8.8,б) в соответствии с получаемыми от МП сигналами $\overline{ЧТ}$, $\overline{ЗП}$, $\overline{ВУ/ЗУ}$. Двухнаправленный буферный каскад БК3 осуществляет выдачу данных от МП на шину D или прием в МП в соответствии с сигналами $\overline{ЧТ}$, $\overline{ЗП}$.

Более сложные процедуры обмена реализуются с помощью специализированных ИУ, называемых *адаптерами*. В виде интерфейсных БИС выпускаются программируемые адаптеры, которые могут осуществлять различные режимы передачи информации в соответствии с командами, получаемыми от МПС. На рис. 8.9 показана типовая структура программируемого адаптера для параллельного обмена¹.

Адаптер содержит три восьмиразрядных порта A , B , C , причем порт C можно использовать как два отдельных четырехразрядных порта C_L и C_H . К шине D адаптер подключен через дву-

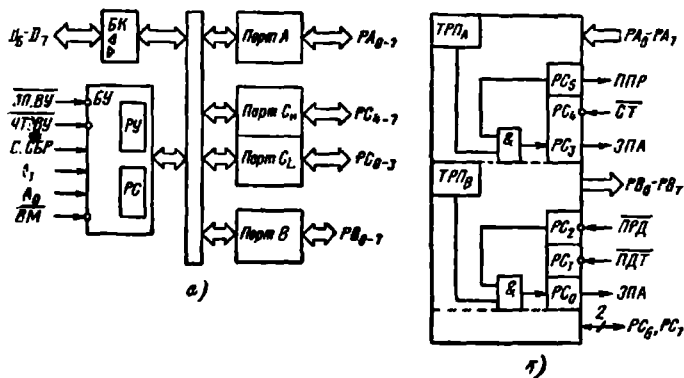


Рис. 8.9. Структура БИС параллельного интерфейса (а) и реализация на ее основе портов стробируемого ввода и вывода (б)

¹ Такую структуру имеет БИС параллельного интерфейса типа КР580ВВ55 [35].

направленный буферный каскад БК. Блок управления (БУ) определяет режимы работы портов в зависимости от управляющих слов и сигналов, поступающих от МП. Сигналы ЭП.ВУ, ЧТ.ВУ формируются схемой, показанной на рис. 8.8,б. Выборка микросхемы осуществляется сигналом $AB_i=0$, поступающим на вход \overline{BM} от ДШ ВУ (см. рис. 8.8). Сброс всех регистров адаптера в состояние 0 производится сигналом $C.CBP=1$. Разряды адресной шины A_0, A_1 обеспечивают обращение к одному из четырех адресатов: портам А, В, С или регистрам БУ в соответствии с табл. 8.5. В состав БУ входят регистр управления (РУ) и регистр состояния (РС). Управляющее слово УС1, определяющее режимы работы портов, заносится в РУ. Управляющие слова УС2, определяющие значения сигналов на выходах порта С, устанавливают соответствующие состояния разрядов РС.

Слово УС1 (рис. 8.10,а) определяет функции и режимы портов А, C_L (разряды D_6-D_3), В, C_H (разряды D_2-D_0). Функции задаются значениями разрядов D_4, D_3 для портов А, C_H, D_1, D_0 — для В, C_L (см. табл. 8.5). Адаптер реализует три возможных режима обмена (0, 1 или 2), устанавливаемых разрядами D_6, D_5 и D_2 (см. табл. 8.5).

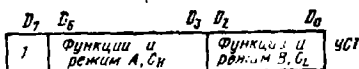
Слово УС2 (рис. 8.10,б) обеспечивает установку постоянного сигнала $PC_i=0$ или 1 на выходе порта С, номер которого i задается разрядами D_3-D_1 . При поступлении УС2 устанавливается определенное состояние заданного разряда регистра РС, которое передается на соответствующий выход PC_i . Это состояние PC_i задается значением 0 или 1 разряда D_0 . Каждое слово УС2 определяет значение одного выхода PC_i , поэтому для установки нескольких выходов требуется подать в адаптер нужное количество слов УС2. С помощью УС2 на выходах порта С могут быть заданы коды, определяющие режим работы ВУ. Эти коды могут меняться путем подачи от МПС новых слов УС2, т. е. программным способом. Таким образом, на выходах PC_7-PC_0 можно сформировать необходимую последовательность кодов, управляющих работой ВУ.

Ввод УС1, УС2 в адаптер производится МП при выполнении команды *OUT*, где в качестве b_2 указывается адрес программи-

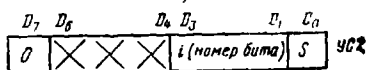
Таблица 8.5

Функции и режимы портов А, C_H , В, C_L

D_6, D_5 D_4, D_3	Функции А, C_H , В, C_L	D_2, D_1	Режимы А, C_H	D_0	Режимы В, C_L
1	Ввод	00	0	0	0
0	Вывод	01	1	1	1
		10	2		



а)



б)

Рис. 8.10. Форматы управляющих слов БИС параллельного интерфейса

руемого адаптера (разряды A_7-A_2) и код регистров ВУ (разряды $A_1A_0=11$). Так как по команде *OUT* на шину *D* выдается содержимое аккумулятора, то предварительно в него необходимо занести требуемое слово *УС1* или *УС2*. Для этого можно использовать команду *MVI b₂* (см. табл. 8.1), где в качестве b_2 должно быть записано *УС1* или *УС2*. В зависимости от значения разряда D_7 (см. рис. 8.10) это слово либо поступит в РУ, либо вызовет установку соответствующего разряда *РС* и выхода PC_i . Таким образом, программирование адаптера можно произвести, последовательно выполняя команды:

MVI b₂, где (b_2)=*УС1* или *УС2*;

OUT Порт, где (порт)= $D_7D_6D_5D_4D_3D_211$, (D_7-D_2) — адрес адаптера.

Основной режим 0 адаптера обеспечивает выполнение любым из четырех портов (*A*, *B*, C_H , C_L) функции ввода или вывода информации. При вводе поступающая от ВУ информация записывается в регистры портов. Выдача ее на магистраль *D* производится при выполнении МП команды *IN*, когда формируется сигнал $\overline{CT.VU}=0$ и устанавливаются сигналы $A_0, A_1, \overline{BM}=AB_i$, выбирающие определенный порт (табл. 8.6) данного адаптера. Вывод информации осуществляется при выполнении МП команды *OUT*, когда устанавливаются соответствующие сигналы A_0, A_1, AB_i и $\overline{3P.VU}$. При этом данные с шины *D* поступают на выходы адресованного порта.

В режиме 1 стробируемого ввода-вывода передача информации сопровождается обменом управляющими сигналами, определяющими порядок взаимодействия МП и ВУ. В режиме 1 могут работать только порты *A* и *B*. Линии порта C_H используются для передачи управляющих сигналов, обслуживающих порт *A*, линии порта C_L — порт *B*.

Если порт выполняет функцию ввода, то запись в его регистр поступающей от ВУ информации производится только при полу-

Таблица 8.6

Функции адаптера параллельного обмена

A_1	A_0	$\overline{CT.VU}$	$\overline{3P.VU}$	\overline{BM}	Функция адаптера
0	0	0	1	0	Порт <i>A</i> → шина <i>D</i>
0	1	0	1	0	Порт <i>B</i> → шина <i>D</i>
1	0	0	1	0	Порт $C \rightarrow$ шина <i>D</i>
1	1	0	1	0	Запрещено
0	0	1	0	0	Шина <i>D</i> → порт <i>A</i>
0	1	1	0	0	Шина <i>D</i> → порт <i>B</i>
1	0	1	0	0	Шина <i>D</i> → порт <i>C</i>
1	1	1	0	0	Шина <i>D</i> → регистры ВУ
X	X	X	X	1	Шина <i>D</i> отключена

чении строб-сигнала $\overline{CT}=0$. После записи формируется выходной сигнал подтверждения приема $ППР=1$ (рис. 8.11,а), который информирует ВУ о том, что информация принята и запрещает поступление новых данных, пока не произойдет считывание принятых. При этом ВУ вырабатывает сигнал $\overline{CT}=1$, т. е. действие строб-сигнала прекращается. Если триггер разрешения прерывания (ТРП) установлен в состояние 1, то на выходе запроса адаптера формируется сигнал $ЗПА=1$, который используется как запрос прерывания (ЗПР) для МП. При поступлении этого запроса МП может перейти к выполнению подпрограммы обслуживания, которая содержит команду IN , обеспечивающую прием информации от данного порта. При этом на адаптер поступают необходимые сигналы $\overline{CT}, \overline{ВУ}, A_1, A_0, \overline{AB}_i = \overline{ВМ}$, сигнал «Готовность данных» снимается (устанавливается $\overline{ГТД}=0$). После окончания ввода данных в МП на выходе адаптера устанавливается сигнал $ППР=0$, разрешающий поступление от ВУ новых данных.

Если порт выполняет функции вывода, то при поступлении команды OUT , когда МП устанавливает адресные сигналы $A_1, A_0, \overline{AB}_i = \overline{ВМ}$ и формируется сигнал $\overline{ЗП.ВУ}=0$, данные с шины D заносятся в регистр (рис. 8.11,б). При этом выходные сигналы «Принем данных» ($\overline{ПРД}$) и «Запрос адаптера» ($ЗПА$), имевшие значение 1, устанавливаются в 0. Сигнал $ЗПА=0$ формируется, если соответствующий триггер (ТРП) установлен в состояние 1. Сигнал $\overline{ПРД}$ служит запросом на прием данных в ВУ. Когда ВУ начинает прием, оно вырабатывает сигнал подтверждения $\overline{ПДТ}=0$, вызывающий установку сигнала $\overline{ПРД}=1$, т. е. сброс запроса на прием. По окончании приема, когда устанавливается $\overline{ПДТ}=1$, адаптер вырабатывает сигнал $ЗПА=1$, если триггер ТРП установлен в состояние 1. Этот сигнал используется как запрос прерывания (ЗПР), вызывающий с помощью соответствующей подпрограммы обслуживания очередной цикл вывода.

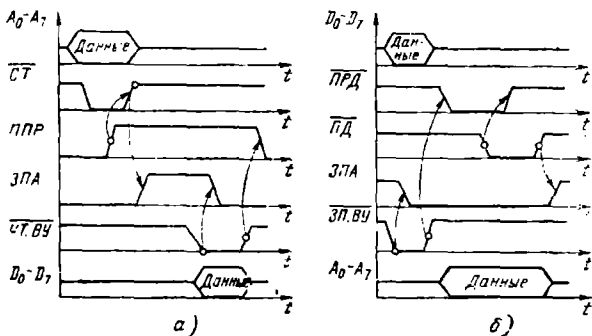


Рис. 8.11. Временные диаграммы стробируемого ввода (а) и вывода (б) информации

На рис. 8.9,б показана схема формирования управляющих сигналов для режима 1, когда порт A выполняет функции ввода, порт B — вывода. Запросы ZPA могут иметь различный приоритет, и последовательность их обслуживания определяется КТР (см. рис. 8.2). Если A и B используются в качестве портов ввода, то сигналы \overline{CT} поступают на выходы PC_4, PC_2 ; $\overline{ППР}$ — на выходы PC_5, PC_1 ; ZPA — на выходы PC_3, PC_0 . Если A и B — порты вывода, то сигналы $\overline{ПРД}$ поступают на выходы PC_7, PC_1 ; $\overline{ПДТ}$ — на выходы PC_6, PC_2 ; ZPA — на выходы PC_3, PC_0 . Установка или сброс ТРП, разрешающих формирование запросов $ZPA=1$, производится с помощью УС2. Для порта A состояние ТРП устанавливается как значение PC_4 при вводе, PC_6 при выводе, для порта B — как PC_2 при обеих функциях.

В режиме 2 двунаправленного стробированного обмена может работать только порт A . При этом пять линий порта C используется для обмена управляющими сигналами: \overline{CT} — вход PC_4 , $\overline{ППР}$ — выход PC_5 , $\overline{ПРД}$ — выход PC_7 , $\overline{ПДТ}$ — вход PC_6 , ZPA — выход PC_3 . Состояние триггера ТРП, разрешающего формирование запроса $ZPA=1$, устанавливается с помощью УС2 как значение выхода PC_4 (код $D_3D_2D_1=100$, рис. 8.10,б). В режиме 2 порт A реализует ввод информации, когда сигнал $\overline{CT.VY}=0$ (МП выполняет команду IN), или вывод, когда $\overline{ZP.VY}=0$ (МП выполняет команду OUT). При этом временные диаграммы функционирования имеют вид, показанный на рис. 8.11,а,б.

Режимы работы разных портов могут комбинироваться. При работе портов A, B в режимах 1 и 2 оставшиеся две (PC_6, PC_7 на рис. 8.9,б) или три линии порта C могут использоваться для ввода или вывода информации в режиме 0. При работе порта A в режиме 2 порт B может функционировать в режиме 1.

При работе портов A, B в режимах 1 и 2 можно выполнить контроль их текущего состояния, считав содержимое порта C с помощью команды IN . В соответствующих разрядах слова состояния, поступающего при этом на шину D , будут указаны текущие значения сигналов $\overline{ППР}, \overline{ПРД}, ZPA$, а также установленные состояния триггеров ТРП. Эта информация может быть использована для анализа процесса обмена и оперативного управления этим процессом.

Процедура передачи информации, сопровождаемая обменом между абонентами, управляющими сигналами, которые задают начало и конец передачи, называется *квитированием*¹. Сигналы квитирования $\overline{CT}, \overline{ППР}, ZPA$ и $\overline{ПРД}, \overline{ПДТ}, ZPA$ определяют готовность абонентов к обмену, его начало и окончание. Такая организация позволяет избежать потери информации из-за неготовности абонентов или поступления новых данных до окончания предыдущего цикла передачи. Квитирование совместно с режи-

¹ В зарубежной литературе такая процедура обмена называется «рукопожатием» (handshaking).

мом прерывания позволяет организовать эффективное взаимодействие МПС с ВУ, имеющими низкие скорости работы (клавиатура, принтеры и др.).

Стандартная последовательность и взаимозависимость формирования сопровождающих обмен сигналов называется протоколом обмена. Этот протокол представляется временными диаграммами (рис. 8.11), определяющими порядок формирования соответствующих сигналов.

Рассмотренный параллельный адаптер обеспечивает эффективную организацию обмена информацией с квитиowaniem (режимы 1, 2) или без него (режим 0). Путем репрограммирования адаптера можно оперативно менять функции и режимы портов в процессе работы МПС. Такие адаптеры широко используются для подключения к МПС различных ВУ. Однако они требуют для передачи сигналов многожильных кабелей. При увеличении расстояния между МПС и ВУ стоимость таких линий связи быстро возрастает.

Для соединения удаленных абонентов обычно используется *последовательная (поразрядная) передача информации*, требующая не более 2...3 соединительных линий. Единицей информации, передаваемой при последовательном обмене, является *символ*, содержащий от 5 до 8 бит. Примером пятибитного представления символов является телеграфный код семибитного представления — код КОИ-7 (см. табл. 1.3). Каждый бит представляется наличием или отсутствием тока в линии либо высоким или низким потенциалом. Применяются два режима последовательного обмена: *асинхронный* или *синхронный*.

Формат передачи данных при асинхронном режиме показан на рис. 8.12,а. До начала передачи на линии поддерживается состояние 1 (высокий потенциал), начало передачи каждого символа определяется установкой на линии состояния 0 (низкий потенциал) в течение времени τ (период передачи). Этот начальный период называют *старт-битом*. Затем последовательно передается необходимое число (5...8) *информационных битов*, представляющих символ. После них обычно следует *контрольный бит*, указывающий четность или нечетность числа единиц в передаваемом символе. Затем на линии устанавливается 1 до начала передачи нового символа. Минимальный промежуток времени между окончанием предыдущего и началом передачи следующего символа обычно составляет от τ до 2τ . Этот промежуток называется *стоп-битами*. Если поступление нового символа начинается до окончания заданного числа стоп-битов, то возникает ошибка, называемая нарушением кадра (формата). Эта ошибка происходит из-за того, что приемник не успевает закончить прием предыдущего символа и возникает их наложение.

Таким образом, при асинхронном режиме одновременно с информационными передаются служебные биты, доля которых может составить свыше 40%. Для ускорения передачи значительных массивов информации число служебных символов можно су-

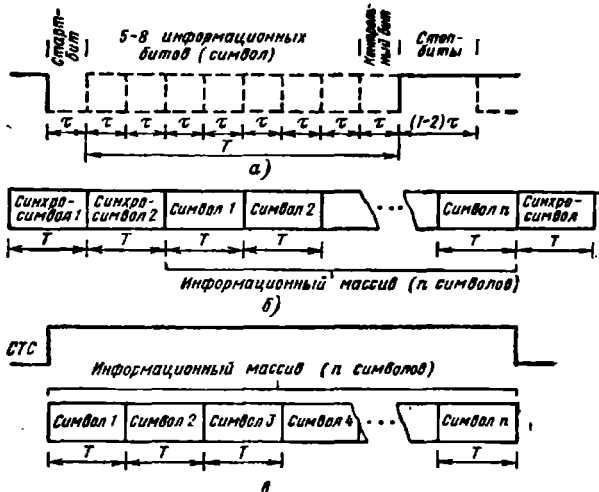


Рис. 8.12. Последовательная передача данных в асинхронном (а) и синхронном (б, в) режимах

щественно сократить, используя синхронный режим передачи. На практике применяются две модификации этого режима: с внутренней и внешней синхронизацией.

При *внутренней синхронизации* (рис. 8.12,б) перед началом обмена передатчик выдает на линию один или два *синхросимвола*, следом за которыми идут информационные биты, не разделенные старт- или стоп-битами. После каждого символа (5...8 бит) может идти контрольный бит либо в конце массива передается общая контрольная сумма. По окончании очередного массива информации передатчик снова выдает синхросимволы до начала нового массива. Приемник работает в режиме поиска, принимая и анализируя сигналы с линии. При обнаружении синхросимволов следующие за ними биты приемник воспринимает как информационные и контрольные. При новом поступлении синхросимвола прием информации прекращается и приемник переходит в режим поиска.

При *внешней синхронизации* (рис. 8.12,в) используется дополнительный строб-сигнал (СТС), определяющий моменты начала и окончания массива информации, в котором символы идут без старт- и стоп-битов. Этот сигнал поступает от передатчика к приемнику по отдельной линии.

При любом режиме обмена для синхронизации приемника передатчик одновременно с информацией по отдельной линии передаются синхроимпульсы, частота которых $f_c \geq t_n = 1/T$. Едини-

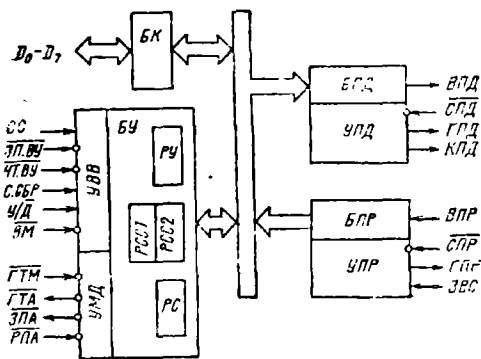


Рис. 8.13. Структура БИС последовательного интерфейса

вицей скорости (частоты) передачи информации служит 1 бод = 1 бит/с.

На рис. 8.13 приведена типовая структура программируемого адаптера для последовательного обмена. Адаптер содержит блок передачи (БПД) и блок приема (БПР) с управляющими схемами (УПД, УПР). Эти блоки представляют собой регистры сдвига (см. § 5.2) с параллельным приемом и последовательной выдачей (БПД) и с последовательным приемом и параллельной выдачей (БПР). Данные, поступающие в БПД через БК с шины D , заносятся в буферный регистр, а затем с помощью регистра сдвига выдаются в последовательном коде на выход передатчика (ВПД). Данные, поступающие в последовательном коде на вход приемника (ВПР), заносятся в сдвиговый регистр, а затем выдаются через буферный регистр на шину D . Синхронимпульсы, сопровождающие передачу, подаются на входы синхронизации передачи (СПД) и синхронизации приема (СПМ). Адаптер реализует синхронный и асинхронный режимы обмена¹ с различными длиной передаваемых символов и видами их контроля.

Обмен информацией между адаптером и МП определяется сигналами $\overline{ЗП.ВУ}$, $\overline{ЧТ.ВУ}$ (рис. 8.8,б) и синхронизируется сигналами $СС$ (см. рис. 8.5). На вход выбора микросхемы $ВМ$ поступает сигнал выборки $АВ_i$ от $ДШ ВУ$ (см. рис. 8.8,а). Один из разрядов адреса используется в качестве сигнала «Управление/Данные» $У/\overline{Д}$, который определяет выбор адресатов: регистры БПД или БПР при $У/\overline{Д}=0$ (обмен данными) либо регистры блока управления (БУ) при $У/\overline{Д}=1$ (обмен управляющей информацией). Функции адаптера задаются этими сигналами в соответствии с табл. 8.7.

¹ Такие адаптеры часто называют универсальными синхронно-асинхронными приемопередатчиками — УСАПП (USART).

Таблица 8.7

Функции адаптера последовательного обмена

$У/\bar{D}$	$\overline{ЧТ. ВУ}$	$\overline{ЭП. ВУ}$	$\overline{ВМ}$	Функции адаптера
0	0	1	0	Регистр БПР \rightarrow шина D
0	1	0	0	Шина $D \rightarrow$ регистр БПД
1	0	1	0	РС \rightarrow шина D
1	1	0	0	Шина $D \rightarrow$ РУ, РСС1, РСС2
X	X	X	1	Шина D отключена

Для связи МПС с удаленными объектами часто используются телефонные линии, информация по которым передается в виде синусоидальных сигналов определенной частоты. Например, 0 представляется сигналами с частотой 1070 Гц, а 1 — частотой 1270 Гц. Преобразование двоичной информации, представленной электрическими потенциалами U^0 , U^1 , в синусоидальные сигналы и обратно осуществляется специальными схемами, которые называются *модемами* (модулятор-демодулятор). При этом сигналы ВПД подаются на вход модема для последующей передачи по телефонной линии, а сигналы, принятые с этой линии, поступают на вход ВПР адаптера для ввода в МПС. Обмен информацией между адаптером и модемом сопровождается сигналами квитирования $\overline{ГТМ}$, $\overline{ГТА}$ и $\overline{ЗПА}$, $\overline{РПА}$.

Если инициатором обмена является модем, имеющий информацию для передачи в МП, то он подает сигнал «Готовность модема» $\overline{ГТМ}=0$. При этом устанавливается в 1 разряд D_7 в регистре состояний (РС), содержимое которого считывается в МП по команде IN (см. табл. 8.1). Если МП разрешает обмен с модемом, то он по команде OUT вводит в адаптер командное слово, устанавливающее сигнал «Готовность адаптера» $\overline{ГТА}=0$. Это сигнал разрешает модему послать данные на ВПР.

Если МП имеет информацию для передачи через модем, то по команде OUT в адаптер вводится командное слово, устанавливающее на выходе «Запрос адаптера» сигнал $\overline{ЗПА}=0$. Этот запрос принимается модемом, который в случае готовности к обмену выдает сигнал «Разрешение передачи адаптера» $\overline{РПА}=0$. Поступление этого сигнала разрешает адаптеру вывод данных на линию ВПД.

Помимо сигналов управления вводом-выводом и модемом (УВВ, УМД, рис. 8.13) адаптер вырабатывает сигналы «Готовность передатчика» (ГПД) и «Готовность приемника» (ГПР). Сигналы $\overline{ГПД}=1$ и $\overline{ГПР}=1$ устанавливаются при поступлении данных в БПД или БПР. Они обычно используются как запросы прерывания ($\overline{ЗПР}$) для МП, в соответствии с которыми МП заносит в буферный регистр новое число для передачи в ВУ (при $\overline{ГПД}=1$) либо принимает данные, поступившие в БПР адаптера (при $\overline{ГПР}=$

=1). Если передача данных на выходе ВПД начинается до поступления в буфер следующего передаваемого числа, то адаптер выдает сигнал «Конец передачи» $KПД=1$.

Двухнаправленный вывод внешней-внутренней синхронизации BBC используется в зависимости от установленного типа синхронизации. Если синхронизация внутренняя, то адаптер устанавливает сигнал $BBC=1$ в течение времени передачи информационных символов, т. е. между моментами поступления синхросимволов в начале и конце передачи. При внешней синхронизации адаптер, запрограммированный как передатчик, формирует значение $BBC=1$ в течение времени передачи информационных символов. Для адаптера, запрограммированного как приемник, BBC служит входным сигналом, стробирующим прием необходимой информации.

Программирование адаптера осуществляется путем ввода в БУ управляющих и командных слов, выдаваемых МП по команде OUT . Управляющее слово, поступающее в регистр PY с шины D при адресном сигнале $Y/\bar{D}=1$, определяет:

режим передачи: синхронный ($D_1D_0=00$) и асинхронный с различным отношением частот: $f_c/f_n=1$ при $D_1D_0=01$; $f_c/f_n=16$ при $D_1D_0=10$; $f_c/f_n=64$ при $D_1D_0=11$;

число информационных бит: 5 при $D_3D_2=00$; 6 при $D_3D_2=01$; 7 при $D_3D_2=10$; 8 при $D_3D_2=11$;

наличие ($D_4=1$) или отсутствие ($D_4=0$) контрольного бита и тип контроля: на четность ($D_5=1$) или нечетность ($D_5=0$);

число стоп-битов при асинхронном режиме: 1 при $D_7D_6=01$; 1,5 при $D_7D_6=10$; 2 при $D_7D_6=11$ либо способ синхронизации при синхронном режиме: внешняя при $D_0=1$, внутренняя с одним (при $D_7D_6=10$) или двумя (при $D_7D_6=00$) синхросимволами.

При внутренней синхронизации ($D_6=0$) следом за управляющим словом в адаптер вводятся один или два синхросимвола, которые хранятся в регистрах $PCC1$, $PCC2$.

Непосредственно перед началом обмена в адаптер вводится командное слово, разряды которого имеют следующие значения:

D_0 (разрешение передачи); D_2 (разрешение приема) разрешают передачу или прием при D_0 , $D_2=1$ и запрещают при D_0 , $D_2=0$;

D_1 , D_5 устанавливают значения выходных сигналов $\overline{ГТА}=0$ и $\overline{ЗПА}=0$ при $D_1=1$ и $D_5=1$, соответственно;

$D_3=1$ устанавливает на выходе $ВПД=0$ (воспринимается ВУ как разрыв линии), при $D_3=1$ производится обычная передача;

$D_4=1$ сбрасывает в 0 триггеры, фиксирующие ошибки приема информации;

$D_6=1$ сбрасывает в 0 регистр PY , после этого для программирования адаптера необходимо ввести новое управляющее слово;

$D_7=1$ при синхронном режиме адаптера переводит его в состояние поиска синхросимволов на входе ВПР.

В процессе приема адаптер контролирует поступающую информацию, фиксируя в регистре состояний (РС) наличие следующих ошибок;

ошибка кадра устанавливается в асинхронном режиме, если в конце символа не обнаружен стоп-бит заданной длительности;

ошибка переполнения фиксируется, если поступивший символ не был считан МП до прихода следующего;

ошибка четности устанавливается, если четность поступившего символа не соответствует значению принятого за ним контрольного бита.

Микропроцессор может проконтролировать наличие или отсутствие ошибок, считав содержимое РС в виде слова состояния, которое выводится из адаптера по команде *IV* при адресном сигнале $\overline{U/D}=1$. Наличие ошибок четности, переполнения, кадра определяется значением 1 в разрядах D_3, D_4, D_5 слова состояния. В остальных разрядах этого слова указываются текущие значения сигналов на некоторых выводах адаптера: ГПД (разряд L_0), ГПР (D_1), КПД (D_2), ВВС (D_6), ГТМ (D_7).

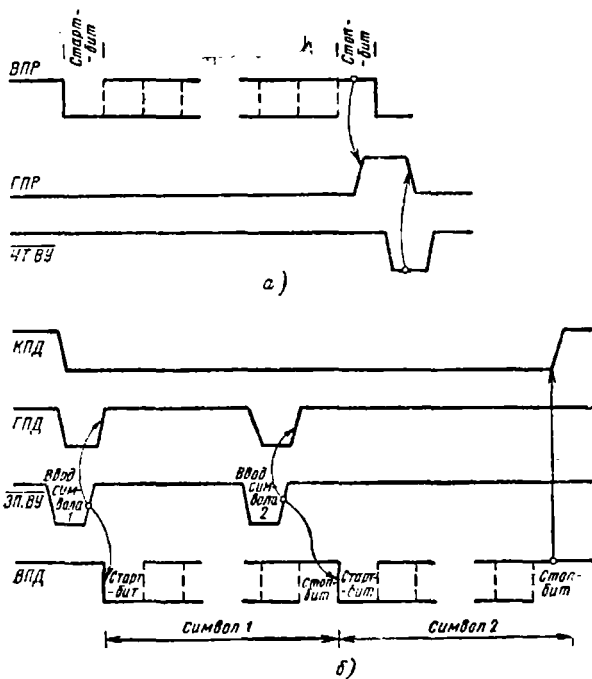


Рис. 8.14 Временные диаграммы асинхронного последовательного приема (а) и выдачи (б) информации

Временные диаграммы, иллюстрирующие процесс последовательного обмена в асинхронном режиме, приведены на рис. 8.14. По окончании ввода символа в БПР формируется сигнал $\overline{ГПР}$ (рис. 8.14,а), используемый как запрос прерывания МП. Получив его, МП выполняет подпрограмму ввода, содержащую команду \overline{IN} . При выполнении этой команды формируются адрес адаптера (сигналы $\overline{У/Д}=0$, $\overline{ВМ}=0$) и сигнал $\overline{ЧТ.ВУ}=0$. В цикле МЗ команды \overline{IN} адаптер выдает на шину D принятый символ. Одновременно в регистре РС фиксируются ошибки приема, если они обнаружены.

Последовательный вывод (рис. 8.14,б) производится после получения адаптером с шины D передаваемого символа, который вводится в буферный регистр при поступлении сигнала $\overline{ЗП.ВУ}=0$. Этот сигнал вызывает также установку $\overline{КПД}=\overline{ГПД}=0$. Установка $\overline{ЗП.ВУ}=1$ вызывает формирование старт-бита, т. е. начало передачи символа. При этом устанавливается значение $\overline{ГПД}=1$, которое служит запросом прерывания МП. По этому запросу выполняется подпрограмма вывода, содержащая команду \overline{OUT} , и в буферный регистр адаптера поступает следующий символ. Если МП не удовлетворяет запрос и в БПД не загружается очередной символ, то после окончания передачи (формирования стоп-бита) устанавливается сигнал $\overline{КПД}=1$.

8.4. КОНТРОЛЛЕРЫ ПРЕРЫВАНИЙ И ПРЯМОГО ДОСТУПА

Для реализации режима прерываний в МПС включаются специальные устройства — контроллеры (КПР), которые при получении запроса выдают в МП команду \overline{RST} или \overline{CALL} (см. табл. 8.1), вызывающие соответствующую подпрограмму его обслуживания. Наиболее универсальными и эффективными являются КПР, формирующие команду \overline{CALL} . Структура такого КПР показана на рис. 8.15.

Контроллер подключается к шине D и содержит регистр запросов (РЗП), который принимает восемь запросов, имеющих различный приоритет. При поступлении запроса $\overline{ЗП}$ схема управления прерывания (СУПР) вырабатывает сигнал $\overline{ЗПР}=1$, идущий в МП. Если прерывание разрешено, то после выполнения текущей команды МП формирует сигнал подтверждения $\overline{ППР}=0$. Получив его, КПР выдает на шину D команду \overline{CALL} , поступающую в МП. Приняв ее, МП еще два раза формирует сигналы $\overline{ППР}=0$, по которым КПР выдает b_2 , b_3 команды \overline{CALL} , задающие адрес подпрограммы обслуживания соответствующего запроса. В регистре обслуживаемых запросов (РОЗ) после этого устанавливается в состоянии 1 триггер, соответствующий поступившему запросу. Анализатор приоритетов (АП) сравнивает приоритеты вновь поступающих и обслуживаемого запросов. Если поступивший запрос имеет такой же или меньший приоритет, чем обслужи-

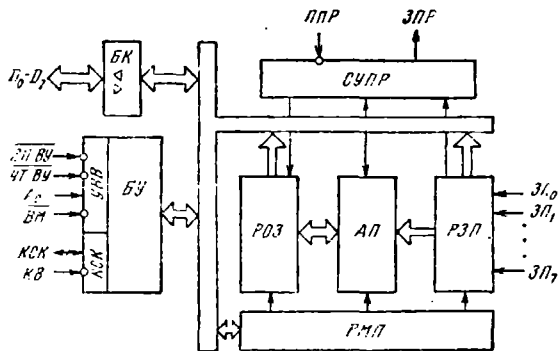


Рис. 8.15. Структура контроллера прерываний

живаемый, то он не вызывает прерывания. Если же его приоритет выше, то формируется сигнал ЗПР и прерывается выполнение подпрограммы обслуживания. Регистр маски приоритетов (РМП) содержит восьмиразрядный код маски. Значение 1 в том или ином разряде маски запрещает (маскирует) обслуживание запроса с соответствующим номером ЗП₀ ... ЗП₇.

Программирование КПР производится путем посылки в него из МП специальных управляющих и командных слов. Эти слова выдаются МП по команде *OUT* и заносятся в соответствующие регистры ВУ. При этом на КПР подаются сигнал $\overline{ЗП.ВУ} = 0$ и сигнал выборки $АВ_i = \overline{ВМ} = 0$ от ДШ ВУ (см. рис. 8.8). Адресный сигнал A_0 определяет регистр КПР, в который поступает данное слово (табл. 8.8). Сначала в КПР необходимо ввести два управляющих слова УС1, УС2, которые задают адреса подпрограмм обслуживания прерывания. Для каждой подпрограммы отводится четыре или восемь рядом расположенных ячеек памяти. Число ячеек задается определенным разрядом УС1. Подпрограммы обслуживания размещаются в ОЗУ в виде общего массива объемом 32

Таблица 8.8

Адресация регистра КПР

A_0	$\overline{ЗП.ВУ}$	$\overline{ЗП.ВУ}$	$\overline{ВМ}$	Выполняемая передача ¹
0	0	1	0	(РЗП), (РОЗ) или (КВП) → шина D
1	0	1	0	(РМП) → шина D
0	1	0	0	Шина D → УС1, КС2 или КС3
1	1	0	0	Шина D → УС2, УС3 или КС1
X	X	X	1	Шина D отключена

¹ Адресация регистров КПР определяется последовательностью поступления или содержанием УС, КС.

разрешения прямого доступа $\overline{ПД}=0$ вырабатываются КПД, когда он обеспечивает этот режим для ВУ, подавшего запрос.

В режиме программирования МП по команде *OUT* загружает в БУ контроллера управляющее слово, которое содержит маску запросов (разрешает или запрещает обслуживание любого из четырех ВУ); задает вид приоритета (фиксированный или циклический); обеспечивает при необходимости копирование передаваемой информации.

При копировании передача массива информации по запросу $ЗП_2$ повторяется, если запрос сохранился. Копирование реализуется путем загрузки в регистры БОЗЗ такой же информации, как БОЗ2. После окончания передачи массива содержимое РА3, РС3 загружается в РА2, РС2 и передача повторяется, если есть запрос $ЗП_2=1$. КПД программируется на копирование только для $ЗП_2$, запрос $ЗП_3$ при этом не обслуживается. Помимо управляющего слова МП вводит в КПД содержимое регистров РА и РР, РС, адресуемых с помощью сигналов A_0-A_1 (табл. 8.9). Для программирования каждого БОЗ требуется два 16-разрядных числа, т. е. выполняется четыре команды *OUT*. При этом сначала загружаются младшие восемь разрядов регистра, затем — старшие.

Микропроцессор может с помощью команды *IN* считать из КПД слово состояния (СС), которое показывает, для каких БОЗ передача закончена и установлен ли для $ЗП_2$ режим копирования. Запись в КПД содержимого регистров УС и считывание СС управляются сигналами ввода-вывода (УВВ) (см. рис. 8.16), поступающими от МПС, в соответствии с табл. 8.9.

В режиме ПДП контроллер выдает адрес выбираемой ячейки БОЗУ, формирует управляющие сигналы (УПД, рис. 8.16), а также принимает от ВУ сигнал готовности ГТ. Цикл передачи содержит четыре такта. В первом такте младшие разряды адреса устанавливаются на выходах A_0-A_7 , а старший байт выдает КПД на шину D. Одновременно устанавливается сигнал выдачи адреса

Таблица 8.9
Адресация регистров КПД

Чт. ВУ	ЗП. ВУ	A_2	A_3	A_1	A_0	Выполняемая передача
1	0	0	0	0	0	Шина D → РА1
1	0	0	0	0	0	→ → → РР1, РС1
1	0	0	0	1	0	Шина D → РА2
1	0	0	0	1	1	→ → → РР2, РС2
1	0	0	1	0	0	Шина D → РА3
1	0	0	1	0	1	→ → → РР3, РС3
1	0	0	1	1	0	Шина D → РА4
1	0	0	1	1	1	→ → → РР4, РС4
1	0	1	0	0	0	Шина D → УС
0	1	1	0	0	0	СС → шина D

$CBA=1$, разрешающий запись этого байта во внешний регистр адреса, который хранит его до конца цикла. Во втором и третьем тактах устанавливаются необходимые управляющие сигналы $\overline{CT.VU}$, $\overline{ЗП.VU}$ и $\overline{CT.ЗУ}$, $\overline{ЗП.ЗУ}$. В третьем такте проверяется также сигнал $ГТ$. Если $ГТ=0$, то КПД переходит в режим ожидания до получения $ГТ=1$. Передача данных по шине D производится в четвертом такте. Сигнал «Конец передачи» $КПД=1$ устанавливается, когда соответствующий РС оказывается в нулевом состоянии. Сигнал «Конец блока» $КБ=1$ вырабатывается после передачи каждого блока информации объемом 128 байт.

Таким образом, КПД реализует режим ПДП при поступлении запроса от одного из четырех ВУ. Возможность считывания состояния и репрограммирования КПД позволяет реализовать различные способы обслуживания ВУ и оперативно изменять их в случае необходимости.

8.5. СЕКЦИОНИРОВАННЫЕ МИКРОПРОЦЕССОРЫ С МИКРОПРОГРАММНЫМ УПРАВЛЕНИЕМ

Для построения высокопроизводительных МПС с разрядностью 16 и более используются МП с секционированным операционным устройством. Управление этими МПС обычно осуществляется с помощью микропрограммных УУ (см. § 7.4). Для реализации таких МПС выпускаются комплекты микропроцессорных БИС, реализующих функции операционных секций или блоков МПУУ.

Пример структуры одной четырехразрядной операционной секции (процессорная секция) приведен на рис. 8.17. Секция содержит АЛУ, блок из 16 четырехразрядных регистров общего назначения (РОН) и аккумулятор Q . Блок РОН имеет два выхода, на которые выдаются операнды из регистров, выбираемых с помощью четырехразрядных адресов A и B . Данные, записываемые в РОН или аккумулятор, могут сдвигаться вправо или влево на один разряд с помощью сдвигателей — мультиплексоров (см. рис. 3.14). Мультиплексоры $MUX1$, $MUX2$ выбирают операнды R_0 , S_0 , поступающие в АЛУ. Результат F может выдаваться на выход Y через буферный каскад по сигналу «Разрешение выдачи» ($РВД-1$) и заноситься в РОН или аккумулятор. АЛУ формирует также признаки результата: переноса из старшего разряда C_4 , нуля Z , знака S , переполнения $V=C_3 \oplus C_4$ (см. § 7.1).

Для обработки и хранения многоразрядных операндов секции включаются параллельно. При этом входы-выходы PR_0 , PR_1 и PQ_0 , PQ_1 сдвигателей R и Q соседних секций соединяются последовательно для сдвига операндов. При реализации последовательного переноса так же соединяются входы C_0 и выходы C_1 соседних секций. При реализации ускоренного переноса в МПС включается специальная схема формирования переносов, на вхо-

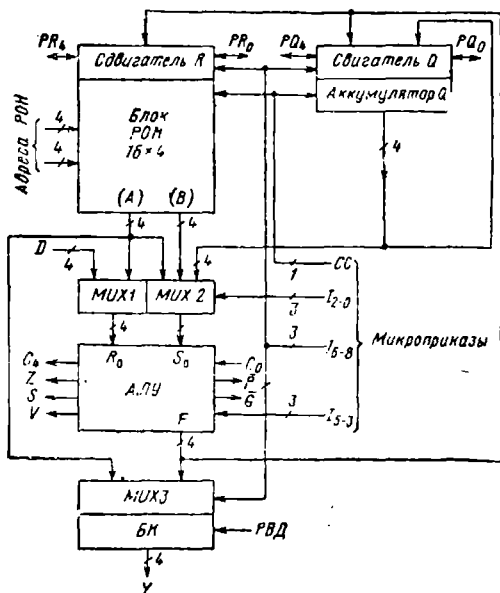


Рис. 8.17. Структура БИС процессорной секции

ды которой поступают от АЛУ сигналы P , G (см. § 7.1). Общая синхронизация осуществляется сигналом CC .

Выполняемые секцией операции определяются микроприказами I_0 — I_8 (табл. 8.10), поступающими от МПУУ. Микроприказ I_0 — I_2 управляет мультиплексорами $MUX1$, $MUX2$, которые выбирают операнды из РОН, аккумулятора или с входа данных D . Номера выбираемых РОН задаются адресами A , B . В качестве одного из операндов может быть выдан 0. АЛУ выполняет сложение и вычитание операндов и пять основных логических операций (над каждым разрядом операнда). Выбор операции АЛУ производится микроприказами I_3 — I_5 . Размещение результата операции определяется микроприказами I_6 — I_8 . При этом можно произвести сдвиг результата или содержимого аккумулятора на один разряд влево или вправо. Микроприказ управляет также мультиплексором $MUX3$, который выдает на выход результат операции либо содержимое РОН, выбираемого адресом A .

Таким образом, процессорная секция выполняет набор микроопераций, достаточный для реализации любых алгоритмов обработки информации. Для этого на нее и другие устройства МПС должна поступить необходимая последовательность микрокоманд, сформированная МПУУ. Для реализации МПУУ используются несколько блоков, основным из которых является блок выбора

Таблица 8.10

Операции, выполняемые процессорной секцией

Микроприказ			Выбор операндов ¹		Микроприказ			Функции АЛУ	Микроприказ			Размещение, сдвиг ²		
I_2	I_1	I_0	R_0	S_0	I_5	I_4	I_3		I_8	I_7	I_6	РОН	Q	Y
0	0	0	A	Q	0	0	0	R+S	0	0	0	—	F→Q	F
0	0	1	A	B	0	0	1	S-R	0	0	1	—	—	F
0	1	0	O	Q	0	1	0	R-S	0	1	0	F→B	—	A
0	1	1	O	B	0	1	1	R∨S	0	1	1	F→B	—	F
1	0	0	O	A	1	0	0	RS	1	0	0	F/2→B	Q/2→Q	F
1	0	1	D	A	1	0	1	$\bar{R}S$	1	0	1	F/2→B	—	F
1	1	0	D	Q	1	1	0	R⊕S	1	1	0	2F→B	2Q→Q	F
1	1	1	D	O	1	1	1	R∩S	1	1	1	2F→B	—	F

¹ A, B — регистры, адресованные входами A, B.

² F/2, Q/2 — результат (F) или содержимое аккумулятора, сдвинутое на один разряд вправо (деление на 2); 2F, 2Q — результат или содержимое аккумулятора, сдвинутое на один разряд влево (умножение на 2).

адресов (БВА), на выходе которого устанавливается адрес ячейки МПЗУ, из которой выбирается следующая микрокоманда.

Структура БВА (рис. 8.18,а) содержит мультиплексор, выбирающий адрес N от одного из четырех возможных источников. Управление выбором осуществляют сигналы M₁, M₀. Адрес можно получить с внешних входов АМ или из регистра адреса (РА), в который он предварительно заносится со входов M. Источниками адреса могут также быть микропрограммный счетчик (МПС) и регистровый стек. Стек реализован на четырех четырехразрядных регистрах сдвига R_A—R_D, в которые загружается содержимое МПС, если поступают сигналы «Разрешение стека» PC=1, а значение сигнала «Запись/Считывание» $\bar{Z}/C=0$. Схема сброса адреса (ССА) при поступлении сигнала «Сброс» СБР-1 формирует значение адреса N=0. Адрес поступает на выход БВА через БК, который открывается сигналом «Разрешение выдачи адреса» PBA=1. Адрес очередной микрокоманды с выхода MUX заносится также в МПС с инкрементом (увеличение на 1) при сигнале C'₀=1 или без него при C'₀=0. Увеличение на 1 выполняется инкрементором (ИНК). Если MUX выберет в качестве источника адреса МПС, то в следующем такте из МПЗУ будет выбрана очередная микрокоманда микропрограммы, если выполнен инкремент, либо повторится текущая микрокоманда, если инкремента не было.

Одна микросхема БВА формирует четыре разряда адреса. Для адресации МПЗУ, хранящих микропрограммы из сотен и тысяч микрокоманд, параллельно включаются несколько микросхем БВА. При этом входы C'₀ и выходы C'₄ в МПС включаются последовательно, чтобы обеспечить передачу сигналов переноса при инкременте.

На основе БВА можно построить МПУУ, один из вариантов структуры которого показан на рис. 8.18,б. Микропрограммы записаны

обеспечивающего выбор входов АМ в качестве источника адреса. Таким образом, адрес первой микрокоманды, выданный ДШК на внутреннюю шину АМ, через БВА поступает на адресные входы МПЗУ. Эта МК поступает на выход МПЗУ и в следующем такте заносится в РМК, если СУВ выдает сигнал «Прием микрокоманды» (ПМК). Адрес МК после инкремента заносится в МПС и позволяет адресовать следующую МК микропрограммы.

Если очередная МК размещается не в следующей ячейке МПЗУ, а в какой-либо другой ячейке, то предыдущая МК должна содержать ее адрес. Этот адрес из РМК выдается на внутреннюю шину АМ, и БВА по сигналам СУВ выбирает его в качестве адреса следующей МК. Если управляющий код указывает на выполнение условного перехода в микропрограмме, то СУВ формирует сигналы в зависимости от значения сигнала «Условие выбора» (УВ). Выбор условия осуществляется мультиплексором, который управляется определенными разрядами МК. Элемент Иключающее ИЛИ позволяет инвертировать условие, обеспечивая выполнение переходов по наличию или отсутствию переноса ($C=1$ или 0), нулевому или ненулевому результату ($Z=1$ или 0), положительному или отрицательному результату ($S=0$ или 1), возникновению или отсутствию переполнения ($V=1$ или 0). Помимо признаков C, Z, S, V в качестве условий могут использоваться, например, запросы прерываний или ПДП, сигналы готовности ВУ и др.

С помощью стека, имеющегося в БВА, можно реализовать переход к подпрограммам, записанным в МПЗУ. При этом в стек по сигналам $PC, \bar{Z}/C$ заносится текущее содержимое МПС. Адрес первой МК подпрограммы, указанный в предыдущей МК, выдается из РМК на шину АМ, выбирается БВА по сигналам СУВ и поступает на МПЗУ. Так как стек содержит четыре регистра, то допускается четыре уровня вложения подпрограмм.

Таким образом, МК содержит: разряды, указывающие адрес АМ следующей МК; управляющие коды, определяющие выбор условий и формирование сигналов СУВ; микроприказы, задающие функции процессорной секции (см. табл. 8.10): адреса A, B ее регистров, а также управляющие работой других блоков и устройств (ЗУ, ИУ и др.). Поэтому МК, хранящиеся в МПЗУ и поступающие в РМК, содержат несколько десятков разрядов (обычно 50 ... 100).

Общая структура МПС с микропрограммным управлением, реализованная на процессорных секциях, показана на рис. 8.19. Схема формирования адреса МК, построенная на базе БВА и СУВ, приведена на рис. 8.18,б. Операционное устройство на четырех четырехразрядных секциях выполняет обработку 16-разрядных операндов. Регистры, входящие в состав секции (см. рис. 8.17), служат для хранения операндов и промежуточных результатов, а также используются в качестве программного счетчика, указателя стека и других вспомогательных регистров. В регистр

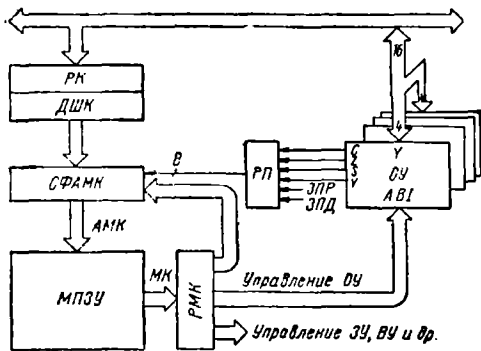


Рис. 8.19. Структура секционированного микропроцессора с микропрограммным управлением

признаков (РП) поступают сигналы C, Z, S, V от операционного устройства, а также запросы на прерывание и МДП.

В описанной структуре операционное устройство формирует также адреса байт. Для повышения быстродействия МПС формирование адресов производится дополнительным адресным устройством. При этом можно совместить операции обработки данных и образования адреса, что повышает производительность МПС.

Данная структура выполняет функции 16-разрядного МП. Набор выполняемых им команд определяется содержимым МПЗУ (микропрограммами). Путем изменения этого содержимого можно реализовать различные наборы команд, которые обеспечивают наиболее эффективное решение того или иного класса задач, позволяют повысить производительность МПС. Однако данная МПС содержит значительное число БИС и СИС (несколько десятков), ее проектирование и наладка требуют значительного времени и высокой квалификации разработчиков. Это ограничивает область применения таких систем.

КОНТРОЛЬНЫЕ ВОПРОСЫ И УПРАЖНЕНИЯ

1. Объясните, в чем различие режимов обращения к подпрограмме, прерывания и прямого доступа к памяти.
2. Укажите, в каких командах микропроцессора (см. табл. 8.1) реализуется непосредственная, прямая и косвенно-регистрационная адресация.
3. Определите команды микропроцессора (см. табл. 8.1), при которых производится изменение содержимого ПС, УС, РП (см. рис. 8.5).
4. Какие операции производит МП при выполнении команды *DAA* (см. табл. 8.1)? Как при этом используется признак *АС*?

5. Какие циклы реализуются при выполнении команд $MVI\ M, b_2, DCR, M, CM\ b_3b_2, POP\ PSW$ (см. табл. 8.1), каковы при этом значения сигналов $BV/\bar{B}\bar{V}, S_1, S_2$? Нарисуйте временные диаграммы, иллюстрирующие выполнение этих команд.

6. Составьте схему двунаправленного порта ввода-вывода, реализованного на регистрах и БК.

7. Составьте программу, обеспечивающую работу параллельного адаптера в режимах: 0 — порты A, C_L используются для ввода, порты B, C_H — для вывода; 1 — порт A используется для ввода, порт B — для вывода; 2 — для порта A , 0 — для портов B (ввод), C (вывод). Введите в программу команды установки постоянных значений некоторых разрядов порта C .

8. Составьте программу, обеспечивающую работу последовательного адаптера в режимах приема и передачи данных. Предусмотрите несколько вариантов программ, реализующих различные виды синхронизации, число информационных битов и др.

9. Приведите последовательность команд, необходимых для программирования КПП и КПД.

10. Нарисуйте временные диаграммы изменения сигналов, иллюстрирующие процесс перехода МПС в режимы прерывания (с использованием КПП) и ПДП (с использованием КПД).

11. Составьте последовательность микроприказов I_0-I_8 , обеспечивающих реализацию с помощью процессорных секций (см. рис. 8.17) умножения двух четырехразрядных чисел (см. § 1.2).

12. Нарисуйте временные диаграммы изменения основных сигналов (AM, AMK, MK, M, BNA, PMK), иллюстрирующие процесс выбора нескольких микрокоманд в МПУУ (рис. 8.18,б), определите режимы работы основных узлов: ДШК, СУВ, БВА, МПС, МПЗУ, РМК.

Глава 9. АНАЛОГОВЫЕ ПРОЦЕССЫ, ФУНКЦИИ И ПОДСХЕМЫ

Аналоговые процессы окружают нас повсюду. Разнообразные проявления этих процессов воспринимаются или реализуются техническими системами. Можно говорить о том, что аналоговый мир подарен нам природой в отличие от созданного человеком мира цифр (и иных символов).

Технологический прогресс в равной мере отражается на развитии как цифровых, так и аналоговых (цифроаналоговых) средств. Поэтому их удельные доли (80 и 20% соответственно) в промышленности стран с развитой электроникой примерно постоянны уже в течение многих лет. Вместе с тем функции, выполняемые цифровыми ИС (ЦИС), с одной стороны, и аналоговыми и цифроана-

логвыми ИС (АИС, ЦАИС), с другой, динамично изменяются. Этому способствует разница в схмотехническом использовании растущих *ресурсов технологии*.

В цифровой технике, где схмотехнические базисы могут считаться фиксированными, почти все эти ресурсы тратятся на увеличение функциональной сложности аппаратуры (путем наращивания степени интеграции ИС). В схмотехнике АИС и ЦАИС есть и другая цель расходования ресурсов технологии — воплощение «избыточности» качества. Она заключается в оптимизации (или достижении рекордных уровней) таких показателей, как точность, быстродействие, энергопотребление, эксплуатационные параметры.

Запасы по совокупности этих показателей и позволяют идеализировать аналоговые и цифроаналоговые преобразования, т. е. свести их к процедурам, для реализации которых используются композиции «почти» идеальных функций (операций). Эти аналоговые функции (АФ) реализуются с помощью подсхем, составляющих основу современных высококачественных АИС и ЦАИС.

9.1. КОНЦЕПЦИИ ИДЕАЛИЗАЦИИ И МАКРОМОДЕЛИРОВАНИЯ СТРУКТУР

Разнообразие АИС и ЦАИС обусловлено как обилием физических явлений и технических средств их использования, так и необходимостью перекрыть растущий диапазон применений и условий эксплуатации электронных систем. Справочная литература по схмотехнике [13, 50, 52] поражает почти беспредельным разнообразием вариантов аналоговых и цифроаналоговых структур. Поэтому многие авторы, например [50], считают схмотехнику искусством. Однако эвристический аспект аналоговой микросхмотехники не исключает, а скорее стимулирует поиски ее методической основы. Эта основа, необходимая для автоматизации цикла создания аналоговой и цифроаналоговой аппаратуры, может базироваться на концепциях идеализации и макроmodellирования подсхем.

Концепция идеализации подсхем является средством блочного проектирования их композиций. Суть концепции: любая (в том числе аналоговая и цифроаналоговая) аппаратура создается для вполне определенной цели, эта цель допускает декомпозицию на подцели (иначе проектирование невозможно!). Подцели последовательно расчленяются на еще более простые подцели, которые допускают реализацию с помощью известных схмотехнику процедур. Функции (операции), формирующие процедуры, записываются в виде формул. Эти формулы реализуются с помощью так называемых *аналоговых функций (АФ)* и *аналоговых эталонов (АЭ)*, воплощаемых в виде подсхем АИС и ЦАИС. Композиции основных АФ (ОАФ) образуют более сложные подсхемы или схемы, идеализируемые в виде специальных аналоговых функций (САФ) и (или) процедур, состоящих из ОАФ и (или) САФ.

Реализующие эти процедуры структуры (цепи), спроектированные на основе АФ и АЭ, могут быть воплощены в виде:

АИС (БИС, СБИС), скоммутированных вместе;

библиотечных подсхем (элементов) для матричных аналоговых или цифроаналоговых СБИС;

композиций библиотечных подсхем, реализованных в кристалле СБИФ.

Практичность результатов блочного проектирования проверяется на этапе моделирования. На этом участке учитываются неидеальности (ошибки, погрешности) реальных схмотехнических структур — цепей с АИС и ЦАИС.

Концепция макро моделирования является средством итеративного анализа цифровых и цифроаналоговых структур. Суть концепции: АИС представляются как наборы типовых подсхем (например, дифференциальные, выходные, промежуточные каскады, отражатели тока, формирователи уровней и др. [48]). Каждая из этих подсхем заменяется их описаниями (макро моделями), учитывающими те или иные неидеальности.

По степени учета неидеальностей можно различать четыре уровня сложности макромоделей:

первый: неидеальности АФ и эталонов не учитываются;

второй: учитываются неидеальности, оговоренные техническими условиями (ТУ);

третий: учитываются неидеальности как указанные в ТУ, так и отсутствующие в них; при построении макромоделей используются модели некоторых элементов ИС;

четвертый: учитываются «тонкие» свойства структур путем использования моделей всех элементов подсхем.

Таблица 9.1

Иерархия понятий и структур, соответствующих концепциям идеализации и макро моделирования

Концепция	Понятия	Структуры
Идеализация	Процессы, композиции процедур Процедура (композиция функций) Функция (АФ), операция Основная функция (ОАФ) Специальная функция (САФ) Эталон (АЭ)	Аппаратура Набор микросборок, плат, прибор аппаратуры Плата, микросборка, ИС, подсхема ИС, подсхема Плата, микросборка Подсхема (цепь), ИС, микросборка, плата
Макро моделирование	Макромодель I уровня Макромодель II уровня Макромодель III, IV уровней	ИС, подсхемы идеальные ИС, подсхемы «почти» идеальные ИС, подсхемы неидеальные

Множества (библиотеки) макромоделей подсхем структурируются в виде баз данных ЭВМ, создавая основу машинного анализа композиций макромоделей, необходимого для сокращения объема натурального (экспериментального) макетирования.

Библиотека макромоделей пополняется за счет новых композиций подсхем (АФ), т. е. типизации все более сложных САФ или их наборов (процедур).

Иерархия понятий и структур, соответствующих концепциям идеализации и макромоделирования, иллюстрирована табл. 9.1.

Особенностью развивающейся техники АИС и ЦАИС является то, что благодаря «избыточности качества» применимость результатов блочного проектирования структур возрастает. Во многих случаях объем интерактивного анализа может быть ограничен использованием макромоделей I уровня.

Таким образом, составление моделей отражает знания (а в ряде случаев и искусство) разработчика. Контролем корректности моделирования служит заданная степень совпадения результатов исследований макромоделей с данными эксперимента (или более строгой теории). При этом вместо физического эксперимента вполне пригодны результаты машинных расчетов, использующих модели большей универсальности, сложности, точности.

9.2. ОСНОВНЫЕ И СПЕЦИАЛЬНЫЕ АНАЛОГОВЫЕ ФУНКЦИИ. ЭТАЛОНЫ. НОМЕНКЛАТУРА АНАЛОГОВЫХ МИКРОСХЕМ

Рассмотрим пять ОАФ: усиление, сравнение, ограничение, перемножение, частотную фильтрацию. Выбор перечисленных ОАФ удобен, так как они воплощены в виде АИС, получивших массовое распространение. Пять ОАФ в совокупности образуют набор операций, аналогичный какой-либо функционально полной или избыточной системе переключательных функций цифровой техники.

Такие ОАФ, как усиление, сравнение, перемножение, соответствуют распространенным схмотехническим типам АИС, серийно выпускаемых промышленностью. Например, функцию усиления реализуют ИС операционных усилителей (ОУ), широкополосных усилителей видеочастот, полосовых усилителей радиотехнического диапазона волн; функцию сравнения реализуют ИС ОУ и компараторов напряжения; функцию перемножения — ИС перемножителей на разные частотные диапазоны, аналоговые коммутаторы и т. д. Ограничение присутствует во всех АИС, и его в ряде случаев необходимо отдельно учитывать, например при моделировании нелинейных искажений. Для реализации ОАФ ограничения совместно с цепями АИС (операционными усилителями, компараторами, перемножителями) включают также нелинейные компоненты, как диоды, стабилитроны, транзисторы.

Основные аналоговые функции частотной фильтрации в сочетании с ОАФ усиления образуют радиотехнические цепи, специа-

лизируемые для того или иного диапазона волн, значений реактивных параметров, полосы частот, стабильности, мощности, динамического диапазона. Множество сочетаний перечисленных показателей обуславливает большое число САФ избирательного усиления и (в случае применения регенеративной обратной связи) генерации сигналов.

Основные аналоговые функции фильтрации в диапазоне низких частот выполняются на основе ОУ (в виде активных фильтров)¹. В радиотехническом диапазоне частот для фильтрации применяются колебательные контуры, состоящие из катушек индуктивности и конденсаторов (в прецизионных устройствах используются твердотельные пьезоэлектрические фильтры). В диапазоне СВЧ колебательные системы имеют вид микрополосковых линий. Таким образом, ОАФ частотной фильтрации практически реализуется с помощью изделий (микросхем, микросборок) частного применения, т. е. их проектирование и изготовление являются неотъемлемой частью производства каждого прибора микроэлектронной аппаратуры (МЭА), в который они входят. Рассмотрим подробнее перечисленные выше разновидности основных АФ.

Основная АФ усиления. Под ОАФ усиления будем понимать увеличение напряжения (или тока) точно в $K'_{\text{У}}$ раз в неограниченной полосе частот без нелинейных искажений сигнала. Такую функцию приближенно реализует ОУ, условное обозначение которого приведено на рис. 9.1, а. Усилитель имеет два² входа, соответствующие напряжениям U_1 и U_2 . Сигнал на выходе ОУ можно записать в виде

$$U_{\text{вых}} = K'_{\text{У}} U_{\text{в}} = K'_{\text{У}} (U_2 - U_1), \quad (9.1)$$

где $U_{\text{в}} = U_2 - U_1 = 2U_{\text{д}}$ — виртуальная³ разность входных напряже-

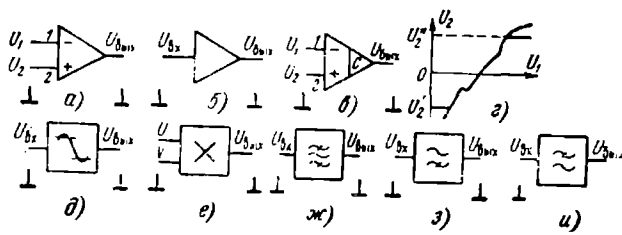


Рис. 9.1. Условные обозначения устройств, выполняющих пять основных аналоговых функций:

а — операционного усилителя; б — усилителя с одним входом; в — компаратора; г — ограничителя; д — двустороннего ограничителя; е — перемножителя; ж — полосового частотного фильтра; з — ВЧ фильтра; и — НЧ фильтра

¹ В последние годы для этой цели стали применяться так называемые *аналоговые микропроцессоры*.

² В частном случае один из дифференциальных входов усилителя может отсутствовать (рис. 9.1, б).

³ Прилагательное «виртуальный» (от virtus — англ.) употребляется в значении «фактический», «заранее отмеченный».

ний (удвоенный дифференциальный сигнал $U_d = (U_2 - U_1)/2$); K'_U — коэффициент усиления ОУ по напряжению без обратной связи. Значение K'_U указывается в технической документации на ОУ. Как правило, оно достаточно велико ($K'_U \approx 10^5 \dots 10^7$ и выше). Обычно ОУ охватывают цепью отрицательной обратной связи (ООС), снижающей усиление до величины K_U — коэффициента усиления с включенной цепью ООС. Поскольку чаще всего $K_U \ll K'_U$, то ОУ в таких схемах ведет себя так, как если бы он обладал $K'_U = \infty$.

Поэтому считают, что идеальный ОУ имеет бесконечно большой коэффициент усиления K'_U . В этом предельном случае усилитель не уподобляется генератору, поскольку регенеративная (положительная) обратная связь (ОС) предполагается полностью отсутствующей.

Модифицируя ОС, на основе идеального ОУ можно построить большое число цепей, приближенно выполняющих специальные аналоговые функции (САФ) — свособразное семейство усилительных, генераторных и преобразующих схем самого различного назначения. При этом отличие K'_U от бесконечности на работе цепей практически не сказывается.

Будем поочередно на входы 1 и 2 (рис. 9.1,а) подавать сигнал $U_{вх}$. Поскольку при $U_2 = 0$ справедливо $U_{вых} = -K'_U U_{вх}$, а при $U_1 = 0$ соответственно $U_{вых} = K'_U U_{вх}$, т. е. приращения $U_{вых}$ равны по величине и противоположны по знаку, входы ОУ называются *дифференциальными*.

Одновременная подача $U_1 = U_2 = U_{вх}$ одинакового (синфазного) сигнала $U_{вх}$ на входы 1, 2 идеального ОУ не приводит к изменению напряжения на его выходе $U_{вых}$. Этот эффект, присущий идеальному ОУ, называется *подавлением синфазного сигнала* (у реального ОУ синфазный сигнал полностью не подавляется, а существенно ослабляется).

Если положить $U_2 = U_{вх} = U_d$, а $U_1 = -U_{вх} = -U_d$, т. е. подать на входы 1 и 2 равные по величине, но противоположные по знаку напряжения (дифференциальный сигнал), то получим

$$U_{вых} = K'_U \cdot 2U_{вх} = 2K'_U U_{вх},$$

т. е. приращения от входных напряжений U_1 и U_2 на выходе ОУ складываются. Таким образом, наличие дифференциальных входов приводит к существенной разнице в прохождении синфазной и дифференциальной составляющих реального сигнала¹, тем большей, чем симметричнее входы.

Основная АФ сравнения. Функция сравнения позволяет сопоставить величины U_1 и U_2 с некоторой точностью Δ . При совпадении U_1 и U_2 функция сравнения отождествляется с одним из состояний двузначной логики — нулем или единицей. Например, если при совпадении $U_{вх} = A$, то при отсутствии совпадения состояние считается противоположным, т. е. $U_{вых} = \bar{A}$. Поскольку физически на выходе компаратора (рис. 9.1,в), приближенно реали-

¹ Ниже более подробно показывается полезность бисекции, т. е. представления реального аналогового сигнала в виде суперпозиции его синфазной и дифференциальной составляющих.

зующего ОАФ сравнения, может присутствовать при одном из двух напряжений $U^1_{\text{вых}}$ или $U^0_{\text{вых}}$ (высокое и низкое), этим напряжением присваиваются булевы символы TRUE, FALSE. Например,

$$U_{\text{вых}} := A \text{ при } U_2 - \frac{\Delta}{1} \leq U_1 \leq U_2 + \frac{\Delta}{2}; \quad (9.2)$$

$$U_{\text{вых}} := \bar{A} \text{ при } U_1, \text{ расположенном вне интервала } \left[U_2 - \frac{\Delta}{2}, U_2 + \frac{\Delta}{2} \right]$$

Знаками « $:=$ » обозначена известная из курса программирования операция присваивания.

Идеальный компаратор реализует (9.2) с $\Delta=0$, т. е. с нулевой погрешностью:

$$U_{\text{вых}} := A \text{ при } U_1 = U_2; \quad (9.2a)$$

$$U_{\text{вых}} := \bar{A} \text{ при } U_1 \neq U_2.$$

Условное обозначение идеального компаратора приведено на рис. 9.1,в; оно отличается от символа ОУ вертикальной чертой внутри треугольника и малой латинской буквой «с» (compare — сравнивать — глагол, от которого произошло название «компаратор»).

Подобно ОУ, компаратор имеет два дифференциальных входа (U_1 и U_2). Присваивание выходной величине $U_{\text{вых}}$ булевых значений (A и \bar{A}) реализуется специальной схемой, формирующей выходной сигнал, соответствующий логическим уровням используемых цифровых цепей (например, ТТЛ, ЭСЛ или др.).

Многоцелевое применение идеального компаратора позволило единообразно решать задачи импульсной техники, связанные с формированием сигналов нужной формы и длительности, а также измерений и преобразования аналоговой информации в цифровую.

Основная АФ ограничения (рис. 9.1,г) преобразует зависимость $U_2(U_1)$ в функцию, состоящую из трех участков:

$$\begin{aligned} U_2 &= f(U_1) \text{ при } U'_2 < U_2 < U''_2; \\ U_2 &= U''_2 \text{ при } U_2 \geq U''_2; \\ U_2 &= U'_2 \text{ при } U_2 \leq U'_2. \end{aligned} \quad (9.3)$$

Ограничитель (рис. 9.1,д) используется для изменения формы сигнала.

С помощью идеальных функций усиления и ограничения можно хорошо описать нелинейные искажения в реальном ОУ, если допустимый диапазон сигналов, подаваемых на их входы, окажется превышенным. В этом случае перепад напряжения $U''_2 - U'_2$ на выходе определяет динамический диапазон реального ОУ¹.

¹ Динамический диапазон реального ОУ тем самым характеризует одну из разновидностей ошибок (подробнее о неидеальностях АИС см. ниже).

Основная АФ перемножения определяется результатом $U_{\text{вых}}$ умножения аналоговой величины U (рис. 9.1,е) на другую величину V :

$$U_{\text{вых}} = kUV, \quad (9.4)$$

где k — масштабный коэффициент, не зависящий от U и V .

Идеализированная формула (9.4) с той или иной точностью реализуется с помощью АИС перемножителей. Их аппаратное применение позволяло унифицировать разнообразные АФ радиотехнических преобразований (также, как модуляция, умножение, деление, гетеродинирование и демодуляция частот). В измерительной технике АИС перемножителей осуществляют калибровку и масштабирование сигналов.

Основная АФ частотной фильтрации реализует выделение требуемого диапазона частот из полного спектра, подвергаемого преобразованию. К традиционным фильтрам в виде LC-контуров, пьезокварцевым или электромеханическим резонаторам микроэлектроника добавила специфические устройства фильтрации в виде активных RC-цепей и устройств на основе поверхностных волн и приборов с зарядовой связью. Условные обозначения идеализированного полосового фильтра, а также проходных фильтров высоких и низких частот показаны на рис. 9.1,ж—и.

Аналоговые эталоны (АЭ) также являются составными подсхемами аналоговых структур. Существуют также АИС-эталонны, например стабилизаторы (регуляторы) напряжения. Таким образом, АЭ — конфигурации, которые в условиях решаемой задачи могут без ущерба для синтеза или анализа более сложных структур, в которых они используются, замещаться одним из идеальных элементов электрической цепи. К таким элементам относятся источники токов и ЭДС, резисторы с пропорциональными (согласованными) номинальными значениями, автогенераторы со стабильной и точно определяемой частотой колебаний и др.

Внешние (сигнальные) цепи эталона присоединены к его выходам. Все параметры АЭ описывают неидеальности, т. е. определяют области, в которых эти структуры могут использоваться как эталоны.

Простейшими АЭ являются часто применяемые при анализе цепей источники сигналов, ЭДС и тока (рис. 9.2,а,б). Если требуется получить постоянное напряжение номинала $E_0 < E$, то применяют p - n переходы, используемые как стабилитроны (рис. (рис. 9.2,в), или прямосмещенные диоды (рис. 9.2,г). Выходы цепей рис. 9.2,в,г могут считаться выходами эталонов и замещаться источником E_0 (рис. 9.2,д) лишь тогда, когда точности подсхем, присоединяемых к АЭ, заведомо меньше точности самого эталона.

Примером АЭ может служить цепь стабилизатора постоянного напряжения. Структурная схема такого АЭ (рис. 9.2,е) состоит из делителя 1, проходного элемента 3 и усилителя сигнала ошибки 2. Сигналом ошибки является разность между эталонным напряжением E_0 и напряжением $E''_0 = E'_0 R_1 / (R_1 + R_2)$ в средней точке делителя. Разность $U_V = U_2 - U_1 = E_0 - E''_0$

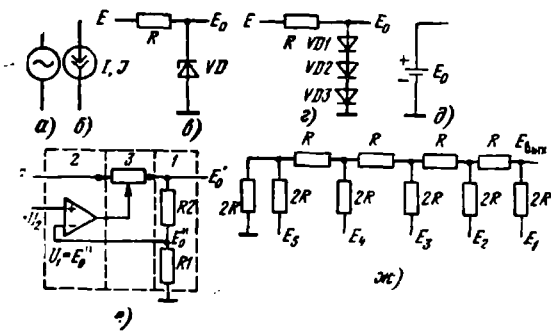


Рис. 9.2. Аналоговые эталоны:

а — источник синусоидальной ЭДС; **б** — источник постоянного (I) и синусоидального (J) токов; **в** — реализация напряжения E_0 из напряжения I ; **г** — использование диодов в прямом включении; **д** — источник постоянной ЭДС E_1 ; **е** — стабилизатор постоянного напряжения, **ж** — резисторная матрица (РМ)

усиливается, и, воздействуя на проходной элемент, изменяет напряжение E'_0 на выходе линейного стабилизатора¹ так, чтобы U_V свелось к минимальному значению (в идеале к нулю). Таким образом, конфигурация на рис. 9.2,е содержит цепь ООС, подаваемой с выхода на вход.

Еще одним примером схемной реализации АЭ может служить резисторная матрица (рис. 9.2,ж), коммутируемая с несколькими эталонами — источниками сигнала ($E_1—E_5$). Анализ цепи на рис. 9.2,ж, называемой матрицей $R—2R$, показывает, что выходное напряжение $E_{\text{вых}}$ АЭ оказывается равным

$$E_{\text{вых}} = \frac{1}{2} \left(E_1 + \frac{1}{2} \left\{ E_2 + \frac{1}{2} \left[E_3 + \frac{1}{2} \left(E_4 + \frac{1}{2} E_5 \right) \right] \right\} \right) \quad (9.5)$$

и не зависит от абсолютной величины сопротивлений резисторов. К перечисленным выше примерам АЭ можно добавить эталоны тока, генераторы стабильных частот и др.

Специальные аналоговые функции (САФ) образуют с помощью структур, состоящих из ОАФ, эталонов и навесных компонентов. Комбинации САФ определяют процедуры аналоговой МЭА и относятся к области проектирования специализированных узлов и БИС частного применения (микросборок).

Номенклатура АИС. Наиболее распространенными разновидностями АИС широкого применения являются ОУ и компараторы напряжения, осуществляющие ОАФ усиления и сравнения. Большое распространение получили также АИС перемножителей (ОАФ), стабилизаторов напряжения и взаимного преобразования

¹ Помимо линейных стабилизаторов (рис. 9.2,а,г,е) известны АЭ импульсных стабилизаторов, основанные на регулировании длительности широтно-модулированного сигнала с целью повышения КПД.

аналоговых и цифровых величин¹. Последние две разновидности АИС осуществляют САФ, так как основаны на применении АЭ напряжения (в виде стабилитронов и высокоточных резисторных матриц) в сочетании с ОАФ, реализуемых ОУ или компараторами.

Что касается сравнительно мощных («силовых») цепей и МЭА радиосвязи (в том числе СВЧ диапазона), то в этой области аналоговой микросхемотехники доминируют специализированные АИС, осуществляющие САФ радиотехнических преобразований (смесители, модуляторы, умножители, делители частоты и др.) и выделяющие в нагрузку полезную мощность в диапазоне от постоянного тока (источники вторичного электропитания) до СВЧ (радиопередающие устройства).

В последнее время появились также многоцелевые аналоговые БИС, как программируемые ОУ, таймеры и аналоговые микропроцессоры. Программируемые ОУ состоят из одного или нескольких ОУ, перестраиваемых на два или более режима работы (например, на микромощный и быстродействующий). За счет внешней коммутации и применения ОС таймеры настраиваются на различные типы САФ, характерные для импульсной техники. Аналоговые микропроцессоры являются СБИС, состоящими из аналого-цифрового преобразователя, цифровой ЭВМ и цифроаналогового преобразователя (с коммутаторами на входе и выходе). СБИС этого типа перекрывают большое число АФ (фильтрации, преобразования и др.) и непосредственно встраиваются в технические устройства.

9.3. ДВА ПРИНЦИПА СХЕМОТЕХНИКИ АНАЛОГОВЫХ МИКРОСХЕМ. ДИФФЕРЕНЦИАЛЬНЫЕ КАСКАДЫ

Два принципа схемотехники АИС отражают специфику технологии их группового производства и тенденцию роста степени интеграции их элементов: принцип взаимного согласования цепей и принцип схемотехнической избыточности при ограниченном размере полезной площади подложки или кристалла.

Принцип взаимного согласования цепей (структур) заключается в такой их конструктивно-технологической реализации, при которой требуемые электрические параметры оказываются пропорциональными (в частном случае равными) друг другу в широком интервале эксплуатационных воздействий (старение, изменения температуры питающих напряжений и т. п.). Применение принципа взаимного согласования позволило создать высокоточ-

¹ Иногда компараторы, перемножители, стабилизаторы напряжения и СБИС взаимного преобразования аналоговых и цифровых величин относят к категории «инструментальных» АИС, осуществляющих специализированные высокоточные преобразования аналоговых сигналов. От ОУ инструментальные АИС отличаются наличием в структуре последних цифровых цепей (наряду с аналоговыми) либо специальных внутренних обратных связей, реализующих стабилизацию требуемых электрических параметров АИС.

ные структуры дифференциальных каскадов (ДК), эталонов тока и напряжений с параметрами, не реализуемыми в традиционной компонентной транзисторной схемотехнике. Взаимное согласование схемотехнических структур осуществляется за счет близкого расположения соответствующих элементов их топологии на подложке кристалла. Достижимая при этом идентичность (или строгая пропорциональность) параметров в полном интервале эксплуатационных воздействий обусловлена тем, что исходные материалы и процессы технологической обработки для таких элементов (или структур) практически одинаковы.

Принцип схемотехнической избыточности заключается в усложнении схемотехники АИС для улучшения их качества, минимизации площади кристалла и повышения технологичности. Поэтому в АИС избегают применения конденсаторов, занимающих большую площадь подложки, предпочитая решать проблемы согласования уровней каскадов и стабилизации их режима в пределах более технологичной, хотя и усложненной, схемотехники структур с непосредственными связями.

Стремление как можно точнее с помощью АИС реализовать АФ привело к созданию многотранзисторных структур, обладающих большой избыточностью усиления. Для стабилизации эксплуатационных и точностных характеристик в схемотехнике АИС широко применяются ОС; для повышения надежности АИС их элементы обычно используются в существенно недогруженных режимах. Сказанное выше объясняет, почему цепи АИС так отличаются от традиционных электрических цепей на транзисторах. Упомянутые выше принципы схемотехники хорошо видны на примере структур, общих для различных АИС, таких, как цепи ДК, эталонов тока, входных и выходных цепей.

Взаимосогласованная пара биполярных транзисторов (БТ). На рис. 9.3,а представлены два электрически несоединенных друг с другом БТ, изготавливаемых групповым способом на одном кристалле кремния. Идеально согласованная пара имеет транзисторы со строго одинаковыми параметрами в полном диапазоне внешних воздействий и условий эксплуатации. Если использовать известную T -образную низкочастотную линейную модель БТ (рис. 9.3,б), то условиями идеального согласования являются соотношения

$$\begin{aligned} \beta_{01} = \beta_{02} = \beta_0 = \alpha_0 / (1 - \alpha_0), \quad r_{\beta 1} = r_{\beta 2} = r_{\beta}; \\ r_{\kappa 1} = r_{\kappa 2} = r_{\kappa}; \quad r_{\Omega 1} = r_{\Omega 2} = r_{\Omega} = \varphi_T / I_0. \end{aligned} \quad (9.6)$$

Идеальный ДК получается добавлением к рассмотренной выше паре БТ взаимосогласованных резисторов (отвечающих точному равенству $R'_n = R_n$) и идеального источника тока I_0 . Свойства идеального ДК изучим на его линейной (малосигнальной) модели. Причем источники приращений внешних сигналов \mathcal{U}_1 и \mathcal{U}_2 представим в виде эквивалентных генераторов с разными ЭДС¹ \mathcal{E}_1 и

¹ Разница $|\mathcal{E}_2 - \mathcal{E}_1|$ не должна быть чрезмерно большой (для сохранения соответствия линейной модели ее реальному прототипу).

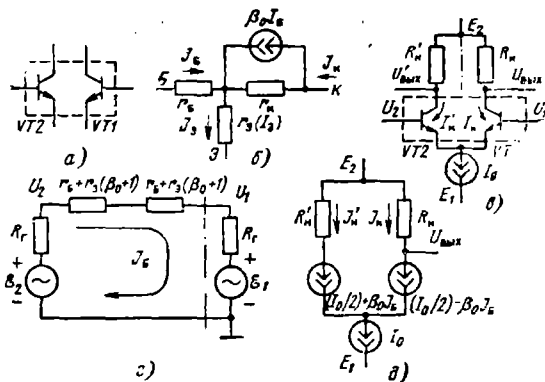


Рис. 9.3. Согласованные структуры;

а — пара биполярных транзисторов (БТ); б — малосигнальная Т-образная модель БТ; в — идеальный дифференциальный каскад (ДК); г — малосигнальная модель входной цепи ДК; д — малосигнальная модель выходной цепи ДК относительно постоянных напряжений E_1 и E_2 .

\mathcal{E}_2 , но совершенно одинаковыми внутренними сопротивлениями $R_{r1} = R_{r2} = R_r$ (рис. 9.3, г).

Если коллекторному контакту T_1 присвоить название «выход ДК», то по отношению к $U_{\text{вых}} = \beta_0 \mathcal{I}_0 R_n$ вход $U_2 = \mathcal{U}_2$ (рис. 9.3, в, г) будет *неинвертирующим*, а вход $U_1 = \mathcal{U}_1$ — *инвертирующим*.

Напряжение большого сигнала на выходе ДК запишем (рис. 9.3, д) в виде

$$U_{\text{вых}} = E_2 - I_0 R_n / 2 + \beta_0 \mathcal{I}_0 R_n. \quad (9.7)$$

Приращение $U_{\text{вых}}$ напряжения $U_{\text{вых}}$ при изменении тока \mathcal{I}_0 выразим как

$$\mathcal{U}_{\text{вых}} = dU_{\text{вых}} = \beta_0 \mathcal{I}_0 R_n. \quad (9.8)$$

Поскольку $\mathcal{I}_0 = (\mathcal{E}_2 - \mathcal{E}_1) / 2 [R_r + r_b + r_c (\beta_0 + 1)]$, в предположении $\beta_0 \gg 1$ найдем

$$\mathcal{U}_{\text{вых}} = (\mathcal{E}_2 - \mathcal{E}_1) R_n / 2r_i, \quad (9.9)$$

где

$$r_i = r_b + (R_r + r_c) / \beta_0. \quad (9.10)$$

Представим ЭДС входных сигналов \mathcal{E}_1 и \mathcal{E}_2 в виде выражений

$$\mathcal{E}_1 = \mathcal{E}_c - \mathcal{E}_d, \quad \mathcal{E}_2 = \mathcal{E}_c + \mathcal{E}_d, \quad (9.11)$$

содержащих синфазную \mathcal{E}_c и дифференциальную \mathcal{E}_d составляющие:

$$\mathcal{E}_c = (\mathcal{E}_2 + \mathcal{E}_1) / 2, \quad \mathcal{E}_d = (\mathcal{E}_2 - \mathcal{E}_1) / 2. \quad (9.12)$$

Подставив (9.11) в (9.9), получим, что сигнал на выходе идеального ДК пропорционален дифференциальной составляющей \mathcal{E}_d входного сигнала:

$$\mathcal{U}_{\text{вых}} = K'_{\mathcal{U}} \mathcal{E}_d, \quad (9.13)$$

где коэффициент передачи напряжения

$$K'_{\mathcal{U}} = R_n / r_i = S_0 R_n \quad (9.14)$$

пропорционален величине нагрузки и множителю

$$S_0 = \frac{1}{r_i} = \frac{1}{r_{\theta} + (r_{\sigma} + R_r) / \beta_0}, \quad (9.15)$$

имеющему смысл и размерность крутизны

$$S_0 = dI_k / dE_d = \mathcal{I}_k \mathcal{E}_d.$$

Из выражения (9.9) видно, что коэффициент усиления идеального ДК для дифференциальной и синфазной составляющих сигнала равны:

$$K_d = \mathcal{U}_{\text{вых}} / \mathcal{E}_d; \quad (9.16)$$

$$K_c = \mathcal{U}_{\text{вых}} / \mathcal{E}_c = 0. \quad (9.17)$$

Отношение

$$\text{КОСС} = |K_d / K_c|, \quad (9.18)$$

называемое коэффициентом ослабления синфазной составляющей, для идеального ДК составит $\text{КОСС} = \infty$.

Квазиидеальная макромодель ДК. Бисекция. Простейший квазиидеальный ДК полностью соответствует симметричной конфигурации, в которой вместо идеального источника тока I_0 включен резистор $R1$ (рис. 9.4,а). Такой ДК уже не будет полностью подавлять синфазный сигнал, в чем нетрудно убедиться, рассмотрев его линейную макромодель (рис. 9.4,б), отличающуюся от модели на рис. 9.3,г тем, что в схему введен резистор, сопротивление которого $R1 \neq \infty$, и, следовательно, в ней $R_{\text{вых}} < r_k$ (рис. 9.4,б). Действительно, из анализа T-образной схемы транзистора следует, что

$$R_{\text{вых}} = r_k \left[1 - \alpha_0 + \frac{\alpha_0}{1 + (r_{\sigma} + R_r) / R_1} \right]. \quad (9.19)$$

Подставив в эту формулу предельные значения $R_r = \infty$ и $R_r = 0$, убедимся, что $R_{\text{вых}}$ может уменьшаться от значения r_k до $r_n / (\beta_0 + 1)$.

Введя в (9.12) синфазную и дифференциальную составляющие ЭДС \mathcal{E}_1 и \mathcal{E}_2 и предположив $R_n \ll R_{\text{вых}}$, расчленим модель на рис. 9.4,б на две (рис. 9.4,в,г), описывающие прохождение сигналов \mathcal{E}_c и \mathcal{E}_d порознь. Приращенные токи $\mathcal{I}_{\theta 1}$ и $\mathcal{I}_{\theta 2}$ в цепи резистора $R_1 (\beta_0 + 1)$ при действии синфазного сигнала (рис. 9.4,в) складываются. В то же время дифференциальный сигнал вызывает также приращения $\mathcal{I}_{\theta 1}$ и $\mathcal{I}_{\theta 2}$, при которых суммарный ток в цепи $R_1 (\beta_0 +$

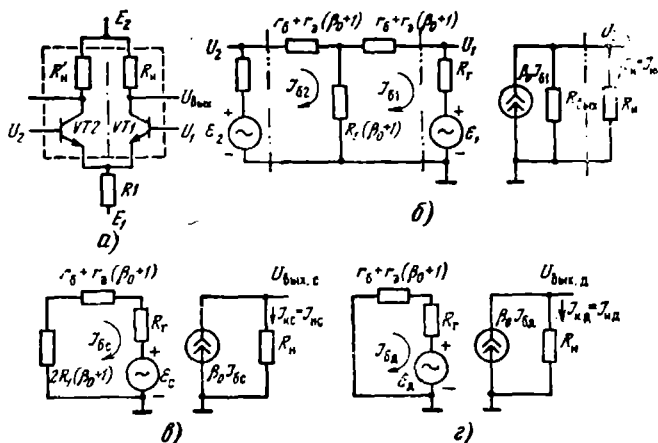


Рис. 9.4. Квазиидеальный дифференциальный каскад:

a — структура; *б* — линейная макромодель квазиидеального ДК с резистором R_r — модель для синфазной составляющей тока; *в* — модель для дифференциальной составляющей тока

+1) (см. рис. 9.4,в) оказывается полностью скомпенсированным, т. е. равным нулю, что отражено на рис. 9.4,г коротким замыканием.

Выражения для коэффициентов передачи

$$K_c = U_{\text{вых.с}} / \mathcal{E}_c; \quad K_d = U_{\text{вых.д}} / \mathcal{E}_d$$

получим из рис. 9.4,г. Имеем

$$K_c = \frac{U_{\text{вых.с}} \cdot 2}{\mathcal{E}_c \cdot 2} = \frac{R_n}{r_t + 2R_1}; \quad K_d = \frac{U_{\text{вых.д}} \cdot 2}{\mathcal{E}_d \cdot 2} = \frac{R_n}{r_t}, \quad (9.20)$$

откуда

$$\text{КОСС} = \left| \frac{K_d}{K_c} \right| = \frac{2R_1}{r_t} + 1. \quad (9.21)$$

Расчет режима квазиидеального ДК по постоянному току. Для такого расчета представим источники \mathcal{E}_1 и \mathcal{E}_2 закороченными, а $R'_r = R_r$ (рис. 9.5,а).

В предположении полной симметричности плеч ДК, т. е. $R'_n = R_n$, заменим правое плечо ДК током, посылаемым транзистором *VT1* в резистор R_1 . Поскольку этот ток равен эмиттерному току транзистора *VT2* ($I_{b1} = I_{b2} = I_b$, учтем правое плечо ДК удвоением номинала R_1 (рис. 9.5,б), т. е. перейдем к одиночному каскаду.

Расчет такого каскада существенно упрощается, если принять во внимание, что напряжение между базой и эмиттером кремниевых транзистора, находящегося в ливейном активном режиме, $U^* \approx 0,7$ В (рис. 9.5,б). Отсюда

$$I_b = \frac{-E_1 - U^*}{2R_1 + r_b + (r_b + R_r)/\beta_0}.$$

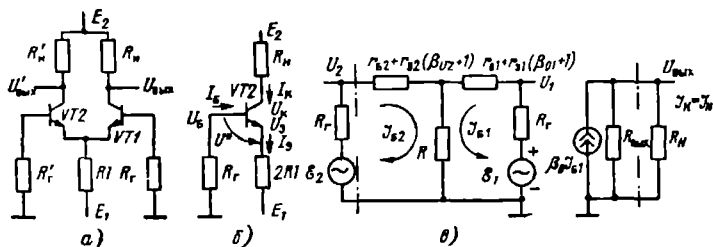


Рис. 9.5 К расчету режима дифференциального каскада и оценки его несимметрии:

а — исходная цепь для расчета режима ДК по постоянному току; б — преобразованная цепь; в — малосигнальная модель для оценки несимметрии ДК

В первом приближении можно пренебречь разницей между коэффициентом усиления постоянного тока B_0 по цепи коллектор—база и таким же малосигнальным коэффициентом, т. е. считать $B_0 \approx \beta_0$. Поэтому

$$I_0 = \frac{-E_1 - U^*}{2R_1 + r_i}, \quad (9.22)$$

где

$$r_i = r_{i1} = r_{i2} = r_b + (R_r + r_0)/\beta_0.$$

Пользуясь (9.22), нетрудно определить

$$I_b = I_K/B_0 \approx I_0/\beta_0; \quad U_K = E_2 - I_K R_n; \quad U_b = E_1 + 2I_0 R_1;$$

$$U_{K0} = E_2 - E_1 - I_0 (R_n + 2R_1); \quad U_{b0} = I_0 R_r \approx I_0 R_1/\beta_0.$$

Пример. Если $E_2 = +10$ В, $E_1 = -10$ В, $R_n = R_r = 10$ кОм, $R_1 = 20$ кОм, $\beta_0 = -100$, то, считая $r_i \ll 2R_1$, найдем

$$I_0 = (10 - 0,7)/40 \approx 0,232 \text{ мА};$$

$$I_b \approx 232/100 = 2,32 \text{ мкА};$$

$$U_K = 10 - 0,232 \cdot 10 = 7,68 \text{ В};$$

$$U_{b0} = 0,23 \cdot 40 - 10 = 9,2 - 10 = -0,8 \text{ В};$$

$$U_{K0} = 7,7 + 0,8 = 8,5 \text{ В};$$

$$U_{b0} = 2,32 \cdot 10 \cdot 10^{-3} = 23,2 \text{ мВ}.$$

Потенциал на выходе ДК. Сдвиг уровня. Из рис. 9.5,б видно, что если $U_b = 0$, то $U_0 = -U^*$ и постоянное напряжение между коллектором и землей (коллектором и базой) транзистора плеча ДК составит

$$U_{K0} = E_2 - \frac{I_0}{2} R_n. \quad (9.23)$$

Это напряжение должно быть заведомо больше нуля (чтобы переход коллектор—база был закрыт). Под потенциалом U_{K0} окажется база следующего каскада, а его коллектор — под еще большим потенциалом и т. д. В то же время напряжение на выходе АИС при отсутствии входного сигнала должно быть примерно равным нулю.

Отсюда возникает необходимость сдвига уровня постоянного напряжения. Без этого сдвига «вниз» невозможно каскадирование в схемах с непосредственными (безъёмкостными) связями. Сдвиг может быть осуществлен, например, с помощью специальных каскадов. Однако применение этих каскадов сопряжено с ростом фазовых искажений, усложняющим цепи обеспечения устойчивости АИС (эти цепи иногда называют цепями коррекции частотно-фазовой характеристики АИС). Поэтому используют ДК на *p-n-p* транзисторах; такие ДК хорошо сочетаются с выходными цепями АИС и не требуют специальных цепей сдвига уровня.

Дифференциальный каскад на *p-n-p* транзисторах изображен на рис. 9.6,а. Технология полупроводниковых ИС дает возможность изготовления БТ в виде боковых структур с достаточно низкими значениями β_0 . Поэтому вместо *p-n-p* транзистора (рис. 9.6,б) применяют составную конфигурацию (рис. 9.6,в), образованную из БТ с малым усилением β_0 и БТ *n-p-n* типа (*VT1*). При таком соединении получается эквивалентный *p-n-p* транзистор с результирующим значением $\beta_0 \text{ рез} = \beta_0 \text{ } n-p-n \cdot \alpha_0 \text{ } p-n-p$, мало отличающимся от такого же показателя *n-p-n* транзистора. В качестве транзистора может быть использован БТ с тонкой базой. На рис. 9.6,г такой БТ, обладающий сверхвысоким усилением тока (около 50 тыс.), но малым пробивным напряжением, обозначен с незакрашенной областью базы. «Супербета»-транзисторы часто применяются во входных каскадах современных ОУ.

Для обеспечения малых напряжений на переходе коллектор — база «супербета»-транзистор применяют в сочетании с высоковольтными транзисторами с обычной (толстой) базой. Одно из таких сочетаний (составной транзистор во включении общий кол-

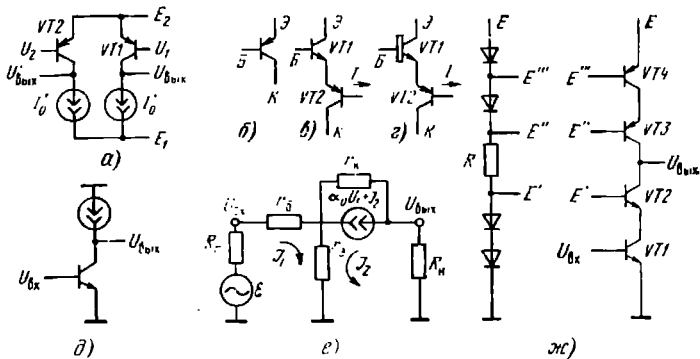


Рис. 9.6. Варианты дифференциального каскада и подсхем, входящих в него: а — на *p-n-p* транзисторах; б — *p-n-p* транзистор, входящий в подсхему на рис. 9.6,а; в — подсхема, эквивалентная высококачественному *p-n-p* транзистору; г — включение «супербета»-транзистора *VT1* (с «тонкой» базой) в подсхему, эквивалентную *p-n-p* транзистору; д — работа БТ на эталон тока; е — модель БТ; ж — применение каскодных подсхем в усилителях на БТ

лектор — общая база — ОК—ОБ) показано на рис. 9.6,г. В ДК высокоточных ОУ «супербета»-транзистор используется также в нижнем плече каскада.

Дифференциальное усиление квазиидеального ДК. Из схемы на рис. 9.4,г видно, что

$$K_d = \frac{U_{\text{вых.д}}}{\mathcal{E}_d} = SR_n = \frac{\beta_0 R_n}{R_r + r_6 + r_s (\beta_0 + 1)}. \quad (9.24)$$

Чаще всего ДК входных цепей АИС используется в режиме микротоков. В этом случае

$$r_s (\beta_0 + 1) \gg R_r + r_6; \quad (9.25)$$

$$K_d = \frac{I_0}{\Phi_T} R_n = \frac{I_0}{2\Phi_T} R_B. \quad (9.26)$$

Для увеличения K_d надо увеличивать I_0 и (или) R_n . Увеличение I_0 приводит к уменьшению $R_{\text{вых}}$. Поэтому основным методом достижения высоких значений K_d является увеличение R_n . При достаточно больших значениях R_n начинает сказываться конечность выходного сопротивления цепи с БТ, т. е. $R_{\text{вых}} \neq \infty$.

Учет $R_{\text{вых}} \neq \infty$ в выходной цепи квазиидеального ДК. Правая часть схемы, являющаяся выходной цепью, содержит $R_{\text{вых}}$, соответствующее (9.19). Наименьшее значение $R_{\text{вых}}$ получается при $R_1 = 0$ и (или) $R_r = \infty$. В этом случае

$$R_{\text{вых}} = r_k (1 - \alpha_0) = r_k / (\beta_0 + 1) \approx r_k / \beta_0. \quad (9.27)$$

Малосигнальное значение этой величины $R_{\text{вых}} = \frac{dU_k}{dI_0}$ связано с током I_k [13, стр. 27, 41] соотношением

$$\frac{dU_{\text{кв}}}{dI_k} = \frac{\Phi_E}{I_k}, \quad (9.28)$$

в котором коэффициент Φ_E (напряжение Ирли) не зависит от U_k и I_0 и лежит в диапазонах

$$\Phi_E = 80 \dots 200 \text{ В для } n\text{-}p\text{-}n \text{ транзисторов;}$$

$$\Phi_E = 40 \dots 150 \text{ В для } p\text{-}n\text{-}p \text{ транзисторов,}$$

Для увеличения $R_{\text{вых}}$, как следует из (9.19), надо увеличивать R_1 , что так же необходимо для увеличения КООС [см. (9.21)]. Таким образом, приходим к подсхеме эталона тока в эмиттерных цепях ДК, т. е. к подсхеме идеального ДК.

Повышение K_d достигается при $R_B \rightarrow \infty$, т. е. при замене резисторов в плечах ДК эталонами тока.

Работа БТ на эталон тока. Обратившись к рис. 9.6,д, вычислим малосигнальный коэффициент усиления $K_U = U_{\text{вых}}/U_{\text{вх}}$ одиночного каскада, нагруженного на источник (эталон) тока. Заменяв БТ его низкочастотной малосигнальной моделью (рис. 9.6,е) и составив уравнения Кирхгофа

$$\begin{aligned} \mathcal{E} &= \mathcal{I}_1 (R_r + r_6 + r_s) + \mathcal{I}_2 r_s; \\ 0 &= \mathcal{I}_1 (r_s - \alpha_0 r_k) + \mathcal{I}_2 [R_n + r_s + r_k (1 - \alpha_0)], \end{aligned} \quad (9.29)$$

в предположении $r_a \ll r_k$ и $R_H \rightarrow \infty$ получим

$$\mathcal{I}_2 = \frac{\alpha_0 r_H}{R_H (r_0 + r_0 + R_H)} \mathcal{I}, \quad (9.30)$$

откуда

$$K_U = \frac{\mathcal{U}_{\text{вых}}}{\mathcal{I}} = \frac{\mathcal{I}_2 R_H}{\mathcal{I}} = \frac{\alpha_0 r_H}{R_H + r_0 + r_0}. \quad (9.31)$$

Считая $\alpha \approx 1$, $r_a \gg R_H + r_0$, что справедливо для режима микро-токов, получаем предельное значение усиления ДК, нагруженного на эталон тока (при $R_H = \infty$):

$$K_{U \text{ пред}} = \frac{r_H}{r_0}. \quad (9.31a)$$

Реально можно обеспечить $R_H = r_k$, и в этом случае (согласования R_H и r_k)

$$K_{U \text{ согл}} = \frac{1}{2} \frac{r_H}{r_0}. \quad (9.31b)$$

Пример. Если $r_k = 10^6$ Ом, $R_H = 0$, $r_0 = 200$ Ом, $I_a = 10$ мкА, то $r_a = 25/0,01 = 2500$ Ом, $r_a \gg r_0$ и соответственно

$$K_{U \text{ пред}} = 10^6 / 1,5 \cdot 10^3 = 400.$$

При $R_H = r_k$ получим $K_{U \text{ согл}} = 200$.

Наибольшие значения $R_{\text{вых}} \rightarrow r_k$ и $R_H \rightarrow r_k$ можно получить, применив каскоды в качестве усилителя (драйвера) и нагрузки (левая часть рис. 9.6,ж). Питание базы драйвера VT2 (E') и баз E'' , E''' каскода-нагрузки (VT3, VT4) можно реализовать с помощью цепи, использующей прямосмещенные диоды (правая часть рис. 9.6,ж).

Точность расчетов КОСС по квазинидеальной макромодели. Для того чтобы оценить, с какой точностью по формуле (9.21) может быть рассчитан КОСС, рассмотрим несимметричную модель ДК (см. рис. 9.5,в). Общей цепью двух контуров в левой части рис. 9.5,в служат резистор R . Совместное действие двух несимметричных контурных токов \mathcal{I}_{01} и \mathcal{I}_{02} приводит к тому, что резистор R , через который протекает ток $\mathcal{I}_{01} + \mathcal{I}_{02}$, пересчитывается в базовую цепь через коэффициент $(\mathcal{I}_{01} + \mathcal{I}_{02}) / (\mathcal{I}_{01} + \mathcal{I}_{02})$. Таким образом,

$$R = R_1 (\mathcal{I}_{01} + \mathcal{I}_{02}) / (\mathcal{I}_{01} + \mathcal{I}_{02}). \quad (9.32)$$

Введя обозначения

$$\xi_1 = \frac{\Delta \mathcal{I}_0}{\mathcal{I}_{02}} = \frac{\Delta \beta}{\beta_{01}}, \quad (9.33)$$

где $\Delta \mathcal{I}_0 = \mathcal{I}_{01} - \mathcal{I}_{02}$; $\Delta \beta = \beta_{02} - \beta_{01}$, запишем (9.32) в виде

$$R = R_1 \beta_{01} \frac{1 + \xi_1/2 + \xi_1/2}{1 + \xi_1/2}. \quad (9.34)$$

Считая $\xi_1/2 \ll 1$ и $\xi_1/2 \ll 1$, запишем R в виде

$$R = \beta_{01} R_1 (1 + \xi_1/2 - \xi_1/2 + \xi_1/2), \text{ т. е. } R = \beta_{01} R_1 (1 + \xi_1/2). \quad (9.35)$$

Ошибка $\xi_1 = \Delta \mathcal{E}_0 / \mathcal{E}_0$ из-за несимметрии токов, таким образом, компенсировалась. Поправка $\beta_0 R_1 \xi / 2$, связанная с несимметрией плеч ДК, оказалась пропорциональной взаимной неточности

$$\xi = \Delta \beta / \beta_{01} \approx \Delta \beta / \beta_0 \quad (9.36)$$

по усилению β_{01} , β_{02} транзисторов $VT1$ и $VT2$.

Величина β_0 в (9.36) имеет смысл среднего арифметического значений β_{01} и β_{02} :

$$\beta_0 \approx (\beta_{01} + \beta_{02}) / 2.$$

С помощью решения уравнения Кирхгофа для приращения $\mathcal{U}_{\text{вых}}$ цепи на рис. 9.5,в можно получить

$$\mathcal{U}_{\text{вых}} = \beta_{01} \mathcal{E}_1 R_M \approx \frac{\mathcal{E}_2 - \mathcal{E}_1 (1+x)}{r_{i2} (1+x) + r_{i3}} R_M, \quad (9.37)$$

где

$$r_{i1} = r_{01} + (r_{01} + R_{r1}) / \beta_0;$$

$$r_{i2} = r_{02} + \frac{r_{02} + R_{r2}}{\beta_0}; \quad (9.38)$$

$$x = \beta_0 r_{i2} / R.$$

Выражение для $\mathcal{U}_{\text{вых}}$ можно записать и иначе, введя коэффициенты передачи K_1 , K_2 ЭДС сигналов \mathcal{E}_1 и \mathcal{E}_2 :

$$\mathcal{U}_{\text{вых}} = K_1 \mathcal{E}_1 + K_2 \mathcal{E}_2. \quad (9.39)$$

Отсюда

$$K_2 = \frac{R_M}{r_{i1} (1+x) + r_{i2}}; \quad K_1 = -K_2 (1+x). \quad (9.40)$$

Подставив в выражение

$$\mathcal{U}_{\text{вых}} = K_0 \mathcal{E}_0 + K_x \mathcal{E}_x \quad (9.41)$$

значения \mathcal{E}_0 и \mathcal{E}_x из (9.12), нетрудно найти

$$K_0 = K_1 + K_2; \quad (9.42)$$

$$K_x = K_2 - K_1.$$

Отсюда с учетом (9.40) получим

$$K_0 = -K_x x; \quad (9.43)$$

$$K_x = K_2 (2+x).$$

Из (9.35) и (9.33)

$$\text{КОСС}' = \left| \frac{K_x}{K_0} \right| = \frac{2}{x} + 1 = 2 \frac{R}{r_{i2} \beta_0} + 1;$$

$$\text{КОСС}' = \frac{2R_1 (1 + 0,5 \Delta \beta / \beta_0)}{r_{i2}} + 1. \quad (9.44)$$

Сопоставив последнее выражение с (9.21) для квазиидеальной макромодели ДК, нетрудно оценить относительную погрешность расчетов КОСС по этой модели (считаем $\text{КОСС} \gg 1$):

$$\eta = \left| \frac{\text{КОСС}' - \text{КОСС}}{\text{КОСС}} \right| = \left| 0,5 \frac{\Delta \beta}{\beta_0} \right|. \quad (9.45)$$

Неточность взаимного согласования коэффициентов усиления β_{01} и β_{02} транзисторов $VT1$ и $VT2$ оказалась в этом случае показателем, оценивающим симметрию ДК. Что же касается качества ДК, то ее мерой служит КОСС (9.21), оценивающий степень приближения к идеальному ДК (с источником тока I_0 имеющим $R1 = \infty$). Из (9.21) видно, что КОСС тем больше, чем больше $R1/r_{11}$. Основным способом повышения КОСС оказывается, таким образом, увеличение $R1$. Для этого в эмиттерной цепи ДК вместо R_1 применяют цепи *стабилизаторов токов*.

Нелинейная макромодель идеального ДК. В ряде приложений ДК, например в технике АИС перемножителей, используются нелинейные свойства идеального ДК. Изучим их, применив модель на рис. 9.7,а, в которой каждый из транзисторов $VT1$ и $VT2$ представлен диодом и зависимым источником $\alpha_0 I_0$. Предполагаем по-прежнему, что взаимные согласования параметров транзисторов $VT1$ и $VT2$, с одной стороны, и резисторов R_n и R'_n , с другой, являются идеальными. Тогда эмиттерные токи¹ транзисторов можно отобразить приближенными уравнениями вольт-амперных характеристик диодов D_0 и D'_0 :

$$I_0 = I_s e^{U/\varphi_T}; \quad I'_0 = I_s e^{U'/\varphi_T}, \quad (9.46)$$

записанных в предположении, что $I_0 \gg I_s$, $I'_0 \gg I_s$, $I_0 r_{06} \ll U_1$, $I'_0 r_{06} \ll U_2$.

Из схемы на рис. 9.7,а видно, что

$$I_0 = I_0 + I'_0 = I_s e^{U_1/\varphi_T} [1 + e^{(U_2 - U_1)/\varphi_T}]. \quad (9.47)$$

Имеем также

$$I_n = \alpha_0 I_0 = \alpha_0 I_s e^{U_1/\varphi_T}. \quad (9.48)$$

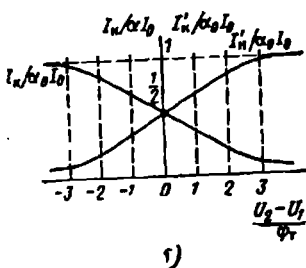
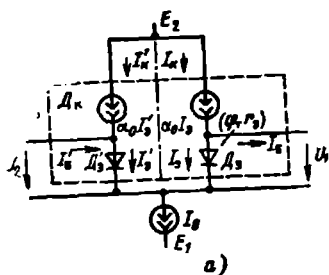


Рис. 9.7. Модели дифференциального каскада: а — для изучения нелинейностей идеального ДК; б — нормированные передаточные вольт-амперные характеристики ДК для большого сигнала

¹ Токи большого сигнала обозначены латинскими печатными буквами I_0 , I'_0 , I_n , I'_n , I_0 , I'_0 в отличие от их приращений \mathcal{I}_0 , \mathcal{I}'_0 , \mathcal{I}_n , \mathcal{I}'_n , обозначенных рукописными буквами.

Для построения передаточных вольт-амперных характеристик, сопоставив (9.47) с (9.48), получим

$$I_{\text{н}} = \frac{\alpha_0 I_0}{1 + \exp[(U_2 - U_1)/\varphi_T]} = \frac{\alpha_0 I_0}{2} [1 - \text{th}(U_{\text{д}}/\varphi_T)]. \quad (9.49)$$

Аналогично

$$I'_{\text{н}} = \frac{\alpha_0 I_0}{2} [1 + \text{th}(U_{\text{д}}/\varphi_T)]. \quad (9.50)$$

Здесь $U_{\text{д}} = (U_2 - U_1)/2$.

По формулам (9.49) и (9.50) построим нормированные передаточные вольт-амперные характеристики (см. рис. 9.7,б) для относительных величин токов $I_{\text{н}}/(\alpha_0 I_0)$, $I'_{\text{н}}/(\alpha_0 I_0)$. Из графиков на рис. 9.7,б видно, что наибольшая абсолютная величина наклона передаточных характеристик соответствует началу координат, т. е. точке, в которой переменная $(U_2 - U_1)\varphi_T = 2U_{\text{д}}/\varphi_T = 0$.

Из рис. 9.8,б можно также заключить, что

$$U_{\text{вых}} = E_2 - I_{\text{н}} R_{\text{н}} = E_0 - \frac{\alpha_0 I_0}{2} R_{\text{н}} + \frac{\alpha_0 I_0}{2} R_{\text{н}} \text{th}(U_{\text{д}}/\varphi_T),$$

откуда

$$K_{\text{н}} = \frac{dU_{\text{вых}}}{dU_{\text{д}}} = \frac{\alpha_0 I_0}{2\varphi_T} R_{\text{н}} \frac{1}{\text{ch}^2(U_{\text{д}}/\varphi_T)}. \quad (9.51)$$

Аналогично

$$K'_{\text{н}} = \frac{dU'_{\text{вых}}}{dU_{\text{д}}} = -\frac{\alpha_0 I_0}{2\varphi_T} R_{\text{н}} \frac{1}{\text{ch}^2(U_{\text{д}}/\varphi_T)}. \quad (9.52)$$

Максимальные абсолютные значения $|K_{\text{н}}|$ и $|K'_{\text{н}}|$ соответствуют точке $U_{\text{д}} = 0$. Из (9.51) и (9.52) найдем

$$|K_{\text{н}} \text{max}| = K_{\text{н}}|_{U_{\text{д}}=0} = \frac{\alpha_0 I_0}{2\varphi_T} R_{\text{н}} = |S_0 \text{max}| R_{\text{н}};$$

$$|K'_{\text{н}} \text{max}| = -K'_{\text{н}}|_{U_{\text{д}}=0} = \frac{\alpha_0 I_0}{2\varphi_T} R_{\text{н}} = |S_0 \text{max}| R_{\text{н}}; \quad (9.53)$$

$$|S_0 \text{max}| = \frac{\alpha_0 I_0}{2\varphi_T}.$$

Сравнив $|S_0 \text{max}|$ с (9.15) для линейной модели БТ в предположении $r_0 \rightarrow 0$ и $R_r \rightarrow 0$, можно убедиться в практическом совпадении этих выражений. Описываемая (9.53) пропорциональность между крутизной $S_0 \text{max}$ и током используется при построении аналоговых перемножителей. С помощью нелинейной макромодели можно оценить динамический диапазон ДК.

Динамический диапазон ДК определяется нелинейными искажениями, получаемыми при прохождении входного сигнала $U_{\text{д}}$ с мгновенным значением

$$U_{\text{д}} = u(t) = U_m \sin \omega t$$

через цепи с вольт-амперными характеристиками (9.49) и (9.50).

Обозначив $x = \frac{U_m}{\Phi_T}$ и используя соотношение $\sin^3 \omega t = \frac{3}{4} \sin \omega t - \frac{1}{4} \sin 3\omega t$ и аппроксимацию

$$\operatorname{th} x = x - \frac{x^3}{3} + \frac{2}{15} x^5 - \frac{17}{315} x^7 \dots \approx x - \frac{x^3}{3}, \quad (9.54)$$

для коэффициента $\kappa_{\text{дк}}$ нелинейных искажений ДК, приближенно определяемого в данном случае отношением амплитуд третьей и первой гармоник, получим

$$\kappa_{\text{дк}} = \kappa_3 = \frac{x^3}{48} = \frac{1}{48} (U_m / \Phi_T)^3. \quad (9.55)$$

Аналогичные выкладки для простого усилителя с входной характеристикой вида

$$I_{\text{н}} = I_0 e^{U/\Phi_T} = I_0 e^x \quad (9.56)$$

дадут следующее выражение для коэффициента $\kappa_{\text{прост}}$ нелинейных искажений, приближенно равного отношению κ_2 амплитуд второй гармоники к первой:

$$\kappa_{\text{прост}} \approx \kappa_2 = x/4. \quad (9.57)$$

Таким образом,

$$\kappa_{\text{прост}} / \kappa_{\text{дк}} = x/12. \quad (9.58)$$

Пример. Пусть $U_m = 2,5$ мВ, т. е. $x = U_m / \Phi_T = 0,1$. Тогда $\kappa_2 = 2,5\%$, $\kappa_3 = 0,021\%$, т. е. в 120 раз меньше.

Видно, что ДК обеспечивает существенно меньшие линейные искажения сигнала, т. е. гораздо больший динамический диапазон, чем простой усилитель с одиночным (не дифференциальным) входом.

В общем случае коэффициент нелинейных искажений определяется формулой

$$\kappa = \frac{1}{U_{m1}} \sqrt{\sum_{n=2}^{\infty} U_{mn}^2}, \quad (9.59)$$

в числителе которой — обобщенная амплитуда высших гармоник (вычисляемая по формуле, аналогичной теореме Пифагора).

9.4. ЭТАЛОНЫ ТОКА

Ошибки простейшей токозадающей цепи с БТ. Рассмотрим традиционное включение БТ в цепь усилителя с двумя внешними источниками E_1 и E_2 (рис. 9.8,а). Анализ модели этой цепи (рис. 9.8,б) с тремя источниками температурной неустойчивости (ΔU^* , $\Delta \beta / \beta$, $\Delta I_{\text{кб}}$) показывает, что

$$I_0 = \frac{E_1 - U^* + I_{\text{кб}} R_1}{R_0 + (1 - \alpha_0) R_1}; \quad I_{\text{н}} = \frac{\alpha_0 (E_1 - U^*) + I_{\text{кб}} (R_0 + R_1)}{R_0 + (1 - \alpha_0) R_0}. \quad (9.60)$$

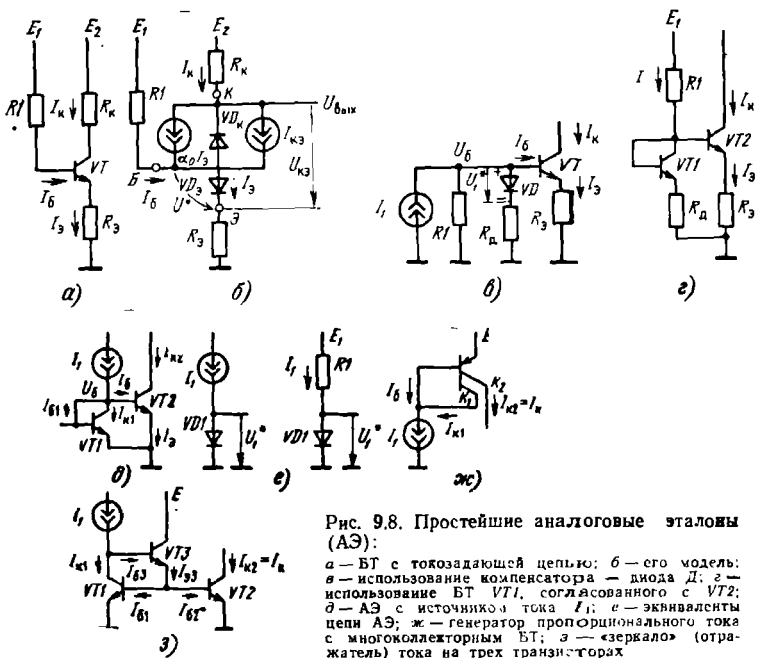


Рис. 9.8. Простейшие аналоговые эталоны (АЭ):

а — БТ с токозадающей цепью; б — его модель; в — использование компенсатора — диода Д; г — использование БТ VT1, согласованного с VT2; д — АЭ с источником тока I₁; е — эквиваленты цепи АЭ; ж — генератор пропорционального тока с многоколлекторным БТ; з — «зеркало» (отражатель) тока на трех транзисторах

Для кремниевых БТ доминирующим источником нестабильности является изменение величины U^* .

Обычно $\alpha_0 = 1$, $I_{K0}(R_1 + R_3) \ll E_1 - U^*$, $R_0(1 - \alpha_0) \ll R_1$, поэтому

$$I_0 \approx I_K \approx (E - U^*)/R_0. \quad (9.61)$$

Изменение dU^*/dt° для кремниевых БТ составляет

$$k = dU^*/dt^\circ = -2,5 \text{ мВ/}^\circ\text{С}.$$

Введя понятие коэффициента температурной нестабильности

$$dI_0/dU^* \approx dI_K/dU^* = -1/R_0, \quad (9.62)$$

нетрудно получить выражение для температурного коэффициента вариации рабочей точки, определяющей точность схемы на рис. 9.8, а, если рассматривать ее как эталон токов I_0 , I_K :

$$\text{TK } I_0 \approx \text{TK } I_K = \frac{dI_0}{dt^\circ} = \frac{dI_0}{dU^*} \frac{dU^*}{dt^\circ} = -\frac{k}{R_0} = \frac{2,5 \text{ мВ}}{R_0 \text{ }^\circ\text{С}}. \quad (9.63)$$

Токозадающая цепь с двумя согласованными БТ — простейший эталон тока. Существенное ослабление температурной зависимости достигается включением в базовую цепь БТ дополнительного электронно-дырочного перехода, согласованного с переходом база—эмиттер БТ. Два варианта цепи (с дномом и источником тока, рис. 9.8, в, и с БТ и источником напряжения, рис. 9.8, г)

воплощают простейший АЭ — подсхему, известную под названием *отрагатель* или *зеркало тока* (current mirror — англ.).

Анализ простейшего АЭ тока. Из рис. 9.8,в имеем

$$I_1 = \frac{U_0}{R_1} + \frac{U_0 - U_1^*}{R_d} + I_0. \quad (9.64)$$

Считаем, что ток базы I_0 мал по сравнению с токами U_0/R_1 и $(U_0 - U_1^*)/R_d$. При этом $I_1 = U_0(1/R_1 + 1/R_d) - U_1^*/R_d$, т. е.

$$U_0 = \frac{I_1 + U_1^*/R_d}{1/R_1 + 1/R_d}. \quad (9.65)$$

Зная это напряжение, из рис. 9.8,в согласно выражению

$$I_2 = (U_0 - U_2^*)/R_2, \quad (9.66)$$

можем получить

$$I_0 \approx I_k \approx I_1 \frac{R_1 \parallel R_d}{R_0} + \frac{U_1^* \frac{R_1 \parallel R_d}{R_d} - U_2^*}{R_0}, \quad (9.67)$$

откуда

$$\text{TK } I_0 = \frac{dI_0}{dU_0} = \frac{1}{R_0} \left[\frac{1}{1 + (R_d/R_1)} \frac{dU_1^*}{dU_0} - \frac{dU_2^*}{dU_0} \right].$$

При взаимном согласовании $dU_1^*/dU_0 = dU_2^*/dU_0 = k = -2,5$ мВ/°С, так что

$$\text{TK } I_k \approx \text{TK } I_0 = -\frac{k}{R_d} \frac{1}{1 + (R_1/R_d)}. \quad (9.68)$$

Обычно делают $R_1 \gg R_d$, что ослабляет температурную зависимость токов I_k и I_0 на порядок и более по сравнению с токами цепи на рис. 9.8,а. При этом согласно (9.67)

$$I_0 \approx I_k \approx I_1 R_d / R_0. \quad (9.69)$$

В реальной схеме на рис. 9.8,г обычно $I_1 \approx E_1/R_1$, поэтому в ней

$$I_0 \approx I_k \approx E_1 R_d / R_1 R_0. \quad (9.70)$$

Если внешний резистор в цепи эмиттера VT2 отсутствует, а БТ VT1 и VT2 согласованы, то $R_d = R_0 = r_0 = r_T / I_0$. При этом для цепи эталона тока, содержащего $R_1 \neq \infty$, будем иметь

$$\text{TK } I_k = \text{TK } I_0 = -k/R_1. \quad (9.71)$$

Сравнение этого выражения с (9.63) показывает, что включение согласованного БТ существенно уменьшает $\text{TK } I_k = \text{TK } I_0$, поскольку $R_1 \gg R_0$.

Варианты эталонов тока. Еще одно изображение АЭ, показанное на рис. 9.8,д, является вариантом цепи на рис. 9.8,г. Цепь АЭ предназначена для поддержания в коллекторной цепи БТ VT2 тока I_k с точностью, близкой к точности эталонного источника I . С

этой целью в базовую цепь $VT2$ включен транзистор $VT1$, взаимно согласованный с $VT2$. Назначение $VT1$ — компенсация изменений напряжения U^*_2 между базой и эмиттером¹ $VT2$ в полном диапазоне изменений температуры и иных эксплуатационных характеристик (старение, вариация номиналов напряжений и т. п.). Из рис. 9.8,д видно, что

$$I_1 = I_{к1} + I_{б1} + I_б. \quad (9.72)$$

Вследствие малости базового тока $I_б$ и транзисторного эффекта в $VT1$, проявляющегося, несмотря на то, что напряжение между его коллектором и эмиттером мало; $U_{кэ1} = U_б = U^*_1 = U^*_2$, можно положить $I_{б1} \ll I_{к1}$, $I_б \ll I_{к1}$, т. е. $I_1 \approx I_{к1}$. Но поскольку $VT1$ и $VT2$ согласованы, $U^*_1 = U^*_2 = U^*$ и, следовательно, $I_{к1} = I_1$ независимо от абсолютной величины U^* . Для задания тока I_1 может использоваться цепь, состоящая из источника $E_1 \gg U^*$ и резистора R_1 (рис. 9.8,е), осуществляющая преобразование $I_1 = E_1/R_1$.

Аналоговый эталон — генератор пропорционального тока (ГПТ). Соотношение между токами $I_к$ и $I_{к1}$ можно варьировать выбором геометрических размеров транзисторов $VT1$ и $VT2$. Если геометрические размеры разные, то коэффициент

$$\delta \approx I_к/I_{к1} \quad (9.73)$$

отличен от единицы, но сохраняется постоянным в диапазоне температур и других эксплуатационных характеристик. При этом начертание схемы на рис. 9.8,д не меняется, но сама эта цепь будет являться ГПТ.

Схема ГПТ с «расщепленным» коллектором. Используя многоколлекторный боковой p - n - p транзистор, можно сделать токи $I_{к1}$ и $I_{к2}$ (рис. 9.8,ж) пропорциональными друг другу:

$$\delta_1 = I_{к2}/I_{к1}. \quad (9.74)$$

Коэффициент пропорциональности δ_1 зависит от соотношения геометрических размеров коллекторных областей K_1 и K_2 (рис. 9.8,ж).

Оценка «зеркальных свойств» АЭ тока (рис. 9.8,д) производится путем нахождения коэффициента «отражения» $K_I = I_к/I_1$. Токи $I_б$ и $I_{б1}$ будем полагать конечными и равными

$$I_б = I_к/B_0, \quad I_{б1} = I_{к1}/B_{01}.$$

Из (9.67) видно, что

$$I_1 = I_{к1}(1 + 1/B_{01}) + I_{к1}/B_0. \quad (9.75)$$

Положив $B_{01} = B_0 = \beta_{01} = \beta_0$ и введя по формуле, аналогичной (9.74), коэффициент пропорциональности (разбаланса) токов $\delta = I_к/I_{к1}$, запишем (9.75) в виде

$$I_1 = I_к [1/\delta + 1/\beta_0\delta + 1/\beta_0],$$

¹ Изменение U^* с температурой, как указывалось выше, является основной причиной неустойчивости режима ($I_б$, $I_к$, $I_с$, $U_{кэ}$) кремниевого БТ; другими причинами температурной неустойчивости (обратным током $I_{к0}$ перехода коллектор — база и вариациями усиления $\beta_c \approx B_0$) для кремниевых БТ обычно можно пренебречь.

откуда можно дать оценку «зеркальных» свойств схемы на рис. 9.8,д:

$$I_{\pi} = \frac{I_1}{1/\delta + 1/\beta_0 \delta + 1/\beta_0}. \quad (9.76)$$

В случае идеального согласования транзисторов $VT1$ и $VT2$ $\delta = I_{K1}/I_{K1} = 1$; при этом

$$K_I = \frac{I_{\pi}}{I_1} = \frac{1}{1 + 2/\beta_0} \approx 1 - \frac{2}{\beta_0}. \quad (9.77)$$

Из (9.70) и (9.76) видно, что качество АЭ оценивается усилением β_0 и взаимным параметром δ . Степень близости к единице определяется тополого-технологическими факторами. Что касается β_0 , то эффективное значение этой величины может быть увеличено на 1...2 порядка схемотехническими средствами — введением избыточных активных элементов (см. ниже).

«Зеркальные» свойства АЭ с «расщепленным» коллектором (рис. 9.8,ж). Из рис. 9.8,ж видно, что $I_1 = I_0 + I_{K1}$.

Ток базы I_0 можно выразить через инверсный коэффициент передачи боковой многоэмиттерной структуры $\beta_I \approx \Sigma I_{K1}/I_0$ (рис. 9.8,ж) в виде

$$I_0 = (I_{K1} + I_{K2})/\beta_I.$$

Введя δ_1 , получаем

$$I_0 = I_{K1}(1 + \delta_1)/\beta_I.$$

Учтя предыдущие два выражения, имеем

$$I_1 = I_{K1}[1 + (1 + \delta_1)/\beta_I].$$

откуда найдем коэффициент передачи тока в виде

$$K_I = \frac{I_{K2}}{I_1} = \frac{\delta_I}{1 + (1 + \delta_1)/\beta_I}. \quad (9.78)$$

Из (9.78) видно, что для того, чтобы коэффициент K_I не зависел от β_I , этот показатель должен удовлетворять условию $\beta_I \gg 1 + \delta_1$. При этом $K_I \approx \delta_I [1 - (1 + \delta_1)/\beta_I]$.

В частном случае при $\delta_1 = 1$ имеем

$$K_I \approx 1 - 2/\beta_I, \quad (9.79)$$

что напоминает (9.77).

Более сложная цепь. Введя вместо переключки, соединяющей на рис. 9.8,д базу $VT1$ с его коллектором, транзистор $VT3$ (повторитель напряжения), получим трехтранзисторную цепь эталона тока (рис. 9.8,з).

Улучшенная цепь («двойное зеркало»). Прибегнув к «транзисторному» начертанию цепи на рис. 9.8,д и заменив переключку, соединяющую базу $VT1$ с его коллектором — переходом база — эмиттер вводимого вновь транзистора $VT3$, получим трехтранзисторную цепь «двойного» зеркала (рис. 9.8,з). Введем коэффициенты отражения

$$K_{I2} = I_{K2}/I_1; \quad (9.80)$$

$$K_{I1} = I_{K1}/I_1. \quad (9.81)$$

Для нахождения этих коэффициентов, считая $I_{\beta 1} = I_{\beta 2} = I_{\beta}$ и $\beta_{01} = \beta_{02} = \beta_0$, составим зависимости

$$I_{\kappa 1} = \beta_0 I_{\beta 1} = \beta_0 \frac{I_{\beta 0}}{2} = \beta_0 \frac{I_{\beta 2}}{2}; \quad (9.82)$$

$$I_1 = I_{\beta 3} + I_{\kappa 1}. \quad (9.83)$$

Из (9.81) найдем

$$I_{\beta 3} = I_{\kappa 1} \cdot 2/\beta_0^2. \quad (9.84)$$

Аналогично $I_{\beta 3} = I_{\kappa 2} \cdot 2/\beta_0^2$, поскольку $I_{\kappa 1} = I_{\kappa 2}$. Подставив (9.84) в (9.83), получим

$$I_1 = I_{\kappa 1} (1 + 2/\beta_0^2). \quad (9.85)$$

Отсюда из (9.80) и (9.81) найдем

$$K_{I2} = \frac{I_{\kappa 2}}{I_1} = K_{I1} = \frac{I_{\kappa 1}}{I_1} = \frac{1}{1 + 2/\beta_0^2} \approx 1 - \frac{2}{\beta_0^2}. \quad (9.86)$$

Таким образом, ток I «отражается» 2 раза в виде I_1 и I_2 . Это свойство «двойного» зеркала используется при построении ДК с «парными» нагрузками.

9.5. ПОДСХЕМЫ АНАЛОГОВЫХ МИКРОСХЕМ

Элементы схемотехники входных и промежуточных каскадов АИС ДК на p - n - p транзисторах с тремя эталонами токов. Эта подсхема, изображенная на рис. 9.9,а, является основой входных каскадов АИС. Варианты этих каскадов могут отличаться способом выполнения плеч $VT2$ и $VT1$ (например, см. рис. 9.6,а—с), видом отражателей токов, цепей питания эмиттерных цепей транзисторов и т. п.

Составной транзистор по схеме Дарлингтона (рис. 9.9,б) применяется для увеличения входных сопротивлений плеч ДК. Точки K' , B' , \mathcal{E}' на рис. 9.9,б являются выводами составного транзистора, эквивалентного соединению $VT2$ с $VT1$. Коэффициент усиления тока составного транзистора будет равен (рис. 9.9,б)

$$K_I + 1 = I_{\beta 2} / I_{\beta 1}. \quad (9.87)$$

Поскольку $K_I \gg 1$, $\beta_1 \gg 1$, $\beta_2 \gg 1$, усиление подсхемы составит

$$K_I = \beta' = \beta_1 \beta_2. \quad (9.88)$$

Входное сопротивление составного транзистора, вычисленное в предположении, что токи $I_{\beta 2}$ и $I_{\beta 1}$ малы настолько, что можно пренебречь сопротивлением баз $VT1$ и $VT2$, составит

$$R_{вх} \approx \beta_1 \left[\frac{\varphi_T}{I_{\beta 1}} + \beta_2 \frac{\varphi_T}{I_{\beta 2}} \right]. \quad (9.89)$$

Отсюда входное сопротивление и крутизна можно выразить в виде

$$R_{вх} = \beta_1 \left[\frac{\Phi_T}{I_{\Theta 2}} \beta_2 + \beta_2 \frac{\Phi_T}{I_{\Theta 2}} \right] = 2\beta_1 \beta_2 \frac{\Phi_T}{I_{\Theta 2}} = 2\beta' \frac{\Phi_T}{I_{\Theta 2}}; \quad (9.90)$$

$$S \approx \frac{dI_{\Theta 2}}{dU_{вх}} = \frac{dI_{\Theta 2}}{dU_{вх}} \frac{dI_{вх}}{dI_{вх}} = \frac{K_I}{R_{вх}} = \frac{\beta' I_{\Theta 2}}{2\beta' \Phi_T} = \frac{I_{\Theta 2}}{2\Phi_T}. \quad (9.91)$$

Комплементарная цепь Дарлингтона, изображенная на рис. 9.9,б, использует *p-n-p* транзистор, вместо которого, в свою очередь, могут быть применены подسхемы на рис. 9.6,в,г.

Усиление, входное сопротивление и крутизна цепи составят

$$K_t = \beta' = I_{\Theta 2}/I_{\Theta 1}; \quad (9.92)$$

$$R_{вх} = \beta_1 I_{\Theta 1} = \beta_1 \beta_2 I_{\Theta 2} = \beta' I_{\Theta 2}; \quad (9.93)$$

$$S = I_{\Theta 2}/\Phi_T. \quad (9.94)$$

Выходное сопротивление схем Дарлингтона можно оценить с помощью простой макромодели на рис. 9.9,г. Предполагается, что на входах транзисторов *VT1* (в цепях на рис. 9.9,б,в) осуществляется режим холостого хода, при котором выходное сопротивление минимально и равно $r_{к1}/\beta_1$.

$$r_{к1}/\beta_1 = \Phi_E/I_{к1} = \Phi_E/I_{\Theta 2} = \Phi_E \beta_2/I_{\Theta 2} = r_{к2} \beta_2/\beta_2 = r_{к2}. \quad (9.95)$$

Следовательно, выходное сопротивление схем Дарлингтона не превышает величины

$$R_{вых} = \frac{r_{к2}}{2} \frac{1}{\beta_2}. \quad (9.96)$$

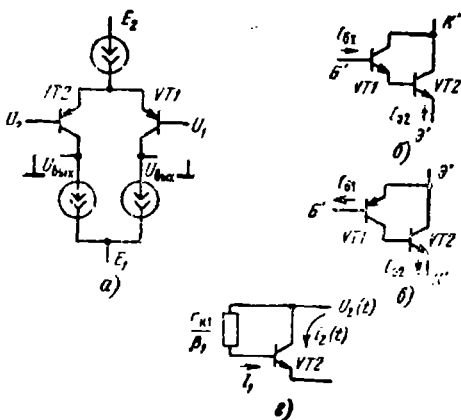


Рис. 9.9. Подсхемы аналоговых микросхем: а — ДК с тремя эталонами тока; б — схема Дарлингтона на *p-n-p* транзисторах; в — комплементарная схема Дарлингтона; г — макромодель для расчета выходного сопротивления схем Дарлингтона

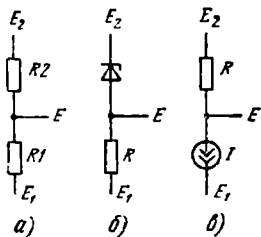


Рис. 9.10. Подсхемы сдвига уровня:
а — с резисторами; б — со стабилитроном; в — с эталоном тока

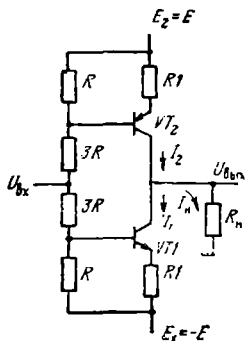


Рис. 9.11. Комплементарный выходной каскад с общим эмиттером

Подсхемы сдвига уровня. Простейший делитель напряжения (рис. 9.10,а), обеспечивая сдвиг постоянного напряжения

$$E_2 - E = \frac{E_2 - E_1}{1 + R_1/R_2}, \quad (9.97)$$

пропорционально ослабляет приращения полезного сигнала. От этого недостатка свободны подсхемы со стабилитроном и эталонным током на рис. 9.10,б,в.

Элементы схемотехники выходных каскадов АИС. Комплементарный выходной каскад с общим эмиттером изображен на рис. 9.11. Этот каскад обеспечивает $U_{\text{вых}}=0$ при $U_{\text{вх}}=0$, т. е. он воспроизводит приращения тока $I_{\text{н}}=I_2-I_1 \geq 0$.

Имеем

$$I_1 = \frac{1}{R_1} \left[\frac{U_{\text{вх}} - E_1}{4} - U^* \right] = \frac{U_{\text{вх}}/4 + E/4 - U^*}{R_1}; \quad (9.98)$$

$$I_2 = \frac{1}{R_1} \left[\frac{E - U_{\text{вх}}}{4} - U^* \right] = \frac{-U_{\text{вх}}/4 + E/4 - U^*}{R_1}. \quad (9.99)$$

Отсюда

$$I_{\text{н}} = I_2 - I_1 = -U_{\text{вх}}/2R_1. \quad (9.100)$$

Схема будет работать таким образом лишь при условии, когда нет перегрузок ни по выходу, ни по входу. Из выражений (9.98), (9.99) следует

$$|U_{\text{вх}}/4| < \frac{E}{4} - U^*. \quad (9.101)$$

Отсюда

$$|U_{\text{вх}}| < E - 4U^*; \quad (9.102)$$

при $U^* = 0,75$ В получается

$$|U_{\text{вх}}| < (E - 3) \text{ [В]}. \quad (9.103)$$

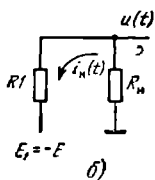
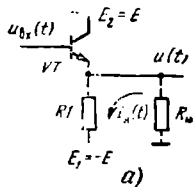
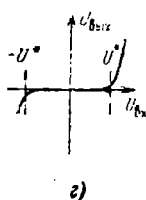
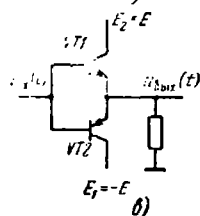


Рис. 9.12. Простейшие под-
схемы выходных каскадов
аналоговых микросхем:

a — эмиттерный повторитель
(ЭП); *б* — модель при мини-
мальных мгновенных значениях
 $u_{вх}(t)$; *в* — комплементарный
ЭП; *г* — его передаточная ха-
рактеристика



Иначе — надо ограничить величину $|U_{вых}|$; например, можно потребовать $|U_{вых}| \leq E/2$, чтобы транзисторы *VT1* и *VT2* заведомо не попадали в режим насыщения.

Эмиттерный повторитель (ЭП) как усилитель мощности. Обычная цепь ЭП (рис. 9.12,а) может рассматриваться как усилитель мощности, когда сигнал на входе $u_{вх}(t)$ уже не является малым. Будем предполагать, что при минимальных мгновенных значениях напряжения $u_{вх}(t)$ транзистор *T* отключается. При этом минимальное значение напряжения $u(t)$ и тока $i_n(t)$ на выходе ЭП будут

$$u_{\min}(t) = U_{\text{вых min}} = -E \frac{R_{\text{н}}}{R_1 + R_{\text{н}}};$$

$$i_{\text{н min}}(t) = E \frac{1}{R_1 + R_{\text{н}}}. \quad (9.104)$$

Максимальное значение напряжения $u(t)$, соответствующее насыщению транзистора *VT*, будет

$$u(t) = U_{\text{вых max}} = E - U_{\text{н}} > U_{\text{вых min}}. \quad (9.105)$$

Следовательно, если $u_{вх}(t) = U_{\text{вх}} \sin \omega t$, $u(t) = U_m \sin \omega t$, то мощность в нагрузке $P_{\text{н}}$ при максимальной неискаженной амплитуде на выходе $|U_{\text{вых min}}| \approx E \frac{R_1 + R_{\text{н}}}{R_{\text{н}}}$ составит

$$P_{\text{н}} = i_{\text{н min}} |u_{\min}(t)| = \frac{1}{2} E^2 \frac{R_{\text{н}}}{(R_1 + R_{\text{н}})^2}. \quad (9.106)$$

Максимальная мощность $P_{\text{н}} = P_{\text{н max}}$ получается при согласовании, когда $R = R_{\text{н}}$:

$$P_{\text{н max}} = E^2 / 8R_1. \quad (9.107)$$

Если амплитуда выходного сигнала U_m , то мощность P_n , выделяемая в нагрузку R_n ,

$$P_n = \frac{1}{2} \frac{U_m^2}{R_n}. \quad (9.108)$$

Мощность, рассеиваемая на транзисторе VT ,

$$P_T = \frac{1}{T} \int_0^T [E - u(t)] \left[\frac{u(t)}{R_n} + \frac{u(t) + E}{R_1} \right] dt. \quad (9.109)$$

При $u(t) = U_m \sin \omega t$ имеем

$$P_T = \frac{E^2}{R_1} - \frac{1}{2} \frac{U_m^2}{R_n} - \frac{1}{2} \frac{U_m^2}{R_1}. \quad (9.110)$$

На резисторе R_1 рассеивается мощность

$$P_1 = \frac{E^2}{R_1} + \frac{1}{2} \frac{U_m^2}{R_1}. \quad (9.111)$$

Таким образом, от источника $\pm E$ потребляется мощность

$$P_{\text{ист}} = P_n + P_T + P_1 = 2 \frac{E^2}{R_1}. \quad (9.112)$$

Эта мощность не зависит от уровня входного сигнала.

Максимальный коэффициент полезного действия (КПД) $\eta = \eta_{\text{max}}$ соответствует $P_n \text{ max}$. Из (9.107) и (9.112) имеем

$$\eta_{\text{max}} = \frac{P_n \text{ max}}{P_{\text{ист}}} = \frac{E^2}{8R_1} \frac{R_1}{2E^2} = \frac{1}{16} = 6,25. \quad (9.113)$$

Этот КПД соответствует так называемому режиму (классу) А, при котором ток через транзистор протекает в течение всего периода колебания, а суммарная мощность, отдаваемая источником питания, постоянна. Мощность, рассеиваемая резистором R_1 , является в этом случае «вредной».

Комплементарный ЭП. Для устранения этой «вредной» мощности, т. е. увеличения КПД, резистор R_1 заменяется p - n - p транзистором $VT2$ (рис. 9.12,б), что обеспечивает переход в так называемый режим (класс) В с поочередным (двухтактным) включением транзисторов $VT1$ и $VT2$.

Из рис. 9.12,в видно, что при положительных мгновенных значениях $u_{\text{вх}}(t)$ транзистор $VT1$ находится в активном режиме, а транзистор $VT2$ заперт; при $u_{\text{вх}}(t) < 0$ транзисторы $VT1$ и $VT2$ меняются местами. Размах выходного сигнала $u_{\text{вх}}(t)$ составляет почти $\pm E$. Разность значений $u_{\text{вх}}(t) - u_{\text{вых}}(t) = U^*$ не зависит от R_n , и, следовательно, мощность в нагрузке обратно пропорциональна R_n и не имеет максимума при изменении R_n .

Максимальная мощность в нагрузке $P_n = P_n \text{ max}$ получается при размахе выходного сигнала $\pm E$:

$$P_n \text{ max} = E^2/2R_n. \quad (9.114)$$

Эта величина в 4 раза больше аналогичного значения (9.107), полученного для режима А.

Мощность, рассеиваемая на транзисторе VT_1 , составит

$$P_1 = \frac{1}{T/2} \int_0^{T/2} [E - u_{\text{вых}}(t)] \frac{u_{\text{вых}}(t)}{R_{\text{н}}} dt. \quad (9.115)$$

Если $u_{\text{вых}}(t) = U_m \sin \omega t$, то

$$P_1 = \frac{2}{R_{\text{н}}} \left(\frac{U_m E}{\pi} - \frac{U_m^2}{4} \right). \quad (9.116)$$

При $U_m = E$

$$P_1 = \frac{2}{R_{\text{н}}} E^2 \frac{4 - \pi}{4\pi} = 2 \cdot 0,0683 \frac{E^2}{2}.$$

Отсюда максимальный КПД составит

$$\eta_{\text{max}} = \frac{P_{\text{н max}}}{P_{T1} + P_{\text{н max}}} = \frac{0,5}{2 \cdot 0,0683 + 0,5} = 78,5\%. \quad (9.117)$$

При большой частоте переключения из-за инерционности транзисторов VT_1 и VT_2 они могут одновременно оказаться включенными. В этом случае через цепь VT_1 , VT_2 протекает сквозной ток и может произойти самовозбуждение каскада. Для устранения возможности самовозбуждения последовательно с эмиттерами VT_1 и VT_2 (рис. 9.12, в) включают два токоограничивающих резистора.

Переходные искажения в комплементарном ЭП. В то же время если частота переключения достаточно низка, то в окрестности $u_{\text{вх}}(t) = 0$ оба транзистора (VT_1 и VT_2) отключаются. Токи покоя этих транзисторов, как видно из передаточной характеристики на рис. 9.12, г, оказываются близкими к нулю. Характеристика на рис. 9.12, г свидетельствует о нелинейных искажениях вблизи начала координат (так называемых переходных искажениях усилителя класса В).

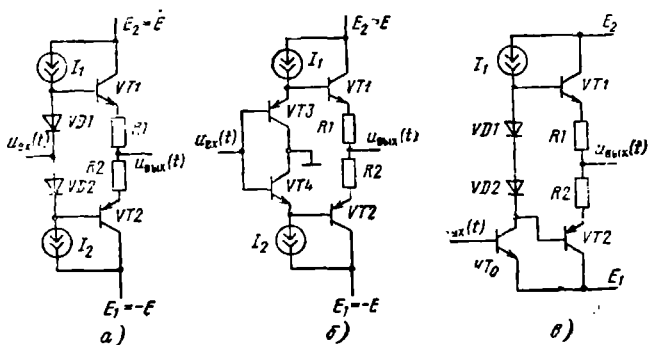


Рис. 9.13. Усложненные подсистемы выходных каскадов аналоговых микросхем: а — с диодами VD_1 и VD_2 для построения переходных искажений и токоограничивающих резисторами R_1 , R_2 ; б — с заменой VD_1 и VD_2 на БТ VT_3 , VT_4 , согласованные с транзисторами VT_1 , VT_2 ; в — с транзисторами VT_0 вместо источника тока I_1

Устранение переходных искажений использованном режиме АВ осуществляется с помощью диодов $VD1$, $VD2$, соединенных с источниками токов I_1 и I_2 (рис. 9.13,а). Вместо диодов могут использоваться транзисторы $VT3$, $VT4$, согласованные с комплементарной парой $VT1$, $VT2$. Резисторы $R1$, $R2$ подсхем на рис. 9.13,а—в включены как токоограничивающие элементы.

Замена источника тока I_2 транзисторной цепью (рис. 9.13,б) сопряжена с переносом точки приложения входного сигнала в катод диода $VD2$; этот перенос возможен благодаря малости динамических сопротивлений φ_T/I_1 , присущих диодам $VD1$ и $VD2$.

9.6. ПРОСТЕЙШИЙ ОПЕРАЦИОННЫЙ УСИЛИТЕЛЬ

Простейший операционный усилитель (ОУ, рис. 9.14,а) состоит из дифференциального каскада $VT1$, $VT2$, схемы сдвига уровня (стабилитрона VD) и выходного каскада — эмиттерного повторителя $VT3$.

При отсутствии входного сигнала на базах $VT1$ и $VT2$ напряжение на выходе ДК (на коллекторном контакте $VT1$) должно соответствовать середине линейного участка O , E , т. е. составлять $E/2$. Поскольку напряжение на выходе при этом должно составлять $U_{\text{вых}}=0$, сдвиг уровня напряжения, обеспечиваемый стабилитроном, должен быть

$$U_z = E/2 - U^*. \quad (9.118)$$

Диапазон сигнала $U_{\text{вых}}$ на выходе при этом должен составлять $\pm(E/2)$.

Простейший ОУ в следящем режиме. Схема, изображенная на рис. 9.14,б, выполняет операцию $U_{\text{вых}}=U_{\text{вх}}$.

Оба резистора цепи на рис. 9.14,а заменены (рис. 9.14,б) источниками тока; отпадает надобность в стабилитроне и повышается петлевое усиление.

Потенциал U_z точки Э на рис. 9.14,б составит

$$U_z = U_{\text{вх}} - U^*. \quad (9.119)$$

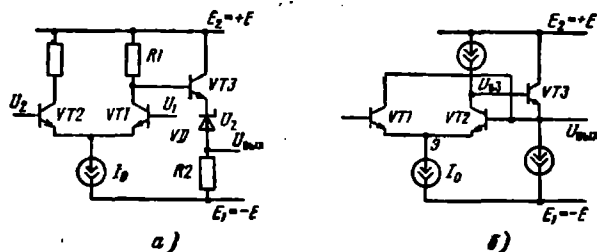


Рис. 9.14. Схемы простейшего ОУ (а) и следящий ОУ (б)

При этом потенциал базы $U_{бз}$ транзистора $VT3$ составит

$$U_{бз} = U_{к1} = U_{вых} + U^*.$$

Напряжение между коллектором и эмиттером транзистора $VT2$ составит

$$U_{кэ2} = U_{вых} - U_э.$$

Предположив $U_{вых} = U_{вх}$, из (9.119) получим

$$U_{кэ2} = U^*.$$

Аналогично

$$U_{кэ1} = U_{бз} - U_э = U_{вых} + U^* - U_{вх} + U^* = 2U^*. \quad (9.120)$$

Таким образом, $U_{кэ1}$ и $U_{кэ2}$ не зависят от уровня $U_{вх}$ и обеспечивают работоспособность схемы в диапазоне изменения $U_{вх}$.

Цепь на рис. 9.14,б обладает высоким $R_{вх}$ и малым $C_{вх}$.

9.7. СТАНДАРТНЫЙ ОПЕРАЦИОННЫЙ УСИЛИТЕЛЬ

Основные требования к такому усилителю:

пригодность для усиления постоянного напряжения;

обеспечение $U_{вых} = 0$ при $U_{вх} = 0$ (режим покоя) с достаточной точностью, т. е. малость напряжения (ошибки) смещения нуля;

обеспечение $R'_{вх} \rightarrow \infty$, $R_{вых} \rightarrow 0$, $K_U \rightarrow \infty$, т. е. близость к «идеальному» ОУ;

стандартная форма частотно-фазовой характеристики.

Рассмотрим типичную структуру такого усилителя (рис. 9.15,а).

Входной каскад ОУ собран на паре $p-n-p$ транзисторов $VT1$, $VT2$, образующей ДК и питающейся от эталона тока $I_1 = 20$ мкА. Нагрузками ДК служат коллекторные цепи $VT3$, $VT4$, «зеркально» отражающие ток $I_1/2$.

Выходной ток ДК

$$I_{бз} = I_{к3} - I_{к1} \approx I_{к2} - I_{к1}. \quad (9.121)$$

Нагрузкой ДК служит подсхема Дарлингтона, построенная на транзисторах $VT5$, $VT6$. Ток этой подсхемы создается эталоном $I_2 = 300$ мкА.

Если $\beta' = 50\,000$, $r_{кб} = 10$ МОм, $\beta_0 = 160$, то низкочастотные значения входного и выходного сопротивлений составят

$$R_{вх} = 2 \frac{\Phi_T}{0,3} \cdot 50\,000 = 8,7 \text{ МОм};$$

$$R_{вых. Дарл} = \frac{10^6}{160} \cdot \frac{1}{2} = 31,2 \text{ кОм}.$$

Крутизна эквивалентной нагрузки и усиление ДК составят

$$S = \frac{I_1}{2\Phi_T} = \frac{20}{2 \cdot 26} = 0,38 \text{ мА/В};$$

$$R_n = r_{н1} \| r_{н2} \| R_{вых. Дарл}.$$

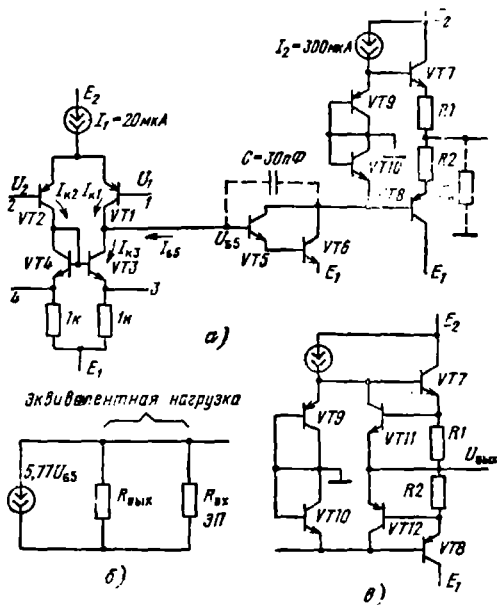


Рис. 9.15. Стандартный операционный усилитель:

а — структура ОУ; б — макромодель для расчета усиления ОУ; в — подхема выходного каскада с защитными транзисторами VT11, VT12

Приняв $r_{\pi 1} = r_{\pi 2} = 10 \text{ МОм}$, получим

$$R_{\pi} = 5 \parallel 8,7 \approx 3,2 \text{ МОм};$$

$$K_{Д1} \approx 0,38 \cdot 3,2 = 1210.$$

Крутизна каскада Дарлингтона при $I_2 = 300 \text{ мкА}$ составит

$$S = \frac{I_2}{2q_T} = \frac{0,3}{26 \cdot 2} \cdot 1000 = 5,77 \text{ мА/В}.$$

Входное сопротивление эмиттерного повторителя (на транзисторах VT7, VT8) при $R_{\pi} = 2 \text{ кОм}$ составит

$$R_{вх.эп} = 160 \cdot 2 \text{ кОм}.$$

Эквивалентная нагрузка цепи на рис. 9.15,б будет

$$R_{\text{вых.Дарл}} \parallel R_{\text{вх.эп}} = \frac{31,2 \cdot 320}{320 + 31,2} = 28,4 \text{ кОм}.$$

Следовательно, усиление подсхемы VT5—VT8 составит

$$K_{Д} = K_{Д1} K_{Д2} = 1210 \cdot 5,77 \cdot 28,4 \approx 2 \cdot 10^5.$$

Защита выходных цепей ОУ. На рис. 9.15,в выходной каскад дополнен защитными транзисторами VT11 и VT12. Эти транзис-

торы при отсутствии перегрузок отключены и не влияют на работу подсхемы. При замыкании $U_{\text{вых}}$ на E_1 или E_2 токи через $VT7$ или $VT8$ увеличиваются. Падения напряжения на $R1$ или $R2$ открывают $VT11$ и $VT12$. Через открытый защитный транзистор ответвляется часть базового тока $VT7$ или $VT8$, так что падение напряжения на $R1$ или $R2$ не превысит U^* . Следовательно, ток выходного каскада будет ограничен величиной $U^*/R_{1,2}$, где

$$R_{1,2} = R1 = R2.$$

Внутренняя цепь частотной компенсации состоит из конденсатора $C = 30$ пФ, подключенного между коллектором и базой цепи Дарлингтона ($VT5, VT6$). С помощью емкости C , входящей в состав ИС, частотную характеристику ОУ можно сделать однополюсной (подробнее об этом см. ниже).

Высшая юстировка нуля. С помощью выводов 3 и 4 (рис. 9.15,а) можно сбалансировать ОУ в номинальном режиме. Тем самым удастся установить нулевое напряжение на выводе $U_{\text{вых}}$ при отсутствии сигналов U_1 и U_2 и скомпенсировать разбаланс плеч ОУ.

КОНТРОЛЬНЫЕ ВОПРОСЫ И УПРАЖНЕНИЯ

1. Каким образом в технике аналоговых ИС реализуется «избыточность» качества и для чего эта избыточность нужна?
2. В чем суть концепций идеализации подсхем и макроmodellирования структур? Какова иерархия понятий и структур, соответствующих этим концепциям?
3. Охарактеризуйте основные аналоговые функции и основные типы аналоговых ИС.
4. Что отображают аналоговые эталоны и как они реализуются?
5. Охарактеризуйте основные принципы схемотехники аналоговых ИС.
6. Что такое идеальный дифференциальный каскад и каковы его параметры?
7. Что такое квазиидеальный дифференциальный каскад и как его рассчитать?
8. Как усовершенствовать схему реального дифференциального каскада?
9. Почему неточность взаимного согласования плеч дифференциального каскада влияет на значение коэффициента ослабления синфазного сигнала?
10. Как используется нелинейная макроmodelь дифференциального каскада?
11. Опишите свойства известных Вам вариантов эталонов тока.
12. Какие подсхемы аналоговых ИС Вы знаете? Опишите эти подсхемы.

13. Опишите свойства известных Вам вариантов выходных каскадов аналоговых ИС.

14. Охарактеризуйте структуры простейшего операционного усилителя (ОУ) и стандартных ОУ.

15. Что такое сдвиг уровня в аналоговых ИС?

16. Какие нетрадиционные для транзисторной техники схемные решения и компоненты применяются в каскадах аналоговых ИС?

17. Приведите примеры сложных аналоговых функций.

Глава 10. ИНТЕГРАЛЬНЫЕ ОПЕРАЦИОННЫЕ УСИЛИТЕЛИ И ИХ ПРИМЕНЕНИЕ

Операционный усилитель (ОУ) является многоцелевой аналоговой структурой. Интегральная реализация ОУ сделала его универсальным средством схемотехники; специализация аналоговых цепей достигается с помощью подсхем обратных связей (ОС), внешних по отношению в ОУ. При этом ОУ может быть представлен макромоделями (в виде идеального или квазиидеального ОУ).

10.1. ДВА ОСНОВНЫХ ВКЛЮЧЕНИЯ ОПЕРАЦИОННОГО УСИЛИТЕЛЯ

Существуют два основных включения ОУ: неинвертирующее и инвертирующее (рис. 10.1).

Будем считать, что ОУ квазиидеальный, т. е. реализует ОАФ

$$U_{\text{вых}} = K'_U (U_2 - U_1) = K_d U_d,$$

причем усиление $K'_U = \frac{1}{2} K_d$ весьма велико.

Неинвертирующее включение ОУ. На рис. 10.1,а показано включение ОУ в цепь неинвертирующего усилителя. В этой схеме входной сигнал $U_{\text{вх}}$ подается на вход U_2 и усиливается до уровня $U_{\text{вых}}$ без изменения фазы (коэффициент передачи напряжения составляет $K_U = U_{\text{вых}}/U_{\text{вх}}$).

Часть выходного напряжения передается во входную цепь в виде сигнала обратной связи

$$U_1 = U_{\text{вых}} K'_U = \frac{U_{\text{вых}}}{1 + (R_2/R_1)}. \quad (10.1)$$

Фаза сигнала U_1 , как видно из рис. 10.1,а, противоположна фазе $U_{\text{вх}}$, т. е. ОС отрицательна, виртуальная разность $U_{\text{г}} = U_2 -$

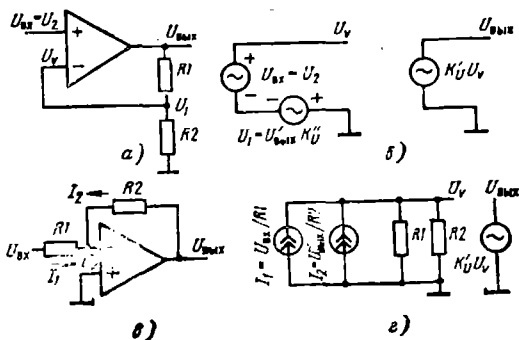


Рис. 10.1. Варианты включения операционного усилителя:
 а — неинвертирующее; б — модель неинвертирующего включения; в — инвертирующее; г — модель инвертирующего включения

— $U_1 = 2U_d$ весьма мала и тем меньше, чем больше собственный коэффициент усиления $K'_{U'}$:

$$U_V = U_{\text{вых}}/K'_{U'}. \quad (10.2)$$

Виртуальный нуль. Поскольку виртуальная разность $U_V \rightarrow 0$ (при $K'_{U'} \rightarrow \infty$), эту величину называют виртуальным нулем.

Определение идеального ОУ. По определению, идеальный ОУ имеет $K'_{U'} = \infty^*$, $R'_{\text{вх}} = \infty$, $R'_{\text{вых}} = 0$ (символы со штрихами показывают, что перечисленные параметры относятся к ОУ без обратной связи). Согласно (10.2) идеальный ОУ имеет $U_V = 0$, т. е. равные между собой потенциалы входов ОУ:

$$U_{\text{вх}} = U_2 - U_1, \quad (10.3)$$

откуда

$$U_{\text{вых}} = U_1/K''_{U'} = U_{\text{вх}}/K''_{U'}; \quad (10.4)$$

$$K'_{U'} = U_{\text{вых}}/U_{\text{вх}} = 1/K''_{U'} = 1 + (R_2/R_1). \quad (10.5)$$

Из (10.5) видно, что, поскольку ОУ идеален, усиление структуры (см. рис. 10.1,а) зависит лишь от подсхемы ООС, т. е. от коэффициента обратной передачи $K''_{U'}$. Символы без штрихов показывают, что параметры относятся к включениям с отрицательной ОС (ООС).

Схема замещения идеального ОУ, охваченного ООС, изображена на рис. 10.1,б. Источник ОС $U'_{\text{вых}}$, введенный во входную цепь, подчиняется условиям

* Предположением $K'_{U'} = \infty$ мы будем оперировать следующим образом. Введем для квазиидеального ОУ $K'_{U'}$ как достаточно большую величину, но не равную бесконечности, и выполнив вычисления, будем устремлять $K'_{U'}$ к пределу, т. е. считать $K'_{U'} = \infty$.

$U'_{\text{вых}} = U_{\text{вых}}$, если ОС включена;

$U'_{\text{вых}} = 0$, если ОС отключена.

В первом случае сигнал ОС $U_1 = K''_U U_{\text{вых}}$ пропорционален выходному напряжению и вводится во входную цепь последовательно с входным сигналом, так что результирующий сигнал $U_p = U_v = U_2 - U_1$, также получается в виде напряжения. Поэтому схема на рис. 10.1,а осуществляет ООС по напряжению с результирующим сигналом по напряжению. Снова прибегнув к понятию о квазиидеальном ОУ, т. е. считая K'_U весьма большим, но не равным бесконечности, введем понятие коэффициента усиления при отключенном генераторе ОС, определив этот коэффициент как

$$K_U^0 = \left. \frac{U_{\text{вых}}}{U_{\text{вх}}} \right|_{U_1=0} = \frac{U_{\text{вых}}}{U_v}. \quad (10.6)$$

Предельный переход к идеальному ОУ даст $K_U^0 = \infty$.

Поскольку в общем случае энергия усилителя в большей или меньшей степени расходуется на нагревание резисторов эквивалентной схемы (выходного сопротивления усилителя, входного и выходного сопротивлений цепи ОС), величина $K_U^0 \leq K'_U$. В цепи на рис. 10.1,б $R'_{\text{вых}} = 0$, а цепь ОС не потребляет мощности, поэтому в этой цепи реализуется предельный случай $K_U^0 = K'_U$.

Для квазиидеального ОУ введем понятие о петлевом усилении, или возвратном отношении

$$T = \left. \frac{U_{\text{вых}}}{U'_{\text{вх}}} \right|_{U_{\text{вх}}=0} = \frac{K'_U U_v}{(U_1/K'_U)} = -K_U^0 K'_U, \quad (10.7)$$

определяемом как коэффициент передачи сигнала, подаваемого в виде ЭДС $U'_{\text{вых}}$ и измеряемого на выходе ($U_{\text{вых}}$) при отсутствии входного сигнала (т. е. при $U_{\text{вх}} = 0$).

В выражении (10.7) использовано равенство $U_1 = -U_v$, справедливое для цепи на рис. 10.1,б при $U_{\text{вх}} = U_2 = 0$.

Знак возвратного отношения T является знаком ОС. Величина T определяет глубину ОС. Отрицательная ОС является глубокой, если справедливо неравенство $-T \gg 1$.

Поскольку у идеального ОУ $K_U^0 = K'_U = \infty$, то $T \rightarrow \infty$ и ООС, охватывающая такой усилитель, заведомо является глубокой. Глубокая ООС, как известно, и при $K'_U \neq \infty$ позволяет реализовать схемы, в которых параметры не зависят от характеристик усилительного элемента, а определяются только цепью ООС. Это обстоятельство и оправдывает моделирование реальных схем с помощью идеального ОУ.

Инвертирующее включение. На рис. 10.1,в идеальный ОУ показан в схеме, в которой сигнал ООС вводится параллельно входному сигналу. В самом деле, входной сигнал представлен током $I_1 = U_{\text{вх}}/R_1$, а сигнал ООС — током $I_2 = U_{\text{вых}}/R_2$ (рис. 10.1,з).

Поскольку ОУ идеален, $U_v = 0$ и $I_1 = -I_2$, т. е.

$$U_{\text{вх}}/R_1 = -U_{\text{вых}}/R_2. \quad (10.8)$$

Поэтому

$$K_U = U_{\text{вых}}/U_{\text{вх}} = -R_2/R_1; \quad (10.9)$$

$$K''_U = -1/K_U = R_1/R_2. \quad (10.10)$$

Для квазиидеального ОУ вычисление K^0_U и T дает

$$K^0_U = \frac{U_{\text{вых}}}{U_{\text{вх}}} \Big|_{U'_{\text{вых}}=0} = -\frac{K'_U}{1 + R_1/R_2}. \quad (10.11)$$

Из (10.11) видно, что при $R_1/R_2 > 0$ $|K^0_U| < K'_U$, т. е. на резисторе R_2 , входящем в цепь ООС, рассеивается часть мощности передаваемого сигнала. Вычисление возвратного отношения дает

$$T = \frac{U_{\text{вых}}}{U_{\text{вх}}} \Big|_{U_{\text{вх}}=0} = K^0_U K''_U = -\frac{K'_U (R_1/R_2)}{1 + (R_1/R_2)}. \quad (10.12)$$

Входное и выходное сопротивления идеального ОУ относительно выводов $U_{\text{вх}}$, $U_{\text{вых}}$ инвертирующего усилителя составляют

$$R_{\text{вх}} = R_1, R_{\text{вых}} = 0.$$

10.2. ВАРИАНТЫ ПРИМЕНЕНИЯ ОПЕРАЦИОННОГО УСИЛИТЕЛЯ

Возможности ОУ как основы аналоговой схемотехники определяются многообразием вариантов его использования в аналоговой аппаратуре в цепях с ООС. Ниже приводятся примеры включений ОУ в безынерционные линейные цепи (табл. 10.1), безынерционные нелинейные цепи (табл. 10.2) и инерционные линейные цепи (табл. 10.3).

Приведенные в таблицах формулы и их доказательства, полученные в предположении, что ОУ идеален, хорошо подтверждаются на практике (при соблюдении правил, проводимых для каждого конкретного типа ОУ в руководствах по их применению).

10.3. ПАССИВНЫЕ RC-ЦЕПИ, ИХ ПРЕДСТАВЛЕНИЕ АСИМПТОТИЧЕСКИМИ ДИАГРАММАМИ

Низкочастотное звено — НЧ проходной фильтр. Комплексная передаточная функция K_U такого фильтра (рис. 10.2,а) имеет вид


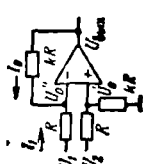
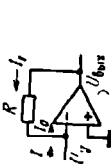
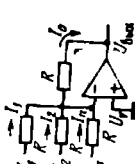
$$K_U = \frac{U_{\text{вых}}}{U_{\text{вх}}} = \frac{1}{1 + j\omega RC}. \quad (10.13)$$

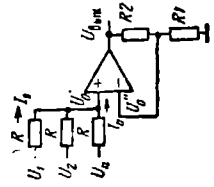
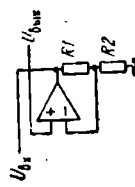

Введя

$$\omega_0 = 2\pi f_0 = \frac{1}{RC} = \frac{1}{\tau}, \quad (10.14)$$

Таблица 10.1

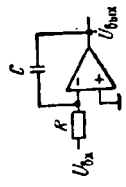
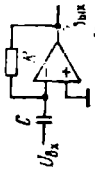
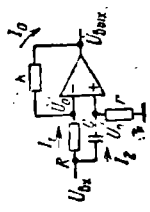
Включения ОУ в безынерционные линейные цепи

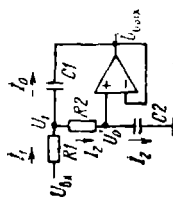
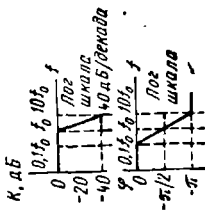
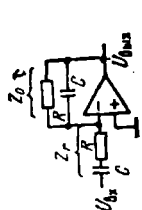
Назначение цепи	Формула операции	Вывод формулы	Цель
Инвертор с регулируемым усилителем	$U_{\text{ВЫХ}} = -\rho K U_{\text{ВХ}}$	$I_{\Gamma} = I_0, \quad \frac{U_{\text{ВХ}}}{R_{\Gamma}} = -\frac{U_{\text{ВЫХ}}}{R_{\Pi}}, \quad R_{\Pi} = \rho R_0,$ $K = R_0/R_{\Gamma}, \quad U_{\text{ВЫХ}} = -\rho K U_{\text{ВХ}}$	
Вычитатель-усилитель	$U_{\text{ВЫХ}} = K(U_2 - U_1)$	$I_1 = -I_0, \quad \frac{U_1 - U_0''}{R} = \frac{U_0'' - U_{\text{ВЫХ}}}{KR}$ $KU_1 - U_0''(K+1) = -U_{\text{ВЫХ}}$ $U_0'' = U_1' = U_2 \frac{K}{K+1}, \quad U_{\text{ВЫХ}} = K(U_2 - U_1)$	
Преобразователь ток — напряжение	$U_{\text{ВЫХ}} = -IR$	$I + I_1 = I_0 = 0,$ $I = -I_1 = -\frac{U_{\text{ВЫХ}}}{R}, \quad U_V = 0$	
Сумматор инвертирующий	$U_{\text{ВЫХ}} = -\sum_{i=1}^n U_i$	$\frac{U_1}{R} + \frac{U_2}{R} + \dots + \frac{U_i}{R} + \dots + \frac{U_n}{R} = -\frac{U_{\text{ВЫХ}}}{R},$ $U_V = 0,$ $U_{\text{ВЫХ}} = -(U_1 + U_2 + \dots + U_i + \dots + U_n)$	

Назначение цепи	Формула операции	Вывод формулы	Цель
Сумматор неинвертирующий с усилителем	$U_{\text{ВЫХ}} = K \sum_{l=1}^n U_l,$ <p>где</p> $K = \frac{1 + R_2/R_1}{n}$	$\frac{U_1 - U'_0}{R} + \frac{U_2 - U'_0}{R} + \dots + \frac{U_n - U'_0}{R} = 0,$ $U_1 + U_2 + \dots + U_n = nU'_0,$ $U'_0 = U'_0 = U_{\text{ВЫХ}} \frac{R_1}{R_1 + R_2},$ $U_{\text{ВЫХ}} = K(U_1 + U_2 + \dots + U_n)$	
Прецизионный attenuator	$U_{\text{ВЫХ}} = U_{\text{ВХ}} \frac{1}{1 + R_1/R_2}$	$U_V = 0, \text{ поэтому}$ $U_{\text{ВХ}} \frac{R_2}{R_1 + R_2} = U_{\text{ВЫХ}}$	
Повторитель напряжения	$U_{\text{ВЫХ}} = U_{\text{ВХ}}$	$K_U = 1 + \frac{R_1}{R_2},$ <p>при $R_1 = 0, R_2 = \infty,$ $K_U = 1$</p>	

Включения ОУ в безынерционные нелинейные цепи

Назначение цепи	Формула операции	Выход формулы	Цель
Антилогарифмирующий усилитель	$U_{\text{вых}} = -\varphi_T \ln \frac{U_{\text{вх}}}{RI_0},$ $\varphi_T = \frac{kT}{q}$	$I_0 = I_0 e^{-U_{\text{вых}}/\varphi_T}, \quad e^{-U_{\text{вых}}/\varphi_T} \gg 1,$ $\frac{U_{\text{вх}}}{R} = I_0 e^{-U_{\text{вых}}/\varphi_T} \ln \frac{U_{\text{вх}}}{I_0 R} = -\frac{U_{\text{вых}}}{\varphi_T}$	
Прецизионный вы- прямитель	$U_{\text{вых}} = -u_{\text{вх}}(t) \text{ при } u_{\text{вх}}(t) < 0,$ <p>выпрямляется отрицательная полу- волна</p> $u_{\text{вых}}(t) = 0 \text{ при } u_{\text{вх}}(t) > 0$	Фаза инвертируется	
Логарифмиру- ющий усилитель	$\ln U_{\text{вых}} = -\frac{U_{\text{вх}}}{\varphi_T} + \ln RI_0$	$I_1 = I_0 e^{-U_{\text{вх}}/\varphi_T}, \quad e^{-U_{\text{вх}}/\varphi_T} \gg 1,$ $\frac{U_{\text{вх}}}{R} = I_0 e^{-U_{\text{вх}}/\varphi_T},$ $\frac{U_{\text{вх}}}{\varphi_T} = \ln \frac{RI_0}{U_{\text{вх}}}$	
Компаратор	$U_{\text{вых}} = \text{лог. } 1, \text{ если } U_2 > U_1;$ $U_{\text{вых}} = \text{лог. } 0, \text{ если } U_2 \leq U_1$	$U_{\text{вых}} = K_U (U_2 - U_1), \quad K_U \rightarrow \infty,$ <p>при $0 \leq U_{\text{вх}} \leq U_{\text{огр}}$</p>	

Назначение цепи	Формула операции	Вывод формулы	Цепь
Аналоговый интегратор	$u_{\text{вых}}(t) = -\frac{1}{RC} \int_0^t u_{\text{вх}}(t) dt$	$\frac{U_{\text{вх}}}{R} = -j\omega C U_{\text{вых}}$ $U_{\text{вых}} = -\frac{U_{\text{вх}}}{j\omega RC}$	
Дифференциатор	$u_{\text{вых}}(t) = -RC \frac{dU_{\text{вх}}(t)}{dt}$	$U_{\text{вх}} j\omega C = -\frac{U_{\text{вых}}}{R}$ $U_{\text{вых}} = -j\omega RC U_{\text{вх}}$	
Фазовращатель	$\frac{U_{\text{вых}}}{U_{\text{вх}}} = Ke^{j\varphi}$ $\varphi = \pi - 2 \arctg \frac{f}{f_0}, \quad f_0 = \frac{1}{2RC}$ <p style="text-align: center;">при $0 \leq r \leq \infty$, $\pi \leq \varphi \leq 0$</p>	$\frac{U_{\text{вх}} - \dot{U}_n''}{R} = \frac{\dot{U}_n'' - U_{\text{вых}}}{R}$ $\dot{U}_{\text{вых}} = 2\dot{U}_0'' - U_{\text{вх}}$ <p style="text-align: center;">но $\dot{U}_0'' = \dot{U}_0' = U_{\text{вх}} \frac{r}{1 + j\omega r C}$,</p> <p style="text-align: center;">поэтому $U_{\text{вых}} = -U_{\text{вх}} \frac{1 - j\omega r C}{1 + j\omega r C}$</p>	

Назначение цепи	Формула операции	Вывод формулы	Цепь
<p>Активный RC-фильтр НЧ</p>	<p>Если $C_1 = C_2 = C$, $R_1 = R_2 = R$, то $K(p) = \frac{1}{(1 + p\tau)^2}$ $\tau = RC, f_0 = \frac{1}{2\pi RC}$ $\varphi = -2 \operatorname{arctg} \frac{f}{f_0}$</p>	<p>$i_1 = i_2 + i_0$ $U_{\text{вх}} = \dot{U}_1 = \frac{\dot{U}_1 - \dot{U}'_0}{R_1} + \frac{\dot{U}_1 - \dot{U}'_0}{R_2} + (\dot{U}_1 - U_{\text{вх}}) j\omega C_1$ но $\frac{\dot{U}_1 - \dot{U}'_0}{R_2} = \dot{U}'_0 j\omega C_2$ откуда $K(j\omega) = \frac{U_{\text{вх}}}{U_{\text{вх}}} = \frac{1}{\rho^2 + \rho \frac{C_2(R_1 + R_2)}{R_1 R_2 C_1 C_2} + \frac{1}{R_1 R_2 C_1 C_2}}$ — это фильтр 2-го порядка</p>	 
<p>Активный полосовой RC-фильтр</p>	<p>$K(p) = -\frac{p\tau}{(1 + p\tau)^2}$, $K(j\omega) = K(\omega) e^{j\varphi}$, $\varphi = \pi - 2 \operatorname{arctg} \frac{f}{f_0}$ $f_0 = \frac{1}{2\pi RC}$</p>	<p>$K_U = -\frac{Z_0}{Z_r} = -\frac{R}{(1 + j\omega\tau)R \left(1 + \frac{1}{j\omega\tau}\right)}$ откуда $K(p) = -\frac{p\tau}{(1 + p\tau)^2}$ $\tau = RC$</p>	

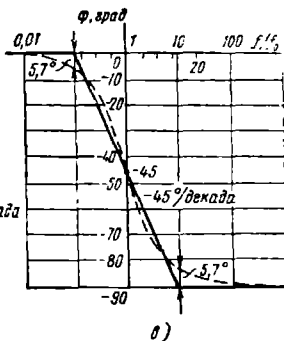
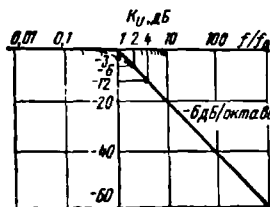
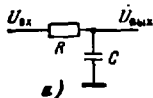


Рис. 10.2. Низкочастотное (НЧ) звено — НЧ проходной фильтр:

а — структура; б — амплитудно-частотная характеристика (штрихован линия) и ее асимптотическая диаграмма; в — фазо-частотная характеристика и ее асимптотическая диаграмма

можно получить

$$K_U = \frac{1}{1 + j(f/f_0)^2}; \quad (10.15)$$

$$\text{mod}(K_U) = K_U = \frac{1}{\sqrt{1 + (f/f_0)^4}}; \quad (10.16)$$

$$\varphi = -\arctg(f/f_0). \quad (10.17)$$

Аппроксимация характеристик НЧ проходного фильтра. Модуль. Выражение (10.16) может быть представлено в логарифмическом масштабе и аппроксимировано

$$K_U, \text{ дБ} = -20 \log \sqrt{1 + (f/f_0)^4} \approx \begin{cases} 0 & \text{при } f \leq f_0; \\ -20 \log(f/f_0) & \text{при } f \geq f_0. \end{cases} \quad (10.18)$$

Аппроксимация (10.18) изображена на рис. 10.2,б в виде двух прямых лучей с наклонами 0 и $-20 \log 10 = 20$ дБ/декада¹ и точкой излома, соответствующей $f/f_0 = 1$. Аппроксимируемая функция $\text{mod}(K_U) = K_U, \text{ дБ} = -20 \log \sqrt{1 + (f/f_0)^4}$ изображена штриховой линией на том же рис. 10.2,б.

Фазовый угол. Выражение (10.17) на полулогарифмической плоскости (рис. 10.2,в) аппроксимируется тремя отрезками прямых:

$$\varphi \approx \begin{cases} 0 & \text{при } f \leq (f_0/10); \\ -45^\circ [1 + \log(f/f_0)] & \text{при } (f_0/10) \leq f \leq 10f_0; \\ -90^\circ & \text{при } f \geq 10f_0. \end{cases} \quad (10.19)$$

¹ Декада — отношение $f/f_0 = 10$. По отношению к двукратной разнице частот (октава $f/f_0 = 2$) тот же наклон составит $-20 \log 2 = -6,02$ дБ/октава,

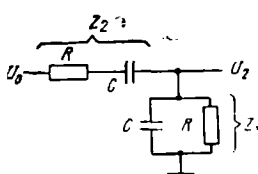
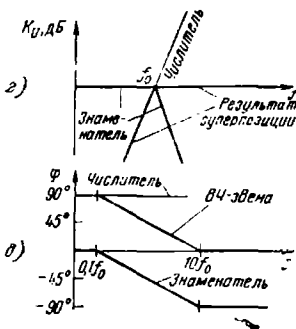
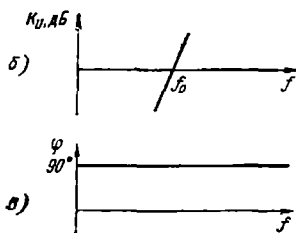
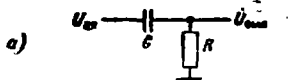


Рис. 104. Структура проходного широкополосного RC-фильтра второго порядка

Рис. 103. Высокочастотное (ВЧ) звено — ВЧ проходной фильтр:

а — структура; б — асимптотическая диаграмма модуля $j \frac{f}{f_0}$; в — асимптотическая диаграмма фазы $j \frac{f}{f_0}$; г — асимптотическая диаграмма модуля амплитудной характеристики ВЧ-звена — результат суперпозиции диаграмм на рис. 10.3.б и НЧ-звена; д — асимптотическая диаграмма фазо-частотной характеристики ВЧ-звена — результат суперпозиции диаграмм на рис. 10.3.в и НЧ-звена

Аппроксимируемая функция (10.17) изображена штриховой линией на том же рис. 10.2,в.

Дуальное ВЧ-звенно (рис. 10.3,а). Произведя замену R на C и C на R ,

$$(10.20)$$

получим выражение

$$K_U = \frac{U_{\text{ВЫХ}}}{U_{\text{ВХ}}} = \frac{j\omega RC}{1 + j\omega RC}, \quad (10.21)$$

связанное с (10.13) соотношениями замены

$$\begin{aligned} j\omega RC &\text{ на } (1/j\omega RC); \\ (1/j\omega RC) &\text{ на } j\omega RC, \end{aligned} \quad (10.22)$$

являющимися следствиями (10.20).

Асимптотические диаграммы для модуля K_U , $\text{дБ} = 20 \log(f/f_0)$ и фазы $\varphi = \arctg(jf/f_0) = 90^\circ$ числителя выражения (10.21) изображены на рис. 10.3,б, в. Аналогичные выражения для знаменателя нам уже известны (см. рис. 10.2,б,в).

Суммарные асимптотические диаграммы (рис. 10.3,г,д) получаются с помощью алгебраического сложения диаграмм числителя и знаменателя (рис. 10.3,г,д).

Полосовой проходной широкополосный фильтр. Комплексная передаточная функция такого фильтра (рис. 10.4) имеет вид

$$K = \frac{U_2}{U_0} = \frac{Z_1}{Z_1 + Z_2} = \frac{j\omega\tau}{(j\omega\tau)^2 + 3(j\omega\tau) + 1}. \quad (10.23)$$

Заменой $j\omega\tau$ на P получим функцию цепи

$$K(P) = \frac{P}{P^2 + 3P + 1}. \quad (10.24)$$

Коэффициент при P в выражении (10.24) или, что то же самое, при $j\omega\tau$ в выражении (10.23) носит название *затухание* или *коэффициент демпфирования*. В данном случае затухание равно 3, а добротность — величина, обратная затуханию: $Q=1/3$. При такой малой добротности фильтр считается широкополосным.

Знаменатель выражения (10.24) можно разложить на множители

$$P^2 + 3P + 1 = (P - P_1)(P - P_2), \quad (10.25)$$

где P_1 и P_2 определяются из решения квадратного уравнения

$$P^2 + 3P + 1 = 0. \quad (10.26)$$

Имеем для корней (10.26):

$$P_{1,2} = -\frac{3}{2} \pm \sqrt{\frac{9}{4} - 1} = -\frac{3}{2} \pm \frac{\sqrt{5}}{2};$$

$$P_1 = -\frac{3}{2} + \frac{\sqrt{5}}{2} \approx -0,382;$$

$$P_2 = -\frac{3}{2} - \frac{\sqrt{5}}{2} \approx -2,618. \quad .$$

Этим корням соответствуют частоты ω_1 и ω_2 , так что

$$P_1 = j\omega_1\tau = -0,382;$$

$$P_2 = j\omega_2\tau = -2,618.$$

Отсюда

$$\omega_1 = -(0,382/\tau);$$

$$\omega_2 = -(2,618/\tau).$$

Произведя замену P на $j\omega\tau$ в выражении

$$K(P) = \frac{P}{(P - P_1)(P - P_2)}, \quad (10.27)$$

получим

$$K = \frac{j\omega\tau}{(j\omega\tau - j\omega_1\tau)(j\omega\tau - j\omega_2\tau)}. \quad (10.28)$$

Отсюда

$$K = \frac{(j/f/f_0)}{0,382 \cdot 2,618 [1 + j(f/f_2)] [1 + j(f/f_1)]}. \quad (10.29)$$

Поскольку по теореме Виета для корней квадратного уравнения справедливо $P_1 P_2 = 1$, имеем

$$K = \frac{(jf/f_0)}{[1 + j(f/f_1)][1 + j(f/f_2)]}, \quad (10.30)$$

где

$$f_1 = 0,382f_0, \quad f_2 = 2,618f_0. \quad (10.31)$$

Очевидно, $f_1 f_2 = f_0^2$.

Асимптотические диаграммы для модуля и фазы выражения (10.30) приведены на рис. 10.5, а, б соответственно.

Сбалансированный мост Вина — Робинсона. Дополнив цепь на рис. 10.4 параллельной резисторной ветвью, получим мост Вина — Робинсона (рис. 10.6, а), в котором

$$U_1 = \frac{U_0}{3};$$

$$U_2 = U_0 \frac{j\omega\tau}{(j\omega\tau)^2 + 3(j\omega\tau) + 1}. \quad (10.32)$$

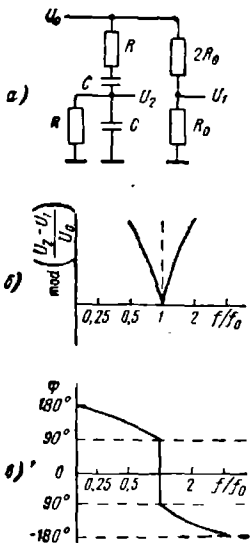
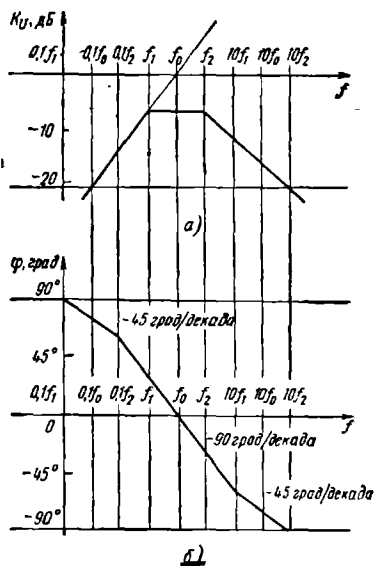


Рис. 10.5. Асимптотическая диаграмма проходного широкополосного фильтра второго порядка:

а — для модуля амплитудно-частотной характеристики; б — для фазового угла

Рис. 10.6. Сбалансированный мост Вина — Робинсона:

а — структура; б — амплитудно-частотной характеристики; в — фазочастотная характеристика

Напряжение в диагонали моста составит

$$U_2 - U_1 = -\frac{U_0}{3} \frac{1 + (j\omega\tau)^2}{(j\omega\tau)^2 + 3(j\omega\tau) + 1}.$$

Отсюда

$$K = \frac{U_2 - U_1}{U_0} = -\frac{1}{3} \frac{1 - (\omega\tau)^2}{1 - (\omega\tau)^2 + 3\omega\tau}. \quad (10.33)$$

Модуль и фаза этого выражения составят

$$\text{mod} \left(\frac{U_2 - U_1}{U_0} \right) = \frac{1}{3} \frac{1 - (f/f_0)^2}{\sqrt{[1 - (f/f_0)^2]^2 - 9(f/f_0)^2}}; \quad (10.34)$$

$$\varphi = 180^\circ - \text{arctg} \frac{3(f/f_0)}{1 - (f/f_0)^2}. \quad (10.35)$$

Выражение (10.35) на частоте $f = f_0$ имеет скачок фазы (рис. 10.6,в). Амплитудная характеристика зависимости $\text{mod} \left(\frac{U_2 - U_1}{U_0} \right)$ от частоты в окрестности f_0 имеет вид резонансной кривой полового заграждающего (режекторного) фильтра (рис. 10.6,б).

10.4. АКТИВНЫЕ RC-ФИЛЬТРЫ

Соединив под схему пассивной RC-цепи с операционным усилителем, мы получим много дополнительных возможностей, таких как синтез заданных значений амплитудно-фазовых характеристик, полосы пропускания фильтра, степени его колебательности. Такое управление свойствами фильтра становится возможным лишь тогда, когда знаменатель функции цепи фильтра имеет комплексные корни. Расположение корней зависит от параметров RC-подсхемы. Мнимая (колебательная) часть полюсов функции цепи создается активной цепью в виде ОУ с обратными связями. Эта активная часть может имитировать действие индуктивностей, менять знак комплексного сопротивления, управлять номиналом реактивного элемента.

Низкочастотный проходной фильтр 1-го порядка. Соединив рассмотренное выше НЧ-звено с ОУ в инвертирующем включении (рис. 10.7,а), получим цепь, в которой реализуются следующие соотношения:

$$\dot{U}'_{\text{вх}} = U_{\text{вх}} \frac{1}{1 + j\omega RC}; \quad (10.36)$$

$$K_U = \frac{\dot{U}_{\text{ввых}}}{U_{\text{вх}}} = \frac{1 + (R_2/R_1)}{1 + j\omega RC}. \quad (10.37)$$

Заменяв $j\omega RC$ на P и нормировав НЧ-усиление, получим функцию цепи

$$K^0(P) = \frac{K(P)}{1 + (R_2/R_1)}. \quad (10.38)$$

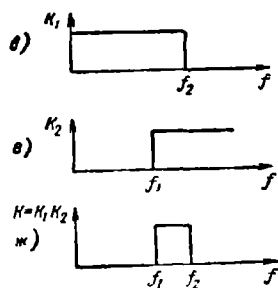
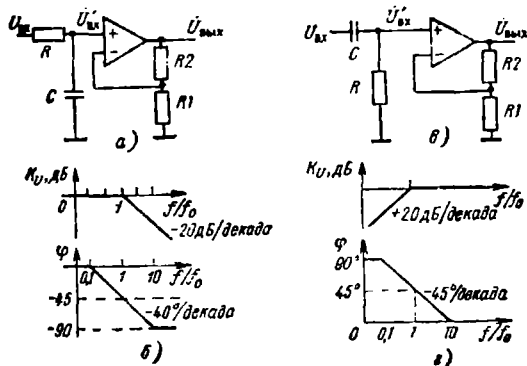


Рис. 10.7. Активные RC-фильтры 1-го порядка:

а — структура проходного НЧ-фильтра; б — асимптотические диаграммы этого фильтра; в — структура дуального проходного ВЧ-фильтра; г — асимптотические диаграммы этого фильтра; д — идеализированная амплитудно-частотная характеристика проходного НЧ-фильтра; е — идеализированная амплитудно-частотная характеристика проходного ВЧ-фильтра; ж — идеализированная амплитудно-частотная характеристика полосового фильтра на рис. 9.7, д, е

Асимптотические диаграммы такого вида нам уже знакомы (рис. 10.7, б).

Дуальная структура — проходной ВЧ-фильтр 1-го порядка. Заменяв в цепи на рис. 10.7, а $R \rightleftharpoons C$ и в выражении (10.38) P на $1/P$, получим дуальную структуру (рис. 10.7, в), отвечающую функции

$$K^{\circ}(P) = \frac{P}{1+P}. \quad (10.39)$$

Асимптотические диаграммы такого вида на рис. 10.7, г нам уже встречались ранее (см. рис. 10.3, д).

Суперпозиции фильтров. На рис. 10.7, д, е представлены идеализированные амплитудно-частотные характеристики проходных НЧ- и ВЧ-фильтров в обычном (нелогарифмическом) масштабе. Если предположить, что эти фильтры соединены каскадно, то

результатирующая амплитудно-частотная характеристика $K(f)$ будет иметь вид $K_1 K_2$ (рис. 10.7,ж). Такая же суперпозиция имеет место при переходе к реальному фильтру (имеющему покатые склоны) и (или) в случае использования логарифмического масштаба (требующего не умножения, а сложения амплитудно-частотных характеристик множителей K_1 и K_2).

Простейший полосовой проходной фильтр. Соединив структуры проходного ВЧ- и НЧ-фильтра, получим двухкаскадную схему (рис. 10.8,а), для которой нормированная функция цепи и соответствующая ей передаточная функция будут иметь вид

$$K^* = \frac{P}{1+P} \frac{1}{1+P} = \frac{1}{(1+P)^2}; \quad (10.40)$$

$$K = \frac{j\omega RC}{(j\omega RC)^2 + 2j\omega RC + 1} = \frac{j\Omega}{[1+j\Omega]^2}; \quad (10.41)$$

$$\Omega = \omega RC = (f/f_0).$$

Похожие выражения (10.24) и (10.23) нам уже встречались, однако выражению (10.40) отвечают два одинаковых (кратных) корня $P_{1,2} = -1$. Эта структура соответствует фильтру 2-го порядка с так называемым критическим затуханием.

Асимптотические диаграммы фильтра с критическим затуханием приведены на рис. 10.8,б. Расположение кратных полюсов на плоскости иллюстрирует рис. 10.8,в.

С ростом кратности n увеличивается крутизна склонов амплитудно-частотных характеристик фильтра (на рис. 10.8,г показан высокочастотный склон фильтра при разных n). Значение безразмерной частоты Ω , соответствующей $\text{mod}(K) = -3$ дБ, при $n=1$ составляет $\Omega_1 = 1$. С ростом n значение Ω_n , как видно из рис. 10.8,г, падает.

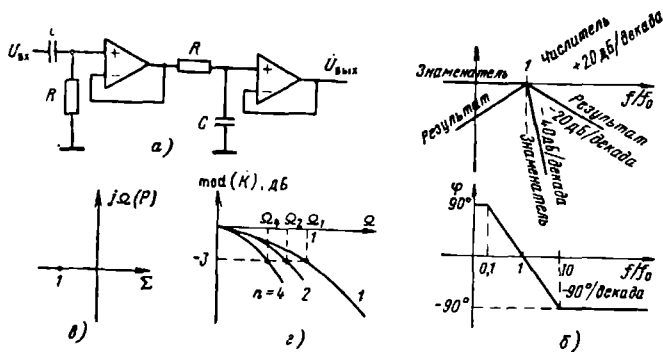


Рис. 10.8. Простейший полосовой RC -фильтр: а — двухкаскадная структура; б — асимптотические диаграммы и их компоненты; в — расположение полюса кратности $n=2$ на комплексной плоскости $P = \Sigma + j\Omega$; г — увеличение крутизны склонов амплитудно-частотных характеристик полосового RC -фильтра с увеличением кратности n полюса

Значение Ω_n при $n=2$ можно определить, составив на основании (10.41) выражение

$$\text{mod}(K) = \frac{1}{\sqrt{(1-\Omega^2)^2 + 4\Omega^2}}. \quad (10.42)$$

Приравняв $\text{mod}(K) = 1/\sqrt{2}$, из решения уравнения

$$2 = (1-\Omega^2)^2 + 4\Omega^2$$

получим четыре корня

$$\Omega_0 = \pm \sqrt{-1 \pm \sqrt{2}},$$

из которых годным является один корень

$$\Omega_2 = \sqrt{\sqrt{2} - 1} = 0,6436. \quad (10.43)$$

При произвольном целом $n \geq 1$ имеем

$$\Omega_n = \sqrt[n]{\frac{1}{2} - 1}. \quad (10.44)$$

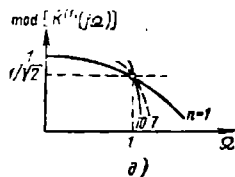
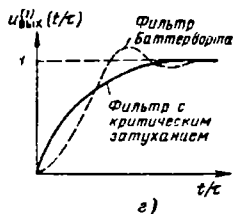
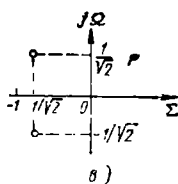
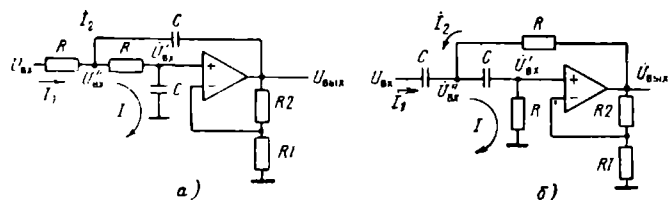


Рис. 10.9. Проходные фильтры 2-го порядка (структура Саллена и Кея):

а — НЧ-структура; б — дуальная ВЧ-структура; в — расположение полюсов; г — увеличение колебательности нормированной переходной характеристики $u_{\text{вых}}^l(t)$ при передвижении полюсов вправо ($1 \rightarrow 1/\sqrt{2}$) и переходе к фильтру Баттерворта; д — увеличение крутизны ВЧ склона амплитудно-частотной характеристики фильтров Баттерворта с ростом кратности l

Низкочастотный проходной фильтр 2-го порядка. Цепь такого фильтра, называемая иногда структурой Саллена и Кея [50], изображена на рис. 10.9,а. Из этого рисунка видно, что

$$I = I_1 + I_2; \quad (10.45)$$

$$\frac{\dot{U}_{вх}^*}{R + (1/j\omega C)} = \frac{U_{вх} - \dot{U}_{вх}^*}{R} + (\dot{U}_{вых} - \dot{U}_{вх}^*) / \omega C. \quad (10.46)$$

Выразим $\dot{U}_{вх}''$ через $\dot{U}_{вых}$. Из

$$\dot{U}_{вх}^* = i \left(R + \frac{1}{j\omega C} \right); \quad (10.47)$$

$$I = \dot{U}'_{вх} j\omega C; \quad (10.48)$$

$$\dot{U}'_{вх} = \frac{\dot{U}_{вых}}{K_0} \quad (10.49)$$

получим

$$\dot{U}_{вх}^* = \frac{\dot{U}_{вых}}{K_0} (1 + j\omega RC). \quad (10.50)$$

Подставив (10.50) в (10.46), заменив $j\omega RC = P$ и вычислив нормированное значение

$$K_{(P)}^{(1)} = \frac{K_U(P)}{K_0} = \frac{[U_{вых}(P)/U_{вх}]}{K_0}, \quad (10.51)$$

получим

$$K_{(P)}' = \frac{1}{P^2 + (3 - K_0)P + 1}. \quad (10.52)$$

Как мы знаем, коэффициент $d = 3 - K_0$ при первой степени P многочлена знаменателя $K_{(P)}^{(1)}$ называется затуханием или коэффициентом демпфирования. Как видно из (10.52), затухание может регулироваться выбором

$$K_0 = 1 + (R_2/R_1).$$

Эта возможность позволяет сделать структуру многоцелевой (прототипной) и применять ее при различных требованиях к колебательным свойствам фильтров, изменяя номиналы R_1 , R_2 .

Дуальный высокочастотный проходной фильтр Саллена и Кея. Заменив $R \rightleftharpoons C$, получим дуальную структуру (рис. 10.9,б), для которой $K_{(P)}^{(1)}$ получается из (10.52) заменой $P \rightarrow 1/P$. Имеем

$$K_{(P)}^{(1)} = \frac{P}{P^2 + (3 - K_0)P + 1}. \quad (10.53)$$

Фильтры Баттерворта. Нормированная функция цепи (10.52) может быть переписана в виде комплексной передаточной функции. Обозначив коэффициенты при P и P^2 через a_1 и a_2 и заменив P на $j\Omega$, получим выражение, содержащее многочлен в знаменателе

$$K_{(j\Omega)}^{(1)} = \frac{1}{1 + a_1(j\Omega) + a_2(j\Omega)^2}. \quad (10.54)$$

В частном случае цепи, описываемой (10.52), имеет место $a_1 = 3 - K_0$, $a_2 = 1$. Модуль выражения (10.54) имеет вид

$$\text{mod} [\dot{K}^{(1)}(j\Omega)] = \frac{1}{\sqrt{[1 - a_2 \Omega^2]^2 + (a_1 \Omega)^2}}. \quad (10.55)$$

Потребуем, чтобы при $n=2$ выполнялось условие

$$\text{mod} [\dot{K}^{(1)}(j\Omega)] = \frac{1}{\sqrt{1 + \Omega^4}}. \quad (10.55a)$$

Сопоставив (10.55) и (10.55a), получим

$$a_1 = \sqrt{2}, \quad a_2 = 1. \quad (10.56)$$

С учетом (10.56) знаменатель (10.54) будет являться полиномом Баттерворта для $n=2$. Переходя обратно к функции цепи, при $n=2$ получим

$$K^{(1)}(P) = \frac{1}{P^2 + \sqrt{2}P + 1}. \quad (10.57)$$

Аналогично, потребовав для полинома порядка n выполнения равенства

$$\text{mod} [\dot{K}^{(1)}(j\Omega)] = \frac{1}{\sqrt{1 + \Omega^{2n}}}, \quad (10.58)$$

для функций вида

$$K^{(1)}(P) = \frac{1}{1 + a_1 P + a_2 P^2 + \dots + a_n P^n} \quad (10.59)$$

при $n=1$ получим $a_1 = 1$, $a_2 = a_3 = \dots = a_n = 0$, т. е.

$$K^{(1)}(P) = 1/(1+P). \quad (10.60)$$

При $n=3$, $a_1 = 2$, $a_2 = 2$, $a_3 = 1$, $a_4 = \dots = a_n = 0$, т. е.

$$K^{(1)}(P) = \frac{1}{1 + 2P + 2P^2 + P^3}. \quad (10.61)$$

Поделив многочлен в знаменателе выражения (10.61) на множитель $1+P$, стоящий в знаменателе функции (10.60) цепи полинома Баттерворта 1-го порядка, при $n=3$ получим

$$K^{(1)}(P) = \frac{1}{(1+P)(1+P+P^2)}. \quad (10.62)$$

Выражение (10.62), эквивалентное (10.61), показывает возможность представления полинома Баттерворта 3-го порядка в виде двух каскадов (1-го и 2-го порядка).

Аналогично:

при $n=4$

$$K^{(1)}(P) = \frac{1}{(P^2 + 0,765P + 1)(1 + 1,848P + 1)}; \quad (10.63)$$

при $n=5$

$$K^{(1)}(P) = \frac{1}{(P+1)(P^2+0,618P+1)(P^2+1,618P+1)}; \quad (10.64)$$

при $n=6$

$$K^{(1)}(P) = \frac{1}{(P^2+0,518P+1)(P^2+1,414P+1)(P^2+1,931P+1)} \quad (10.65)$$

и т. д. Таким образом, при любом n удастся использовать типовые структуры 1-го и 2-го порядка, изменяя в последних лишь значение коэффициента демпфирования (затухания).

С увеличением n крутизна склонов характеристики $\text{mod}\{K^{(1)}(j\Omega)\}$ растет (рис. 10.9, д).

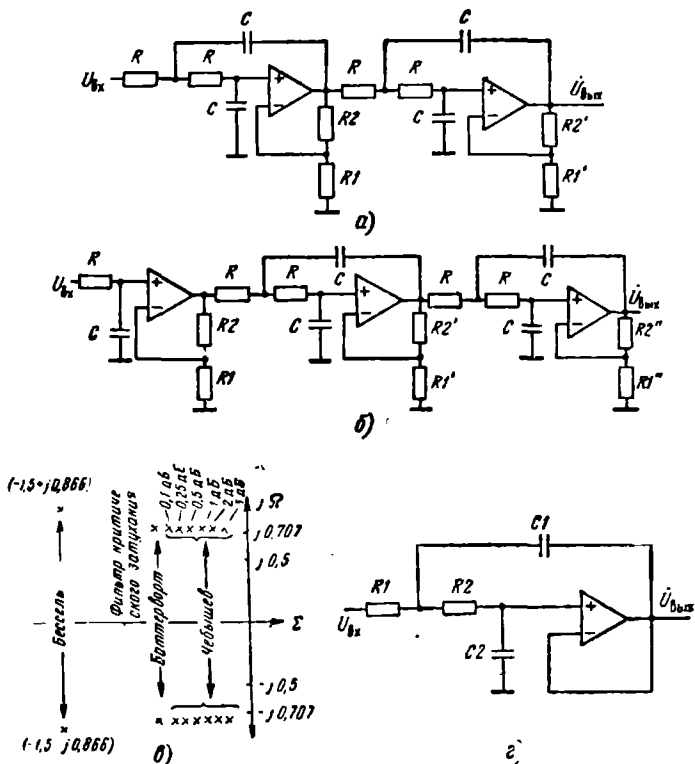


Рис. 10.10. Активные RC-фильтры:

а — проходной НЧ-фильтр Баттерворта 4-го порядка; *б* — проходной НЧ-фильтр Баттерворта 5-го порядка; *в* — расположение полюсов фильтров Бесселя с критическим затуханием, Баттерворта, Чебышева; *г* — универсальная прототипная структура

Сравнение колебательных свойств фильтра Баттерворта с фильтром критического затухания показывает, что полюсы функции цепи фильтра Баттерворта расположены правее точки $P = -1$ и имеют сопряженные мнимые части (рис. 10.9, в). На переходной характеристике фильтра Баттерворта видна небольшая колебательность (рис. 10.9, г).

Пример 1. Пусть необходимо спроектировать проходной НЧ-фильтр Баттерворта 4-го порядка с частотой среза $f_0 = 1$ кГц.

Решение. Берем два каскада прототипной структуры 2-го порядка (рис. 10.10, а). Из формулы (10.63) выписываем коэффициенты при первой степени P (0,765 и 1,848). Эти коэффициенты надо реализовать с помощью выражений вида (10.52), в которых под K_0 будем понимать: для 1-го каскада K_{01} , для 2-го каскада K_{02} .

Имеем

$$3 - K_{01} = 0,765;$$

$$3 - K_{02} = 1,848.$$

Отсюда $K_{01} = 2,235$, $K_{02} = 1,152$. Поскольку $K_{01} = 1 + (P_2/P_1)$, имеем $P_2/P_1 = 1,235$. Аналогично из $K_{02} = 1 + (P_2/P_1)$ получим $P_2/P_1 = 0,152$.

Если выбрать $R_1 = R'_1$, определим

$$R_2 = 12,35 \text{ кОм}, R'_2 = 10 \cdot 0,152 = 1,52 \text{ кОм}.$$

Поскольку $f_0 = 1/(2\pi RC)$, то, выбрав $C = 0,1$ мкФ, при $f_0 = 1$ кГц получим

$$R = \frac{1}{2\pi f_0 C} = \frac{1}{2\pi \cdot 10^3 \cdot 0,1 \cdot 10^{-6}} = 1,6 \text{ кОм}.$$

Пример 2. Пусть необходимо спроектировать фильтр 5-го порядка. Добавив третий прототипный каскад 1-го порядка (рис. 10.10, б), аналогично предыдущему найдем из (10.64)

$$3 - K_{02} = 0,618 = 1 + R'_2/R'_1;$$

$$3 - K_{03} = 1,618 = 1 + R''_2/R''_1.$$

Выбрав $R_1 = R'_1 = R''_1 = 10$ кОм, найдем $R'_2 = 13,82$ кОм, $R''_2 = 3,82$ кОм. Для $f_0 = 1$ кГц, выбрав $C = 0,01$ мкФ, найдем

$$R = \frac{1}{2\pi f_0 C} = \frac{1}{2\pi \cdot 10^3 \cdot 0,01 \cdot 10^{-6}} = 15,92 \text{ кОм}.$$

Положив результирующий НЧ коэффициент передачи $K_0 = 5$, т. е.

$$K_0 = \frac{U_{\text{вых}}}{U_{\text{вх}}} = K_{01} K_{02} K_{03} = K_{01} \cdot 2,382 \cdot 1,382 = 5,$$

найдем

$$K_{01} = \frac{5}{2,382 \cdot 1,382} = 1,519 = 1 + (R_2/R_1);$$

$$R_2 = R_1(K_{01} - 1) = 10 \cdot 0,519 = 5,19 \text{ кОм}.$$

Сравнение фильтров различных видов. Фильтры Баттерворта реализуют компромисс между противоречивыми требованиями к крутизне склонов амплитудно-частотных характеристик, с одной стороны, и неравномерностью фазо-частотной характеристики — с

другой. Неравномерность фазо-частотной характеристики — отклонение этой характеристики от прямой линии в полосе прозрачности фильтра — мера зависимости времени запаздывания спектральных составляющих сигнала, проходящих через фильтр, от частоты.

Расположение полюсов функций цепи фильтра Баттерворта по сравнению с фильтрами критического затухания Чебышева и Бесселя при $n=2$ показано на рис. 10.10,в. Как видно, фильтры Чебышева обладают большим и варьируемым диапазоном колебательности (полюсы расположены «справа»). Фильтры Бесселя, полюсы для которых располагаются «слева», колебательностью не обладают и обеспечивают пропорциональность фазового сдвига частоте — равномерность фазо-частотных характеристик, т. е. независимость от частоты f группового времени задержки $t_{гр} = -dq'/df$.

Универсальная прототипная структура. На рис. 10.10,г показан вариант прототипной структуры 2-го порядка, отличающейся от рассмотренной выше цепи значениями $R1 \neq R2$, $C1 \neq C2$. Эта структура в зависимости от номиналов компонентов может являться фильтром Бесселя, Баттерворда или Чебышева. При $f_0=1$ кГц:

для фильтра Бесселя $R1=R2=10,8$ кОм; $C1=0,0133$ мкФ; $C2=0,01$ мкФ;

для фильтра Баттерворта $R1=R2=10,8$ кОм; $C1=0,02$ мкФ; $C2=0,01$ мкФ;

для фильтра Чебышева с неравномерностью 3 дБ $R1=R2=49,4$ кОм; $C1=0,01$ мкФ; $C2=1470$ пФ.

Резонансная проходная LCR-цепь. На рис. 10.11,а изображена такая резонансная LCR-цепь, подключенная к неинвертирующей цепи ОУ. Напряжение \dot{U}' на неинвертирующем входе ОУ (рис. 10.11,а) составит

$$\dot{U}' = U_{вх} \frac{R}{R + j\omega L + (1/j\omega C)}. \quad (10.66)$$

Имеем

$$\dot{U}_{вых} = K^0_U \dot{U}', \quad (10.67)$$

где $K^0_U = 1 + (R_2/R_1)$.

Подставив (10.66) в (10.67), найдем

$$\dot{U}_{вых} = U_{вх} K_U \frac{R(1/L)j\omega}{(j\omega)^2 + (R/L)j\omega + (1/LC)}. \quad (10.68)$$

Обозначив

$$\omega_0^2 = 1/LC; \quad (10.69)$$

$$Q = \omega_0 L/R, \quad (10.70)$$

$$\text{т. е. } R/L = \omega_0/Q, \quad (10.71)$$

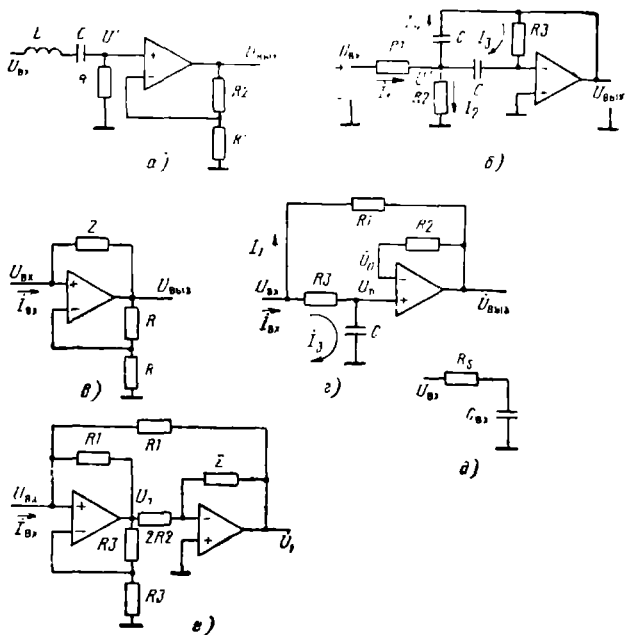


Рис. 10.11. Резонансные цепи и преобразователи полного сопротивления на основе операционного усилителя:
 а — резонансная проходная LCR-цепь; б — «резонансный» полосовой проходной активный RC-фильтр; в — конвертор полного сопротивления Z (преобразует Z в -Z); г — умножитель емкости (преобразует C → C_{вх} = C(R_г/R₁ + 1); д — модель входной цепи структуры Z; е — гиратор (преобразует Z в 1/Z)

получим передаточную функцию полосового фильтра 2-го порядка:

$$K = \frac{\dot{U}_{\text{ВЫХ}}}{U_{\text{ВХ}}} = \frac{j\omega(\omega_0/Q)K_U^0}{(j\omega)^2 + (\omega_0/Q)j\omega + \omega_0^2} \quad (10.72)$$

Определяемая по уровням $1/\sqrt{2} = 0,707$ (3 дБ) полоса пропускания фильтра составляет

$$2\Delta f = f_0/Q \quad (10.73)$$

Эта полоса тем уже, чем выше добротность Q.

Поделив числитель и знаменатель выражения (10.72) на ω_0^2 , получим

$$K = \frac{j(\omega/\omega_0) \frac{K_U^0}{Q}}{j(\omega/\omega_0)^2 + j(\omega/\omega_0) \frac{1}{Q} + 1} \quad (10.74)$$

Заменим безразмерный оператор $j(\omega/\omega_0)$ на P и пронормируем K ; функцию цепи запишем в виде

$$K^{(1)}(P) = \frac{(P)}{(K_U^0/Q)} = \frac{P}{P^2 + \frac{1}{Q}P + 1}. \quad (10.75)$$

Сравнивая (10.75) с (10.24), (10.53), видим, что структура этих выражений одинакова при условии известной связи затухания d с добротностью Q :

$$d = 1/Q. \quad (10.76)$$

«Резонансный» полосовой проходимый активный RC-фильтр. Эта структура, не содержащая L (рис. 10.11,б), полностью имитирует предыдущую цепь. Считая ОУ идеальным, т. е. $U_V = 0$, найдем

$$\dot{U}' = \dot{I}_3 \frac{1}{j\omega C} = \frac{\dot{U}_{\text{вх}}}{R_3} \frac{1}{j\omega C}. \quad (10.77)$$

Из условия $I_1 + I_3 = I_4 + I_2$ получим

$$\frac{U_{\text{вх}} - \dot{U}'}{R_1} + \frac{\dot{U}_{\text{вх}}}{R_3} = (\dot{U}' - \dot{U}_{\text{вх}})j\omega C + \frac{\dot{U}_1}{R_2}. \quad (10.78)$$

Подставив (10.77) в (10.78), после преобразований найдем

$$K = \frac{\dot{U}_{\text{вх}}}{U_{\text{вх}}} = -\frac{1}{RC} \frac{j\omega}{(j\omega)^2 + \frac{2}{R_3 C} (j\omega) + \frac{1}{R' R_3 C^2}}, \quad (10.79)$$

где

$$R' = \frac{R_1 R_2}{R_1 + R_2}.$$

Сравнивая (10.79) с (10.72), видим, что для эквивалентности цепей на рис. 10.11,а,б необходимо от параметров схемы на рис. 10.11,б потребовать

$$1/R'R_3C^2 = \omega^2_0; \quad (10.80)$$

$$2/R_3C = \omega_0/Q. \quad (10.81)$$

Резонансная частота ω_0 , добротность Q и полоса пропускания $2\Delta f$ для цепи на рис. 10.11,б, вычисленные на основе этих выражений, составят

$$\omega_0 = \frac{1}{C \sqrt{R' R_3}}; \quad (10.82)$$

$$Q = \frac{\omega_0 R_3 C}{2} = \frac{1}{2} \sqrt{\frac{R_3}{R'}}; \quad (10.83)$$

$$2\Delta f = \frac{\omega_0}{Q} = \frac{2}{R_3 C}. \quad (10.84)$$

10.5. ПРЕОБРАЗОВАТЕЛИ ПОЛНОГО СОПРОТИВЛЕНИЯ

Конвертор полного сопротивления (рис. 10.11,а). Эта цепь изменяет знак полного сопротивления Z . Из рис. 10.11,а имеем

$$K^{\circ U} = 1 + R/R = 2;$$

$$\dot{U}_{\text{вых}} = 2U_{\text{вх}};$$

$$I_{\text{вх}} = (U_{\text{вх}} - \dot{U}_{\text{вых}})/2 = -U_{\text{вх}}/Z;$$

$$Z_{\text{вх}} = \frac{U_{\text{вх}}}{I_{\text{вх}}} = -Z. \quad (10.85)$$

Умножитель емкости (рис. 10.11,з). Эта цепь может обладать входной емкостью, значительно превышающей C . Из рис. 10.11,з имеем

$$i_{\text{вх}} = i_1 + i_3 = \frac{U_{\text{вх}} - \dot{U}_{\text{вых}}}{R_1} + \frac{j\omega C}{1 + j\omega R_2 C} U_{\text{вх}}; \quad (10.86)$$

$$\dot{U}_{\text{вых}} = U_0 = \dot{U}_2 = U_{\text{вх}} \frac{1}{1 + j\omega R_2 C}. \quad (10.87)$$

Подставив (10.87) в (10.86), получим

$$i_{\text{вх}} = U_{\text{вх}} \frac{j\omega C(1 + R_2/R_1)}{1 + j\omega R_2 C}. \quad (10.88)$$

Отсюда

$$Z_{\text{вх}} = \frac{U_{\text{вх}}}{i_{\text{вх}}} = \frac{1 + j\omega R_2 C}{j\omega C(1 + R_2/R_1)} = \frac{1}{j\omega C_{\text{вх}}} [1 + j\omega C_{\text{вх}} R_2], \quad (10.89)$$

где

$$C_{\text{вх}} = C(1 + R_2/R_1); \quad (10.90)$$

$$R_2 = \frac{R_1}{1 + R_1/R_2}. \quad (10.91)$$

Если $R_2 \gg R_1$, то

$$C_{\text{вх}} \approx C \frac{R_2}{R_1}; \quad (10.92)$$

$$R_2 \approx R_1 \quad (10.93)$$

(рис. 10.11,б).

Пример. Пусть $R_2 = 10$ МОм, $R_1 = 10$ Ом, $C = 0,1$ мк. Тогда $C_{\text{вх}} = 0,1 \frac{10^7}{10^4} = 0,1$ Ф (1).

Добротность такой емкости оказывается низкой. Например, в нашем случае на частоте $f_0 = 1$ Гц найдем

$$Q = \frac{(1/\omega C_{\text{вх}})}{R_2} = \frac{1}{2\pi f_0 R_1 C_{\text{вх}}} = 0,16.$$

Обычно выбирают $R_2 = R_3$ из соображений минимизации ошибок, связанных с собственными входными токами и напряжениями смещения нуля ОУ.

Гиратор (рис. 10.11,е). Эта цепь позволяет осуществить преобразование вида $1/Z$.

Имеем

$$\dot{U}_1 = U_{\text{вх}} \left(1 + \frac{R_2}{R_1} \right) = 2U_{\text{вх}}; \quad (10.94)$$

$$U_2 = -\dot{U}_1 \frac{Z}{2R_2}. \quad (10.95)$$

Подставив в (10.95) значение \dot{U}_1 , полученное из (10.94), найдем

$$\dot{U}_2 = -U_{\text{вх}} \frac{Z}{R_2}. \quad (10.96)$$

Из выражения

$$I_{\text{вх}} = \frac{U_{\text{вх}} - \dot{U}_1}{R_1} + \frac{U_{\text{вх}} - \dot{U}_2}{R_1}, \quad (10.97)$$

используя (10.96), найдем

$$\begin{aligned} \dot{I}_{\text{вх}} &= U_{\text{вх}} \frac{Z}{R_1 R_2}; \\ Z_{\text{вх}} &= \frac{U_{\text{вх}}}{\dot{I}_{\text{вх}}} = \frac{R_1 R_2}{Z}. \end{aligned} \quad (10.98)$$

Произведение $R_1 R_2$ является коэффициентом преобразования (гирации).

Подключив вместо Z в цепи на рис. 10.11,е емкость C , получим эквивалентную индуктивность $L_{\text{в}}$. Имеем

$$Z = 1/j\omega C;$$

$$Z_{\text{вх}} = j\omega C R_1 R_2 = j\omega L_{\text{в}}.$$

Пример. Пусть нужна индуктивность $L = 1$ Гн (!). Имеется $R_1 = R_2 = 10$ кОм. Необходима емкость

$$C = L/R_1 R_2 = 1/10^8 = 10^4 \text{ пФ}.$$

Как видим, с помощью сравнительно небольшой емкости может быть имитирована достаточно большая индуктивность.

10.6. АВТОГЕНЕРАТОР СИНУСОИДАЛЬНЫХ КОЛЕБАНИЙ

Одним из наилучших вариантов автогенератора является схема на основе моста Вина — Робинсона, рассмотренного выше (см. § 10.3). Особенностью этого моста является скачок фазы на резонансной частоте f_0 , т. е. $\left. \frac{d\varphi}{df} \right|_{f=f_0} = \infty$. К сожалению, при $f = f_0 \bmod \left(\frac{\dot{U}_2 - U_1}{U_0} \right) \Big|_{f=f_0} = 0$. Поэтому необходимо отступить от точной балансировки моста и реализовать $\bmod \left(\frac{\dot{U}_2 - U_1}{U_0} \right) \Big|_{f=f_0}$ при до-

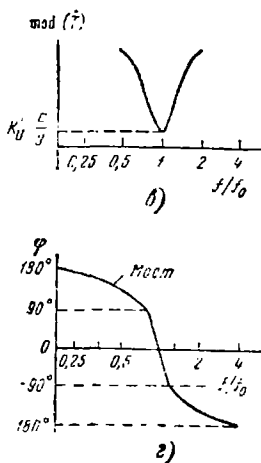
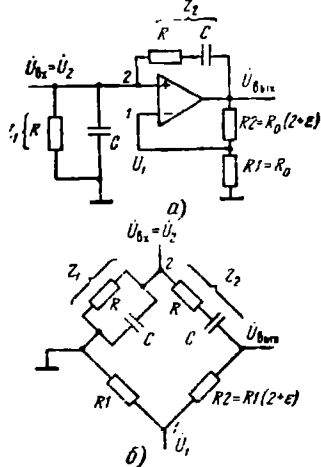


Рис. 10.12. Автогенератор синусоидальных колебаний на основе операционного усилителя:

а — структура; б — расстроенный мост Вина—Робинсона $\epsilon = 1/Q - d > 0$; в — амплитудно-частотная характеристика расстроенного моста Вина—Робинсона; г — фазочастотная характеристика расстроенного моста Вина—Робинсона

статочно высоком, но меньшем бесконечности значении $\left. \frac{d\varphi}{df} \right|_{f=f_0}$.

Безразмерная величина $\epsilon > 0$ расстройки моста — это отклонение отношения R_2/R_1 от значения 2 (рис. 10.12,а). Поэтому

$$K_U^0 = 1 + \frac{R_2}{R_1} = 3 + \epsilon; \quad (10.99)$$

$$K'' = \frac{Z_1}{Z_1 + Z_2} = \frac{j\omega\tau}{(j\omega\tau)^2 + 3(j\omega\tau) + 1}; \quad (10.100)$$

$$K''(P) = \frac{P}{P^2 + 3P + 1}. \quad (10.101)$$

Здесь $d = 1/Q = 3$ — затухание.

Чтобы найти возвратное отношение \bar{r} , запишем отношение $\bar{U}_V = (\dot{U}_2 - \dot{U}_1)/\dot{U}_{\text{вых}}$. Имеем

$$\dot{U}_{\text{вых}} = \dot{U}_2 = \dot{U}'_{\text{вых}} K'';$$

$$\dot{U}_1 = \dot{U}'_{\text{вых}} \frac{1}{3 + \epsilon}.$$

Отсюда

$$\bar{U}_V = \dot{U}'_{\text{вых}} \left[K'' - \frac{1}{3 + \epsilon} \right].$$

Используя (10.100), получаем

$$\frac{U_V}{U'_{\text{ВЫХ}}} = - \frac{1}{3 + \varepsilon} \frac{(j\omega\tau)^2 - \varepsilon(j\omega\tau) + 1}{(j\omega\tau)^2 + 3(j\omega\tau) + 1}. \quad (10.102)$$

Но $\dot{U}_{\text{ВЫХ}} = K'_U \dot{U}_V$, поэтому

$$\dot{T} = \frac{\dot{U}_{\text{ВЫХ}}}{U'_{\text{ВЫХ}}} = K'_U \frac{\dot{U}_V}{U'_{\text{ВЫХ}}} = - \frac{K'_U}{3 + \varepsilon} \frac{(j\omega\tau)^2 - \varepsilon(j\omega\tau) + 1}{(j\omega\tau)^2 + 3(j\omega\tau) + 1}. \quad (10.103)$$

Вблизи резонанса $\omega_0 = \frac{1}{\tau} = \frac{1}{RC}$;

$$\dot{T} = - \frac{K'_U}{3 + \varepsilon} \frac{(j\omega\tau)^2 - \varepsilon(j\omega\tau) + 1}{3(j\omega\tau)}. \quad (10.104)$$

Модуль $\text{mod}(\dot{T})$ и фазовая характеристика такой функции идут тем круче, чем больше добротность $Q = 1/\varepsilon$. На резонансной частоте f_0 (рис. 10.12, в)

$$\dot{T}(f_0) = \frac{K'_U}{3 + \varepsilon} \frac{\varepsilon}{3} \approx K'_U \frac{\varepsilon}{9}, \quad (10.105)$$

причем $\varphi = 0$.

Уравнение фазовой характеристики получается из (10.103) в виде

$$\varphi = 180^\circ - \text{arctg} \frac{\varepsilon(f/f_0)}{1 - (f/f_0)^2} - \text{arctg} \frac{3(f/f_0)}{1 - (f/f_0)^2}. \quad (10.106)$$

Это выражение иллюстрировано на рис. 10.12, г.

В отличие от обычного колебательного контура фазовый угол φ при большой расстройке частоты f относительно f_0 не ограничивается $\pm 90^\circ$, а достигает $\pm 180^\circ$. Это обуславливает хорошее подавление высших гармонических составляющих в спектре генерируемого сигнала.

Условием самовозбуждения при $f = f_0$ является баланс фаз

$$\varphi = 0 \quad (10.107)$$

и баланс амплитуд

$$K'_U \frac{\varepsilon}{9} \geq 1. \quad (10.108)$$

В этом случае колебания нарастают до такой величины, при которой $\text{mod}(\dot{T})$, равный отношению амплитуды первой гармоники на выходе к амплитуде входного синусоидального сигнала, упадет до 1 вследствие нелинейных искажений. Следовательно, стационарный режим автоколебаний принципиально связан с нелинейными искажениями, которые, однако, невелики, если невелик запас выполнения неравенства (10.108).

10.7. МИНИМИЗАЦИЯ ОШИБОК ОПЕРАЦИОННОГО УСИЛИТЕЛЯ

Существуют следующие виды неидеальностей, обуславливающих ошибки ОУ:

статические неидеальности, описываемые неравенствами вида $K'_U \neq \infty$, $R'_{вх} \neq \infty$, $R'_{вых} \neq \infty$ и определяющие отклонения ОУ от его идеальной макромоделли;

инфранизкочастотные шумы — дрейф;

нелинейные искажения, появляющиеся вблизи границ допустимого динамического диапазона входных и выходных сигналов; возможность потери устойчивости, т. е. самовозбуждения ОУ; инерционность ОУ (оцениваемая по его переходным и частотным характеристикам).

Перечисленные ошибки описываются показателями, приводимыми в технических условиях. Эти показатели могут служить исходными данными для макромоделлирования схем, содержащих ОУ. Применение полного набора параметров для расчета показателей схем, использующих ОУ, является задачей машинного моделирования. Достоинством машинных моделей является их сравнительная универсальность, недостатком — громоздкость (часто излишняя с точки зрения получаемых результатов). Качество схем практически оценивается ограниченным числом показателей, зависящих от одной — двух (реже трех) неидеальностей ОУ. Поэтому для инженерных расчетов используют квазиидеальные модели ОУ.

Квазиидеальные модели ОУ учитывают один, два или несколько показателей его неидеальности. Можно говорить о *квазиидеальном* ОУ, т. е. об ОУ с ограниченным числом его отличий от идеальной модели.

Простейшая макромодель с одной неидеальностью. В треугольный контур, обозначающий квазиидеальный ОУ, будем помещать индекс его параметра — показателя неидеальности. Например, на рис. 10.13,а обозначен ОУ, имеющий $K'_U \neq \infty$. Смысл рис. 10.13,а поясняется эквивалентной цепью на рис. 10.13,б с $U_V = U_{вых}/K'_U \neq \infty$. Рассмотрим включение такого ОУ в неинвертирующую цепь (рис. 10.13,в). Считаем входное сопротивление ОУ бесконечно большим. Поэтому $I_1 = I_2$, откуда с учетом $U_{вх} = U_2$, $U_1 = U_{вх} - U_V$ следует

$$\frac{U_{вх} - U_V}{R_1} = \frac{U_{вых} - (U_{вх} - U_V)}{R_2}. \quad (10.109)$$

Равенство (10.109) можно преобразовать к виду

$$U_{вых} \left(1 + \frac{R_2}{R_1} \frac{1}{K'_U} + \frac{1}{K'_U} \right) = U_{вх} \left(1 + \frac{R_2}{R_1} \right). \quad (10.110)$$

Введя коэффициент

$$K_U^* = \frac{R_1}{R_1 + R_2} = \frac{1}{1 + R_2/R_1} \quad (10.111)$$

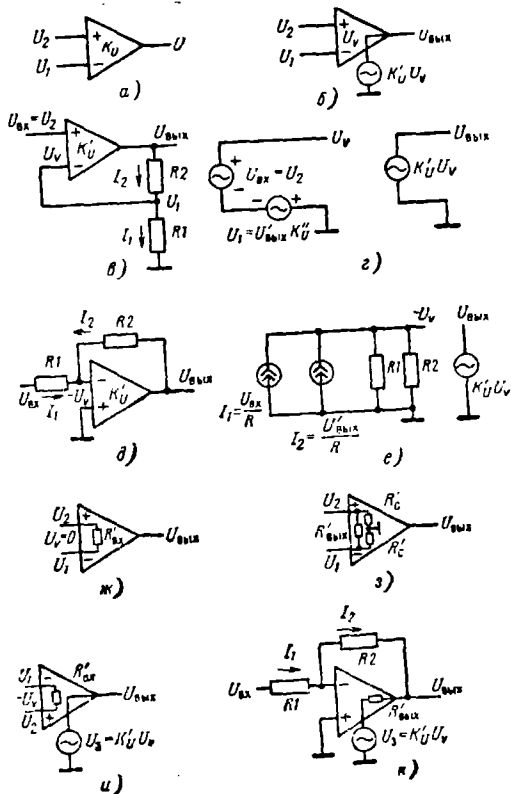


Рис. 10.13. Неидеальности ОУ макро моделирования ОУ с одной и двумя идеальностями:

а — обозначение идеальности $K'_U \neq \infty$; б — макро модель ОУ с $K'_U \neq \infty$; в — неинвертирующее включение ОУ с $K'_U \neq \infty$; г — макро модель неинвертирующего включения ОУ с $K'_U \neq \infty$; д — инвертирующее включение ОУ с $K'_U \neq \infty$; е — макро модель инвертирующего включения с $K'_U \neq \infty$; ж — макро модель с одной идеальностью ($R'_{вх} \neq \infty$); з — макро модель с двумя идеальностями ($R'_C \neq \infty$, $R'_{вх} \neq \infty$); и — макро модель с двумя идеальностями ($K'_U \neq \infty$, $R'_{вх} \neq \infty$); к — макро модель с двумя идеальностями ($K'_U \neq \infty$, $R'_{вх} \neq 0$)

передачи сигнала цепью обратной связи, запишем выражение для усиления

$$K_U = \frac{U_{\text{вых}}}{U_{\text{вх}}} = \frac{1 + (R_2/R_1)}{1 + (1/K'_U)(1 + R_2/R_1)} = \left(1 + \frac{R_2}{R_1}\right) \frac{1}{1 + \frac{1}{K'_U K'_U}} \quad (10.112)$$

Правый сомножитель этого выражения является поправкой, зависящей от неидеальности $K'_{UV} \neq \infty$.

Считая $K'_{UV}K''_{UV} \gg 0$ и обозначив

$$T = -K'_{UV}K''_{UV}, \quad (10.113)$$

запишем (10.112) в виде

$$K_U \approx K_{U_{ид}} \left(1 + \frac{1}{T} \right), \quad (10.114)$$

где

$$K_{U_{ид}} = 1 + \frac{R_2}{R_1}.$$

Пример. Пусть $K'_{UV} = 10^4$, $R_2/R_1 = 9$. Тогда $K_U = 9,99$. Если K'_{UV} возрастет в 2 раза, то усиление K_U составит 9,995, т. е. изменится всего на 0,05%.

Макромодель неинвертирующего включения ОУ с одной неидеальностью приведена на рис. 10.13,г. Эта макромодель состоит из входной и выходной цепей. Во входной цепи действуют зависимый генератор напряжения $U'_{вых}K''_{UV}$ с полярностью, противоположной полярности $U_{вых}$. Алгебраическая сумма входного сигнала и сигнала отрицательной обратной связи — результирующий сигнал $U_{вх} - (-U'_{вых}K''_{UV})$ — усиливается в выходной цепи в K'_{UV} раз. Зависимый генератор $K'_{UV}U_V$ в выходной цепи описывает усилительные свойства квазиидеального ОУ. Генератор напряжения ОС зависит от следующих свойств $U'_{вых}$:

$$U'_{вых} = \begin{cases} U_{вых}, & \text{если ОС включена} \\ 0, & \text{если ОС отключена.} \end{cases}$$

При отключенной ОС усиление K^o_U цепи на рис. 10.13,г составит

$$K^o_U = K'_{UV}. \quad (10.115)$$

Равенство (10.115) свидетельствует о том, что в усилителе на рис. 10.13,г цепь ОС не потребляет мощности.

Простейшая макромодель с одной неидеальностью в инвертирующем включении показана на рис. 10.13,д. Макромодель (рис. 10.13,е) содержит во входной цепи генераторы тока, управляемые входным сигналом и сигналом ОС ($I_1 = U_{вых}/R_1$, $I_2 = U'_{вых}/R_2$ соответственно).

Из рис. 10.13,е видно, что при отключении генератора ОС, т. е. при $U'_{вых} = 0$, будет иметь место выражение

$$K^o_U = \frac{U_{вых}}{U_{вх}} \Big|_{U'_{вых}=0} = - \frac{K'_{UV}}{1 + R_1/R_2}. \quad (10.116)$$

Видно, что $|K^o_U| \leq K'_{UV}$, т. е. цепь ОС потребляет мощность сигнала. При уменьшении до нуля ЭДС входного сигнала можно найти обратное отношение

$$T = \frac{U_{\text{вых}}}{U'_{\text{вых}}} \Big|_{U_{\text{вх}}=0} = K_U^0 K_U^* < 0, \quad (10.117)$$

где

$$K''_{\sigma} = -R_1/R_2. \quad (10.118)$$

Из анализа цепи на рис. 10.13,д или ее эквивалента (рис. 10.13,е) можно получить

$$K_U \approx K_{\sigma \text{ в.д.}} (1 + 1/T), \quad (10.118а)$$

что совпадает с (10.114); при этом

$$K_{\sigma \text{ в.д.}} = -1/K''_{\sigma} = R_2/R_1. \quad (10.119)$$

Из анализа макромодели на рис. 10.13,е следует, что

$$K = \frac{K_U^0}{1 + T}. \quad (10.120)$$

Формула (10.120) справедлива также и для макромодели на рис. 10.13,г.

Функции чувствительности. Эти функции полезны для оценки точностных свойств АИС и структур на их основе.

Условимся называть *функцией чувствительности* величину θ_{v_x} , показывающую, во сколько раз отличается малое относительное изменение функции $\Delta y/y \approx dy/y$ от относительного изменения аргумента $\Delta x/x \approx dx/x$. Имеем

$$\theta_{v_x} = \frac{dy/y}{dx/x} = \frac{x}{y} \frac{dy}{dx}. \quad (10.121)$$

Функцию θ_{v_x} целесообразно использовать для оценки эффективности стабилизирующего действия ООС.

Используя (10.120), вычисляем функцию чувствительности $\theta_{K_U^0}^{K_U}$ для неинвертирующего включения ОУ. Имеем

$$\frac{dK_U}{dK_U^0} = \frac{(1-T) - K_U^0 [d(1-T)/dK_U^0]}{(1-T)^2} = \frac{1-T + K_U^0 (dT/dK_U^0)}{(1-T)^2}. \quad (10.122)$$

Предположив изменение собственного коэффициента усиления единственной причиной нестабильности цепи с ООС, для неинвертирующего усилителя на ОУ с

$$T = - \frac{K_U^0}{1 + (R_2/R_1)} \quad (10.123)$$

будем иметь

$$\begin{aligned} dT/dK_U^0 &= -[1 + R_2/R_1]^{-1}; \\ K_U^0 (dT/dK_U^0) &= -K_U^0 / (1 + R_2/R_1) = T; \\ dK_U/dK_U^0 &= 1/(1-T)^2. \end{aligned}$$

Используя (10.121), для схемы неинвертирующего усилителя на ОУ получаем

$$\theta_{K_U}^{K_U} = \frac{K_U^0}{K_U} \frac{dK_U}{dK_U^0} = \frac{1-T}{(1-T)^2} = \frac{1}{1-T}. \quad (10.124)$$

Пример. Определить требуемый коэффициент усиления неинвертирующего усилителя с разомкнутой петлей ООС, если при замыкании ООС усилитель должен обеспечить коэффициент усиления 60 дБ и чувствительность к изменению усиления не хуже $\theta_{K_U^0}^{K_U} = 4\%$.

Решение. Имеем $\theta_{K_U^0}^{K_U} = 0,04 \approx 1/(-T)$, откуда

$$K = 1000 \approx K_U^0 / (-T), \quad K_U^0 = 1000(-T) = 25\,000.$$

Таким образом, требуемое значение K_U^0 для усилителя с разомкнутой петлей ООС должно быть не менее

$$K_U^0, \text{ дБ} = 20 \log 25\,000 = 20(3 + \log 25) = 20 \cdot 4,4 = 88 \approx K'_U.$$

Для инвертирующей цепи на ОУ из (10.117) и (10.118) получим

$$K_U^0 \frac{dT}{dK_U^0} = K_U^0 \frac{R_1}{R_2} = T; \quad (10.125)$$

$$\theta_{K_U^0}^{K_U} = \frac{1}{1-T}, \quad (10.126)$$

что совпадает с (10.124).

Отметим, что аппарат функций чувствительности является средством анализа любых аналоговых цепей.

Еще одна простейшая макромодель ОУ, содержащая единственную неидеальность вида $R'_{вх} \neq \infty$, представлена на рис. 10.13,ж.

Более точной макромоделью для учета свойств входной цепи (рис. 10.13,з) является макромодель с двумя неидеальностями ($R'_{вх} \neq \infty$, $R'_c \neq \infty$). Составляющая $2R_c$ учитывает синфазную составляющую входного сопротивления. Обычно $2R'_c \gg R'_{вх}$, что позволяет пренебречь R'_c по сравнению с $R'_{вх}$.

Часто используемая макромодель ОУ с двумя неидеальностями вида $R'_{вх} \neq \infty$, $K'_U \neq \infty$ приведена на рис. 10.13,и. Включение этой макромодели в цепь инвертирующего усилителя позволяет уточнить его анализ. Оказывается, что для инвертора-усилителя

$$K_U = -\frac{R_2}{R_1} \frac{1}{1 + \frac{1}{1 + \frac{1}{K'_U K''_U}}}}. \quad (10.127)$$

Поправка $\frac{1}{1 + \frac{1}{K'_U K''_U}}$, связанная с $R'_{вх} \neq \infty$, учитывается в

выражении

$$K_U^* = \frac{1}{1 + (R_2/R_1) + (R_2/R'_{вх})}. \quad (10.128)$$

Ясно, что

$$T = K_U^o K_U^* = - \frac{K_U^*}{1 + (R_2/R_1) + (R_2/R'_{вх})}; \quad (10.129)$$

$$K_U \approx K_{U \text{ ид}} \left(1 + \frac{1}{T} \right);$$

где

$$K_{U \text{ ид}} = -(R_2/R_1),$$

что совпадает с (10.114) и (10.119).

Макромодель ОУ с двумя неидеальностями вида $K'_U \neq \infty$, $R'_{вх} \neq \infty$ приведена на рис. 10.13,к, из которого видно, что

$$I_1 = I_2 = I_3.$$

Поэтому

$$\frac{U_{вх} + U_V}{R_1} = \frac{-U_V - U_{вых}}{R_2} = \frac{U_{вых} - K'_U U_V}{R_{вых}}.$$

Исключив $U_V = U_2 - U_1 = U_{вых}/K'_U$, получим

$$K_U = - \frac{R_2}{R_1} \frac{1}{1 + (1/(K'_U K_U^*))},$$

что совпадает с (10.127). При этом

$$K_U^* = \frac{1}{1 + (R_2/R_1)} \frac{1}{1 + (R'_{вых}/R_2)}. \quad (10.130)$$

Выражения (10.114) и (10.119) по-прежнему справедливы, если

$$T = - \frac{K_U^*}{1 + (R_2/R_1)} \frac{1}{1 + (R'_{вых}/R_2)}. \quad (10.131)$$

При этом

$$R_{вых} = \frac{R'_{вых}}{1 - T}. \quad (10.132)$$

Три неидеальности. Неинвертирующее включение. Макромодель ОУ в неинвертирующей цепи на рис. 10.14,а при $R'_{вх} \gg R_1$ дает

$$U_V = U_{вх} - U_{вых} K''_U; \quad (10.133)$$

$$K_U^* = \frac{R_1}{R_1 + R_2} = \frac{1}{1 + (R_2/R_1)}; \quad (10.134)$$

$$U_{вых} = \frac{K'_U U_V}{1 + [R'_{вых}/(R_0 + R_2)]}. \quad (10.135)$$

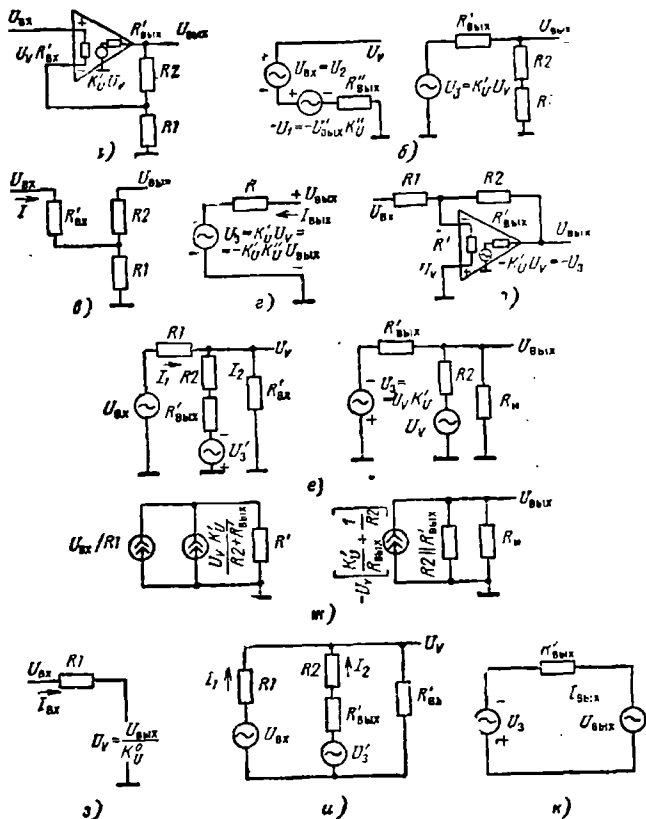


Рис. 10.14. Макромоделирование основных включений операционного усилителя с тремя неидеальностями ($K'U \neq \infty$, $R'_{вх} \neq \infty$, $R''_{вых} \neq 0$).

а — неинвертирующее включение — макромодель; *б* — замена ОС эквивалентным генератором (принято $R''_{вых} \ll R'_{вх}$); *в* — модель входной цепи; *г* — модель выходной цепи; *д* — инвертирующее включение ОУ — макромодель; *е* — замена цепи ОС по входной и выходной цепях макромоделя «*д*» эквивалентными генераторами напряжения; *ж* — замена генераторов напряжения макромодели «*е*» на генераторы тока; *з* — эквивалент входной цепи инвертирующего включения ОУ; *и* — к интерпретации механизма действия ООС в инвертирующем включении ОУ; *к* — модель выходной цепи инвертирующего включения ОУ

Второй член (10.133), вычитающийся из $U_{вх}$, является напряжением ООС. Из (10.135) можно найти

$$U_V = \frac{U_{ВВЫХ}}{K'_U} \left(1 + \frac{R'_{ВВЫХ}}{R_1 + R_2} \right). \quad (10.136)$$

Это выражение при $R'_{ВВЫХ} = 0$ нам хорошо знакомо; при $K'_U = \infty$ напряжение $U_V = 0$.

которую будет иметь эквивалентную модель на рис. 10.14, ж с генераторами тока (здесь обозначено $R' = R_1 \parallel (R_2 + R'_{\text{вых}}) \parallel R_{\text{н}}$). Пользуясь моделью на рис. 10.14, е, нетрудно записать

$$U_V = \frac{U_{\text{вх}}}{R_1} R' - \frac{U_V K'_U}{R_2 + R'_{\text{вых}}} R'. \quad (10.157)$$

Поэтому

$$U_V = U_{\text{вх}} \frac{R'/R_1}{1 + K'_U R'/(R_2 + R'_{\text{вых}})}. \quad (10.158)$$

Из рис. 10.14, ж найдем

$$U_{\text{вых}} = -U_V \left[\frac{K'_U}{R'_{\text{вых}}} + \frac{1}{R_2} \right] [R_2 \parallel R'_{\text{вых}} \parallel R_{\text{н}}], \quad (10.159)$$

т. е.

$$U_{\text{вых}} = -U_{\text{вх}} \frac{\frac{R'}{R_1} \left[\frac{K'_U}{R'_{\text{вых}}} + \frac{1}{R_2} \right] [R_2 \parallel R'_{\text{вых}} \parallel R_{\text{н}}]}{1 + K'_U R'/(R_2 + R'_{\text{вых}})}, \quad (10.160)$$

откуда $K_U = U_{\text{вых}}/U_{\text{вх}}$ окажется равным

$$K_U = -\frac{R_2}{R_1} \frac{1 + \frac{R'_{\text{вых}}}{R_2 K'_U}}{1 + \frac{R'_{\text{вых}}}{R_2}} \frac{1}{1 + R'_{\text{вых}} \left(\frac{1}{R_2} + \frac{1}{R_{\text{н}}} \right)} \frac{1}{1 + \frac{R_2 + R'_{\text{вых}}}{K'_U R'}}. \quad (10.161)$$

Из модели на рис. 10.14, е можно получить

$$K_U^0 = \frac{U_{\text{вых}}}{U_{\text{вх}}} \Big|_{U'_3=0} = \frac{-K'_U}{1 + \frac{R_1}{R_2 + R'_{\text{вых}}} + \frac{R_1}{R'_{\text{н}}}} \frac{1 + \frac{R'_{\text{вых}}}{R_2}}{1 + \frac{R'_{\text{вых}}}{R_2 \parallel R_{\text{н}}}} < 0; \quad (10.162)$$

$$T = \frac{U_{\text{вых}}}{U'_3} \Big|_{U_{\text{вх}}=0} = K_U^0 K_U, \quad (10.163)$$

где

$$K''_U = R_1/(R_2 + R'_{\text{вых}}). \quad (10.163a)$$

Сопоставив (10.161) — (10.163a), нетрудно убедиться, что основное соотношение

$$K_U = K_U^0/(1-T)$$

выполняется.

Входное сопротивление неидеального ОУ в инвертирующем включении определим, рассмотрев модель входной цепи ОУ без ОС (рис. 10.14,з). Из этой модели

$$U_{вх} = I_{вх}R_1 + U_v. \quad (10.164)$$

Анализируя цепь на рис. 10.14,и, можно доказать справедливость формулы

$$U_v = U_{вых}/K^{\circ}_U \quad (10.165)$$

(с учетом того, что $K^{\circ}_U < 0$).

Используя (10.164) и (10.165), найдем

$$U_{вх} - U_{вых}/K^{\circ}_U = I_{вх}R_1, \quad (10.166)$$

откуда

$$U_{вх} - (U_{вх}K_U/K^{\circ}_U) = I_{вх}R_1. \quad (10.167)$$

Введя $R_{вх} = U_{вх}/I_{вх}$, из (10.167) найдем

$$R_{вх} \left[1 - \frac{K_U}{(1-T)K^{\circ}_U} \right] = R_1, \quad (10.168)$$

откуда

$$R_{вх} \frac{-T}{1-T} = R_1, \quad (10.169)$$

т. е.

$$R_{вх} = R_1(1+1/-T). \quad (10.170)$$

Показатель $R'_{вх}$ в (10.170) входит в выражение для поправки $-1/T$, слабо влияющей на величину $R_{вх}$.

Физическая интерпретация коэффициента обратной передачи и возвратного отношения. В цепи на рис. 10.14,и примем $R'_{вх} = \infty$, $U_v = 0$. Тогда $I_1 + I_2 = 0$.

Под генератором U'_3 в цепи на рис. 10.14,и подразумеваем внешнюю ЭДС, действие которой обусловит зависимую ЭДС $U_{вх}$. Значение $U_{вх}$ при этом должно быть пропорционально U'_3 так, что условие $I_1 + I_2 = 0$ сохранится при любых U'_3 . Поэтому коэффициент пропорциональности $\left. \frac{U_{вх}}{U'_3} \right|_{I_1+I_2=0}$ и будет являться K''_U . Имеем

$$K''_U = \left. \frac{U_{вх}}{U'_3} \right|_{I_1+I_2=0}. \quad (10.171)$$

Из рис. 10.14,е получим

$$U_{вх}/R_1 = U'_3/(R_2 + R'_{вых}),$$

поэтому

$$K''_U = R_1/(R_2 + R'_{вых}), \quad (10.172)$$

что совпадает с ранее полученным выражением (10.163а).

Для интерпретации T будем считать, что внешний источник сигнала $U_{\text{вых}}$ приложен к выходу цепи на рис. 10.14,ж, а ЭДС $U_{\text{вх}}=0$. Под действием внешней силы $U_{\text{вых}}$ начинает работать зависимый генератор U_3 , включенный последовательно с $U_{\text{вых}}$ (рис. 10.14,к).

Величина и знак U_3 , очевидно, будут определяться соотношением

$$U_3 = U_{\text{вых}} K^{\circ} U K'' U = U_{\text{вых}} T,$$

т. е.

$$T = \frac{U_3}{U_{\text{вых}}} \Big|_{U_{\text{вх}}=0}.$$

Возвратное отношение в схеме на рис. 10.14,д имеет отрицательный знак, так как в этой схеме $K^{\circ} U < 0$.

Выходное сопротивление. Используя модель выходной цепи на рис. 10.14,к и учитывая полярности источников U_3 , $U_{\text{вых}}$, получим

$$U_{\text{вых}} - U_3 = I_{\text{вых}} R'_{\text{вых}} = U_{\text{вых}} (1 - T).$$

Введя $R_{\text{вых}} = U_{\text{вых}} / I_{\text{вых}}$, найдем

$$R_{\text{вых}} = R'_{\text{вых}} / (1 - T). \quad (10.173)$$

Таблица показателей двух основных включений ОУ с тремя неидеальностями. Результаты этого параграфа систематизированы в табл. 10.4 и 10.5.

Точностные свойства ОУ можно оценить, используя его модель, содержащую источники ошибок — ЭДС V_0 результирующего напряжения смещения нуля, приведенного к входу ОУ, и входные токи I_1 и I_2 . Величина V_0 называется *напряжением смещения нуля* ОУ. Этот параметр зависит от изменения температуры Δt .

Вычислим приращение напряжения $U_{\text{вых}}$ при температурных изменениях ЭДС V_0 и источников токов I_1 и I_2 .

Имеем

$$V_0 = V'_0 + V_t \Delta t, \quad (10.174)$$

где V'_0 — напряжение смещения нуля при $t_0 = +25^\circ \text{C}$; $\Delta t = t - t_0$; $V_t = dV_0/dt$ — средний температурный коэффициент.

Из рис. 10.15,а нетрудно найти

$$(I_1 + I_3) R_1 = I_2 R_2 + V_0;$$

$$(I_1 + I_3) R_1 + I_3 R_3 = U_{\text{вых}},$$

откуда $U_{\text{вых}} = V_0 (1 + R_3/R_1) + I_2 R_2 (1 + R_3/R_1) - I_1 R_3$.

Поскольку $I_2 \approx I_1$, сопротивления резисторов выбирают так, чтобы обеспечить $R_2 (1 + R_3/R_1) = R_3$, т. е.

$$R_2 = R_1 R_3 / (R_1 + R_3) = R_1 \parallel R_3.$$

При этом $U_{\text{вых}} = V_0 (1 + R_3/R_1) + I_0 R_3$, где I_0 является *разностью входных токов*, показателем неидеальности ОУ:

$$I_0 = I_2 - I_1.$$

Параметр	Степень приближения		Выражение для идеального ОУ
	Точное выражение	Приближенное выражение	
Напряжение виртуального нуля U_V	$U_V = \frac{U_{\text{ВЫХ}} \left(1 + \frac{R'_{\text{ВЫХ}}}{R_1 + R_2} \right)}{K'_U}$	$U_V = \frac{U_{\text{ВЫХ}}}{K'_U}$	$U_V = 0$
Коэффициент усиления с закороченным генератором ООС, K°_U	$K^{\circ}_U = \frac{1}{1 + \frac{1}{R_{\text{ВХ}}/R_1 + R'_{\text{ВХ}}/R_2}} \times \frac{K'_U}{1 + \frac{R'_{\text{ВЫХ}}}{R_1 + R_2}}$	$K^{\circ}_U = \frac{K'_U}{1 + R'_{\text{ВЫХ}}/(R_1 + R_2)}$	$K^{\circ}_U = K'_U = \infty$
Коэффициент обратной передачи напряжений K''_U	$K''_U = \frac{1}{1 + R_2/(1/R_1 + 1/R'_{\text{ВХ}})}$	$K''_U = \frac{1}{1 + R_2/R_1}$	$K''_U = \frac{1}{1 + R_2/R_1}$
Возвратное отношение T	$T = -K^{\circ}_U K''_U$	$T = -\frac{K'_U}{1 + (R_2 + R'_{\text{ВЫХ}})/R_1}$	$T = -\infty$
Усиление с включенной ООС, K_U	$K_U = \frac{K'_U}{1 + R_2/R_1} = \frac{1}{1 + \frac{1}{K'_U} \left[\frac{R_2 + R'_{\text{ВЫХ}}}{R_1} + 1 \right]}$	$K_U = \frac{1 + R_2/R_1}{1 + \frac{1}{K'_U} \left[\frac{R_2}{R_1} + 1 \right]}$	$K_U = 1 + \frac{R_2}{R_1}$
Входное сопротивление $R_{\text{ВХ}}$	$R_{\text{ВХ}} = R'_{\text{ВХ}}(1 - T)$	$R_{\text{ВХ}} = R'_{\text{ВХ}} \frac{K'_U}{1 + R_2/R_1}$	$R_{\text{ВХ}} = \infty$
Выходное сопротивление $R_{\text{ВЫХ}}$	$R_{\text{ВЫХ}} = R'_{\text{ВЫХ}}/(1 - T)$	$R_{\text{ВЫХ}} = \frac{R'_{\text{ВЫХ}} \left(1 + \frac{R_1}{R_1} \right)}{K'_U}$	$R_{\text{ВЫХ}} = 0$

Таблица 10.5

Показатели инвертирующего включения ОУ

Параметр	Степень приближения		
	Точное выражение	Приближенное выражение	Выражение для идеального ОУ
Напряжение виртуального нуля U_V	$U_V = - \frac{U_{\text{ВЫХ}} \left(\frac{1}{R_2} + \frac{1}{R_{\text{ВЫХ}}} + \frac{1}{R_H} \right)}{K'_U \left(\frac{1}{R'_{\text{ВЫХ}}} + \frac{1}{K'_U R_2} \right)}$	$U_V = - \frac{U_{\text{ВЫХ}}}{K'_U}$	$U_V = 0$
Коэффициент усиления с закороченным генератором ООС K^0_U	$K^0_U = \frac{-K'_U}{1 + \frac{R_1}{R_2 + R'_{\text{ВЫХ}}} + \frac{R_1}{R'_{\text{ВХ}}}} \times \frac{1 + R'_{\text{ВЫХ}}/R_2}{1 + R'_{\text{ВЫХ}} \left(\frac{1}{R_2} + \frac{1}{R_H} \right)}$	$K^0_U = \frac{-K'_U}{1 + R_1/(R_2 + R'_{\text{ВЫХ}})}$	$K^0_U = \frac{-K'_U}{1 + R_1/R_2} = -\infty$
Коэффициент обратной передачи напряжения K''_U	$K''_U = \frac{R_1}{R_2(1 + R_{\text{ВЫХ}}/R_2)}$	$K''_U = \frac{R_1}{R_2}$	$K''_U = \frac{R_1}{R_2}$
Возвратное отношение T	$T = K^0_U K''_U$	$T = - \frac{K'_U}{1 + R_2/R_1}$	$T = -\infty$
Усиление с включенной ООС K_U	$K_U = - \frac{R_2}{R_1} \frac{1 + (R'_{\text{ВЫХ}}/K'_U R_2)}{1 + \frac{R'_{\text{ВЫХ}}}{R_2}} \times \frac{1}{1 + R'_{\text{ВЫХ}} \left(\frac{1}{R_2} + \frac{1}{R_H} \right)} \times \frac{1 + \frac{1}{K'_U} \left(1 + \frac{R_2 + R_{\text{ВЫХ}}}{R'_{\text{ВХ}}} + \frac{R_2 + R'_{\text{ВЫХ}}}{R_1} \right)}$	$K_U = - \frac{R_2}{R_1} \times \frac{1}{1 + \frac{1 + R_2/R_1}{K'_U}}$	$K_U = - \frac{R_2}{R_1}$
Входное сопротивление $R_{\text{ВХ}}$	$R_{\text{ВХ}} = R_1 (1 + 1/T)$	$R_{\text{ВХ}} = R_1 + \frac{R_1 + R_2}{K'_U}$	$R_{\text{ВХ}} = R_1$
Выходное сопротивление $R_{\text{ВЫХ}}$	$R_{\text{ВЫХ}} = R'_{\text{ВЫХ}} / (1 - T)$	$R_{\text{ВЫХ}} = \frac{R'_{\text{ВЫХ}}}{R'_{\text{ВЫХ}} (1 + R_2/R_1) + K'_U}$	$R_{\text{ВЫХ}} = 0$

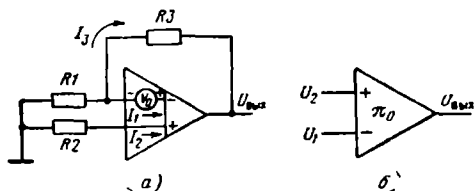


Рис. 10.15. К оценке точностных свойств операционного усилителя:
 а — модель для анализа точностных свойств ОУ; б — обозначение квазиидеального ОУ с $K_{ООС} = \pi_0 \neq \infty$

Представим эту разность в виде

$$I_0 = I'_0 + I_t \Delta t, \quad (10.175)$$

где I'_0 — значение разности $I_2 - I_1$ при температуре $t_0 = +25^\circ \text{C}$; $\Delta t = t - t_0$; $I_t = \Delta I_0 / \Delta t$ — температурный коэффициент.

Сделав такие предположения, нетрудно получить выражение для приращения выходного напряжения $\Delta U_{\text{вых}}$ при изменении Δt :

$$\Delta U_{\text{вых}} = -V_t \Delta t (K_U - 1) + I_t R_3 \Delta t. \quad (10.176)$$

Пример. Определить сдвиг нуля на выходе ОУ 153УД2 в схеме инвертирующего усилителя при $R1 = 1 \text{ кОм}$, $R3 = 50 \text{ кОм}$, $R_2 = R_1 \parallel R_3$, $V'_0 = 4 \text{ мВ}$, $V_t = -3 \text{ мкВ/}^\circ\text{C}$, $I_t = 0,015 \text{ нА/}^\circ\text{C}$, $\Delta t = t - t_0 = 20^\circ \text{C}$.

Решение. Имеем $K_U = -R_3/R_1 = -50$, тогда $\Delta U_{\text{вых}} = -3 \cdot 20 \cdot (-51) + 0,015 \times 20 \cdot 50 \approx 3,1 \text{ мВ}$.

Приведенная ко входу абсолютная величина сдвига нуля инвертирующего включения составит

$$|\Delta U_{t \text{ вх}}| \approx V_t + I_t R_1. \quad (10.177)$$

Для рассматриваемого ОУ 153УД2 (табл. 10.6)

$$|\Delta U_{t \text{ вх}}| = 3 \cdot 10^{-6} + 0,015 \cdot 10^{-9} \cdot 10^3 = 3,01 \text{ мкВ/}^\circ\text{C}.$$

Входное напряжение V'_0 смещения нуля (при комнатной температуре t_0) в выражение (10.177) для сдвига нуля не входит; величина V'_0 может быть уравновешена внешней цепью балансировки ОУ. Один из вариантов подключения такой цепи показан на рис. 9.15,а.

Интерпретация коэффициента ослабления синфазного сигнала (КОСС) как меры симметрии входов ОУ. Чтобы дать еще одну интерпретацию КОСС, рассмотрим ОУ, имеющий $\text{КОСС} = \pi_0$. Неидеальность ОУ, символизируемая в этом случае значком π_0 внутри контура ОУ, может, как это будет видно из дальнейшего, характеризовать меру несимметрии ОУ по двум его входам. Предположив, что коэффициенты передачи ОУ по входам U_2 и U_1 равны K_2 и K_1 , видоизменим выражение (9.1), придав ему вид

$$U_{\text{вых}} = K_2 U_2 - K_1 U_1. \quad (10.178)$$

Таблица 10.6
 Параметры ОУ 153УД2

Группы параметров	Параметр	Значение			Примечание, режим измерения при приемо-сдаточных испытаниях
		минимальное	типичное	максимальное	
НЧ усилительные и интерфейсные (без ОС)	Коэффициент усиления, K'_{L} , тыс.	50 25	150 100	—	$t_0 = 25^\circ \text{C}$, $U_{\text{вых}} = \pm 10 \text{ В}$, $R_{\text{н}} = 2 \text{ кОм}$, $t = -60 \dots + 125^\circ \text{C}$, $U_{\text{вых}} = \pm 10 \text{ В}$, $R_{\text{н}} = 2 \text{ кОм}$, $t_0 = 25^\circ \text{C}$.
	Входное сопротивление $R'_{\text{вх}}$, кОм Выходное сопротивление $R'_{\text{вых}}$, Ом	300 —	800 —	— 50	
Точностные	Входное напряжение смещения нуля V'_0 , мВ	— —	2 4	5 6	$t_0 = 25^\circ \text{C}$, $R_{\text{н}} = 10 \text{ кОм}$, $t = -60 \dots + 125^\circ \text{C}$, $R_{\text{п}} = 10 \text{ кОм}$, Гарантируется* в зоне $t = -60 \dots + 125^\circ \text{C}$
	Средний температурный коэффициент смещения нуля V'_t , мкВ/°C	—	6	—	
	Входной ток $I_{\text{вх}}$, пА	—	200	500	$t_0 = 25^\circ \text{C}$,
	$I_{\text{вх}} = \frac{I_1 + I_2}{2}$	—	300	1500	$t = -60 \dots + 125^\circ \text{C}$
	Разность входных токов I'_0 , нА	—	50 100	200 500	$t_0 = 25^\circ \text{C}$, $t = -60 \dots + 125^\circ \text{C}$ $U_{\text{вх.с}} = \pm 12 \text{ В}$, $R_1 \leq 10 \text{ кОм}$, $t_0 = 25^\circ \text{C}$.
	Кoeffициент ослабления синфазного входного сигнала КОСС, дБ	70	86	—	
	Максимальное выходное напряжение U_{max} , В	± 11 ± 10	$\pm 12,5$ ± 12	— —	$t_0 = 25^\circ \text{C}$, $R_{\text{п}} = 2 \text{ кОм}$, $t = -60 \dots + 125^\circ \text{C}$, $R_{\text{п}} = 2 \text{ кОм}$.
Динамические	Максимальные входные напряжения, В	Синфазное $\pm U_c$	—	—	Гарантируется*
		Дифференциальное $\pm 2U_d$	—	—	
Энергетические	Рабочий диапазон питающих напряжений $\pm E_{1,2} = E_2 - E_1$, В Ток, потребляемый ОУ по цепи питания I_{max} , мА	—	—	± 20	Гарантируется*
		—	1,6 2	3 4	

* Гарантируемые параметры при приемо-сдаточных испытаниях ИС не проверяются. Измерение этих параметров осуществляется при конструкторских или периодических испытаниях путем выборочного контроля ИС.

Формула (10.178) при $K_2 = K_1 = K'_U$ переходит в (9.1). В рассматриваемом же случае коэффициенты усиления K_2 и K_1 близки, но не равны друг другу:

$$K_2 = K'_U + \Delta K; \quad K_1 = K'_U - \Delta K,$$

где

$$K'_U = (K_1 + K_2)/2; \quad \Delta K = (K_2 - K_1)/2.$$

Если $U_2 = U_1 = U_c$, сигнал является синфазным, а синфазное выходное напряжение

$$U_{\text{вых.с}} = U_{\text{вых.с}}(K_2 + K_1)U_c = 2\Delta K U_c.$$

В случае $U_2 = -U_1 = -U_d$ сигнал является дифференциальным; при этом напряжение на выходе

$$U_{\text{вых.д}} = U_{\text{вых.д}}(K_2 - K_1)U_d = 2K'_U U_d. \quad (10.179)$$

Коэффициент ослабления синфазного сигнала КОСС показывает, во сколько раз (по модулю) усиление $K_2 = U_{\text{вых.д}}/U_d$ больше усиления $K_c = U_{\text{вых.с}}/U_c$.

Иными словами, КОСС тем больше, чем меньше отношение $\Delta K/K'_U$:

$$\text{КОСС} = \pi_0 = \left| \frac{K_d}{K_c} \right| = \frac{U_{\text{вых.д}}}{U_{\text{вых.с}}} = \frac{K_1 + K_2}{K_2 - K_1} = \frac{K'_U}{\Delta K}. \quad (10.180)$$

Пример. Для ОУ 153УД2 типовое значение КОСС составляет 86 дБ. Найдем $\Delta K = (K_2 - K_1)/2$.

Решение. Считая, что π_0 , дБ = $20 \log(K'_U/\Delta K)$, будем иметь

$$\log(K'_U/\Delta K) = \pi_0/20 = 4,3.$$

Отсюда

$$(K'_U/\Delta K) = 10^{4,3} \approx 2 \cdot 10^4.$$

Положив $K'_U = 10^5$, получим

$$\Delta K = K'_U/(2 \cdot 10^4) = \frac{10^5}{2 \cdot 10^4} = 5.$$

Динамические свойства ОУ можно описать следующими параметрами: $\pm U_{\text{вых.мах}}$ — максимальные (по модулю) значения выходных напряжений; $\pm U_{\text{вх.мах}}$ — максимальные входные напряжения. При этом значения $\pm U_{\text{вх.мах}}$ зависят от полярностей напряжений, подаваемых на входы ДК ОУ. Если эти полярности одного знака, то $\pm U_{\text{вх.мах}} = \pm U_c$, т. е. входные сигналы синфазны. При разных знаках приращений входных напряжений последние образуют дифференциальный входной сигнал $\pm 2U_d$.

У современных ОУ допустимое значение $2U_d > U_c$, что обеспечивается специальной схемой защиты (см., например, рис. 9.15, в).

Возможность самовозбуждения, т. е. потери устойчивости усилителя, обусловлена существованием диапазона частот, в кото-

ром функция $T(\omega) = (\text{mod } T)e^{j\varphi_T}$ имеет следующие совместные значения величин фазового сдвига и модуля:

$$\left. \begin{aligned} \varphi_T &= \pm 2\pi n \quad (n = 0, 1, 2, \dots); \\ \text{mod}(T) &\geq 1. \end{aligned} \right\} \quad (10.181)$$

За исключением специального случая полной внутренней частотной коррекции (рассмотренного ниже), ОУ выпускаются *потенциально неустойчивыми*. Отрицательная обратная связь позволяет обеспечить устойчивость ОУ лишь в том случае, если функция

$$K = K^0 / (1 - T) \quad (10.182)$$

не имеет полюсов в правой полуплоскости с полярными координатами $\text{mod}(K)$, φ_K (критерий Найквиста). Выполнение критерия Найквиста и равноценной ему системы неравенств обозначает, что усилитель устойчив тогда, когда при всех $\varphi_T = \pm 2\pi n$ ($n = 0, 1, 2, \dots$) справедливо неравенство $[\text{mod}(T)]$, дБ = $20 \log X \times [\text{mod}(T)] < 0$.

Пример. Пусть собственный коэффициент K'_U усиления ОУ составляет на частоте $f=0$ величину $K'_U (f \approx 0)$.

Из-за неидеальности каскадов ОУ имеет три точки излома: f_1, f_2, f_3 .

Используется инвертирующий вход ОУ без цепи ОУ, поэтому

$$K_U = \frac{-K'_U (f=0)}{\left[1 + j\left(\frac{f}{f_1}\right)\right] \left[1 + j\left(\frac{f}{f_2}\right)\right] \left[1 + j\left(\frac{f}{f_3}\right)\right]} \quad (10.183)$$

На рис. 10.16,а приведена асимптотическая диаграмма этого выражения, из которого видно, что $\text{mod}(K_U) = 1$, т. е. составляет 0 дБ при $f = f_M > f_3$. Если полюсы независимы, т. е.

$$f_1 \ll f_2 \ll f_3,$$

то на частоте $f_M > f_3$

$$\varphi < -180^\circ - 90^\circ - 90^\circ - 45^\circ = -2\pi - 45^\circ.$$

Отсюда следует, что имеется область, в которой $\text{mod}(K_U) > 1$ и $\varphi \leq 2\pi$. В окрестности $\varphi = 2\pi l$ для самовозбуждения усилителя достаточно небольшого «просачивания» сигнала с выхода на вход. Таким образом, усилитель является потенциально неустойчивым. Для коррекции, т. е. уменьшения или ликвидации этой потенциальной неустойчивости, можно использовать:

включение фильтров, видоизменяющих частотно-фазовую характеристику цепи с ОУ;

отрицательную обратную связь.

Включение фильтров позволяет сохранить большую величину $\text{mod}(K_U)$ на низких частотах, но изменить форму характеристик так, чтобы в окрестности частоты, соответствующей $\text{mod}(K_U)$, близкому к 0 дБ, дополнительный фазовый угол был бы допустимым. Например, можно потребовать, чтобы при $\text{mod}(K_U) \geq \geq 0$ дБ усилитель был однополюсным устройством. При этом раз-

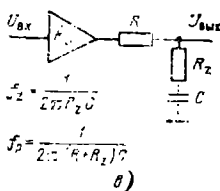
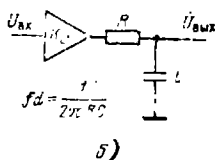
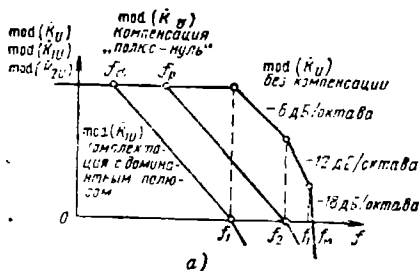


Рис. 10.16. Компенсация неустойчивости операционного усилителя: а — варианты компенсации — асимптотические диаграммы; б — подключение к ОУ фильтра-компенсатора с доминантным полюсом f_d ; в — подключение к ОУ фильтра-компенсатора «полюс — нуль»

личают два случая частотной коррекции (компенсации неустойчивости) усилителя: компенсацию с доминантным полюсом и компенсацию «полюс — нуль».

Компенсация (коррекция) с доминантным полюсом. На рис. 10.16,б к усилителю, имеющему K'_U согласно (10.183), присоединен фильтр, имеющий

$$K_{\Phi 1} = \frac{1}{1 + j(f/f_d)},$$

где $f_d = 1/2\pi RC$ — частота доминантного полюса.

Таким образом, результирующий коэффициент усиления составит

$$K_{1U} = K_U K_{\Phi 1} = \frac{-K'_U}{[1 + j(f/f_d)] [1 + j(f/f_2)] [1 + j(f/f_3)] [1 - j(f/f_3)]}. \quad (10.184)$$

Частоту доминантного полюса выбирают такой, чтобы в точке $f=f_1$ имело место равенство $\text{mod}(K_{1U})=0$. При этом $f_d \ll f_1$ и в рабочей области, где $\text{mod}(K_{1U}) \geq 1$, усилитель является однополюсным, т. е. соответствует выражению

$$K_{1U} \approx -\frac{K'_U}{1 + (jf/f_d)}. \quad (10.184a)$$

В случае однополюсной характеристики усилитель потенциально устойчив, т. е. неустойчивость является скомпенсированной.

Про такую частотную коррекцию говорят, что она является *полной*.

Компенсация «полюс — нуль» связана с добавлением «лишнего» нуля в числитель выражения (10.183) и ликвидацией первого полюса f_1 с помощью этого нуля. Частотная характеристика видоизменяется с таким расчетом, чтобы на частоте f_2 второго полюса результирующая функция $K_{2U} = K_U K_{\Phi 2}$ пересекла ось ординат, т. е. соответствовала бы 0 дБ.

Из рис. 10.16, б имеем

$$K_{2U} = K_U K_{\Phi 2};$$

$$K_{\Phi 2} = \frac{1 + (jf/f_2)}{1 + (jf/f_p)}, \quad (10.185)$$

где

$$f_2 = \frac{1}{2\pi R_2 C}; \quad (10.186)$$

$$f_p = \frac{1}{2\pi (R + R_2) C}.$$

Положив $f_2 = f_1$, получим

$$K_{2U} = \frac{-K'_U}{\left(1 + j \frac{f}{f_p}\right) \left(1 + j \frac{f}{f_2}\right) \left(1 + j \frac{f}{f_3}\right)}. \quad (10.187)$$

Частота f_p выбирается так, чтобы при $f = f_2 \bmod (K_{2U}) = 0$ дБ. При этом усилитель в рабочей области превращается в однополюсное устройство (рис. 10.16, а). Такая компенсация (коррекция) также является *полной*. Иными словами, в рабочей области

$$K_{2U} = \frac{-K'_U}{1 + j \frac{f}{f_p}}.$$

Пример. При $f_3 \gg f_2$ и $f = f_2$ имеем

$$K_{2U} = \frac{-K'_U}{\left(1 + j \frac{f}{f_p}\right) (1 + j)} \approx \frac{-K'_U f_p}{\sqrt{2} f_2} e^{-j135} = -1 \cdot e^{-j135},$$

откуда из равенства $1 = \frac{K'_U}{\sqrt{2}} \frac{f_p}{f_2}$ получим $f_p = \frac{\sqrt{2} f_2}{K'_U}$.

Считая R_1 заданным, из (10.186) найдем

$$C = \frac{\frac{K'_U}{2\pi f_2 \sqrt{2}} - \frac{1}{2\pi f_1}}{R_1};$$

$$R_2 = \frac{1}{2\pi f_1 C}.$$

Отрицательная обратная связь в усилителе с полной частотной коррекцией. Вспомним выражение для коэффициента усиления модели ОУ с $K'_U \neq \infty$ в двух основных включениях: в неинвертирующем:

$$K_U = \frac{1 + \frac{R_2}{R_1}}{1 + \frac{R_2}{R_1 K'_U}};$$

в инвертирующем:

$$K_U = -\frac{R_2}{R_1} \frac{1}{1 + \frac{R_2}{R_1 K'_U}}.$$

Заменяв в этих выражениях K_U на K_U , K'_U на

$$K'_U = \frac{K'_U}{1 + j \frac{f}{f_0}},$$

где f_0 — точка излома однополюсного усилителя с полной коррекцией, получим для неинвертирующего усилителя

$$\frac{K_U}{1 + \frac{R_2}{R_1}} = \frac{1}{1 + j \frac{f}{f_0}}, \quad (10.188)$$

где

$$f_0 = f_0 \frac{K'_U}{1 + \frac{R_2}{R_1}}. \quad (10.189)$$

При $R_2=0$, $R_1=\infty$ (повторитель) имеем

$$f_0 = f_0 K'_U. \quad (10.190)$$

Аналогично для неинвертирующего включения при $K'_U \gg \frac{R_1}{R_2} \gg \gg 1$ получим

$$\frac{K_U}{-\frac{R_2}{R_1}} = \frac{1}{1 + j \frac{f}{f_0}}, \quad (10.191)$$

где

$$f_0 = f_0 \frac{K'_U}{R_2/R_1}. \quad (10.192)$$

Скорость нарастания выходного сигнала, указываемая в технических условиях на ОУ, обычно измеряется в схеме повторителя. Она определяется как

$$\rho = \left(\frac{du_{\text{вых}}(t)}{dt} \right)_{\text{max}} \quad (10.193)$$

при условии подачи единичного ступенчатого сигнала на вход повторителя. В этом случае

$$u_{\text{вых}}(t) = K'_U [1 - e^{-(t/\tau)}],$$

где $\tau = 2\pi f_0 K'_U$.

Отсюда

$$\rho = \frac{K'_U}{\tau} e^{-t/\tau} \Big|_{t=0} = 2\pi f_0 K'_U. \quad (10.194)$$

Если f_0 , кГц; K'_U , тыс. ед., получим ρ , В/мкс.

Пример. При $f_0 = 0,01$ кГц, $K'_U = 10^4$

$$\rho = 2\pi f_0 K'_U = 2\pi \cdot 0,01 \cdot 10^4 = 0,63 \text{ В/мкс.}$$

Фазовый запас. Обратившись к трехполосной системе, описываемой выражением (10.183) при $f_1 = 100$ кГц, $f_2 = 1$ МГц, $f_3 = 10$ МГц, $K'_U = 10^5$, т. е. 100 дБ, получим

$$K_U = \frac{-10^5}{\left(1 + j \frac{f}{10^5}\right) \left(1 + j \frac{f}{10^6}\right) \left(1 + j \frac{f}{10^7}\right)}. \quad (10.195)$$

Асимптотические диаграммы для модуля $\text{mod}(K_U)$ и фазового угла φ этого выражения приведены на рис. 10.17. Из диаграммы видно, что на частоте 4 МГц фазовый сдвиг составляет -2π , а усиление $\text{mod}(K_U) = 60$ дБ. Следовательно, усилитель обладает потенциальной неустойчивостью (нестабильностью). Цель компенсации этой неустойчивости может быть выполнена

в виде обратной связи так, чтобы при $\varphi = -2\pi$ модуль возвратного отношения составил $\text{mod}(T) < 1$. С помощью ОС можно сделать $\text{mod}(T) = 1$ на частоте, меньшей 4 МГц. В этом случае при $\text{mod}(T) = 1$ фазовый угол будет меньше -2π . Абсолютную величину разницы между -2π и фазовым сдвигом при $\text{mod}(T) = 1$ называют *фазовым запасом*. Чаще всего фазовый запас выбирают рав-

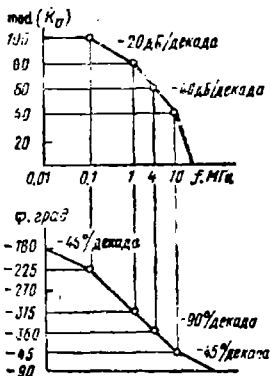


Рис. 10.17. Асимптотические диаграммы выражения

$$K_U = - \frac{10^5}{\left(1 + j \frac{f}{10^5}\right) \left(1 + j \frac{f}{10^6}\right) \left(1 + j \frac{f}{10^7}\right)}$$

ным 45° , реализуя тем самым компромисс между усилением схемы и ее устойчивостью. Таким образом, для рассматриваемого усилителя необходимо так спроектировать цепь ОС, чтобы $\text{mod}(T) = 1$ при фазовом угле $\varphi = -315^\circ$. Из рис. 10.17 видно, что такой фазовый сдвиг соответствует частоте 1 МГц.

КОНТРОЛЬНЫЕ ВОПРОСЫ И УПРАЖНЕНИЯ

1. Охарактеризуйте два основных включения ОУ (типы ОС, методики вычисления K_U , K°_U , K''_U , T , $R_{вх}$, $R_{вых}$, значения двух показателей).
2. Какие применения ОУ Вы знаете (линейные, нелинейные, инерционные цепи)?
3. Нарисуйте асимптотические диаграммы НЧ-, ВЧ- и полосовых фильтров. Что такое дуальность фильтровых звеньев?
4. Что такое затухание и добротность полосового фильтра и как эти показатели влияют на его функцию цепи?
5. Каковы свойства и варианты использования сбалансированного и расстроенного моста Вина — Робинсона?
6. Нарисуйте структуры простейших активных RC-фильтров и опишите их.
7. Охарактеризуйте фильтры критического затухания, Баттерворта, Бесселя, Чебышева.
8. Нарисуйте прототипные структуры Саллена и Кея, покажите дуализм этих структур.
9. Какова методика получения коэффициентов многочленов функций цепи для фильтров Баттерворта?
10. Какова структура резонансной проходной LCR-цепи и ее эквивалента в виде активного RC-фильтра?
11. Какие преобразователи полного сопротивления Вы знаете? Что такое конвертор полного сопротивления, умножитель емкости, гиратор?
12. Охарактеризуйте работу автогенератора синусоидальных колебаний на основе ОУ (самовозбуждение, стационарный режим, нелинейные искажения, частота автоколебаний, ее стабильность, связь с крутизной наклона частотно-фазовой характеристики).
13. Какие ошибки (неидеальности) ОУ и модели их учета Вы знаете?
14. Что такое функции чувствительности и для чего они применяются?
15. Какне точностные параметры ОУ Вы знаете?
16. В чем проявляется потенциальная неустойчивость ОУ?
17. Опишите методы коррекции частотных характеристик ОУ. Что такое фазовый запас?
18. Какие параметры ОУ Вы знаете? Каковы методы их измерения?

Глава 11. ИНСТРУМЕНТАЛЬНЫЕ АНАЛОГОВЫЕ И ЦИФРО-АНАЛОГОВЫЕ МИКРОСХЕМЫ И ИХ ПРИМЕНЕНИЕ

Инструментальные АИС производят специализированные высокоточные преобразования аналоговых сигналов (сравнение, стабилизацию и формирование уровней, перемножение).

Цифро-аналоговые ИС осуществляют преобразования цифровых сигналов в аналоговые или наоборот.

11.1. ИНТЕГРАЛЬНЫЕ КОМПАРАТОРЫ

Под интегральными аналоговыми компараторами понимают цепи на основе ОУ, выполняющие ОАФ сравнения сигналов (чаще всего напряжений), и специализированные конфигурации ИС, реализующие те же ОАФ, но спроектированные с учетом применения ИС в цепях сравнения. В последнем случае в упрощенную структуру ОУ вводят подсхемы для реализации ОАФ ограничения (формирования выходных уровней), защиты и ускорения переходных процессов.

Компараторы являются основными элементами современной импульсной техники, а также класса цифро-аналоговых схем взаимного преобразования аналоговых и цифровых сигналов.

Управление уровнями выходного сигнала идеального ОУ. Рассмотрим совместное действие двух основных аналоговых функций (ОАФ): усиления и ограничения. На рис. 11.1 показаны варианты реализации такого совместного действия с помощью ОУ: ограничение снизу (рис. 11.1,а,б); ограничение сверху (рис. 11.1,в,г); ограничение и снизу, и сверху (рис. 11.1,д,е).

В первых двух вариантах функцию ограничения выполняет $p-n$ переход, замыкающий цепь ООС, охватывающую идеальный ОУ. Так, в цепи на рис.

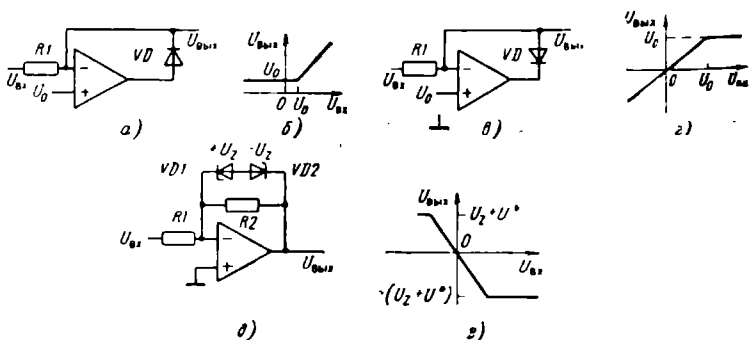


Рис. 11.1 Управление уровнями выходного сигнала идеального операционного усилителя

11.1,а при выполнении условия $U_{\text{вых}} \geq U_0$, где U_0 — опорное напряжение, подключаемое к неинвертирующему входу, диод VD закрыт и $U_{\text{вых}} = U_{\text{вх}}$ (см. рис. 11.1,б)¹.

При $U_{\text{вх}} < U_0$ диод VD открывается (по-прежнему будем предполагать, что диод идеален) и цепь ООС фиксирует $U_{\text{вых}}$ на уровне U_0 , т. е. $U_{\text{вых}} = U_0$ (см. рис. 11.1,б).

Аналогично в цепи на рис. 11.1,в выполняются соотношения

$$U_{\text{вых}} = U_{\text{вх}} \text{ при } U_{\text{вых}} \leq U_0;$$

$$U_{\text{вых}} = U_0 \text{ при } U_{\text{вых}} > U_0.$$

Для перехода к реальному диоду следует в приведенных выше выражениях заменить параметр U_0 на $U_0 + U^*$. Аналогичные рассуждения можно повторить для двустороннего ограничителя (рис. 11.1,д).

В цепи на рис. 11.1,д стабилитроны $VD1$, $VD2$ фиксируют выходной сигнал на уровнях

$$U_{\text{вых}} = \pm U_z + U^*, \quad (11.1)$$

где U_z — напряжение лавинного пробоя стабилитрона, смещенного в обратном направлении; U^* — прямое падение напряжения на стабилитроне.

На рис. 11.1,е показана характеристика цепи на рис. 11.1,д, из которой видно, что в окрестности нуля $U_{\text{вых}} = K_U U_{\text{вх}}$, где $K_U = -R_2/R_1$. Иными словами,

$$U_{\text{вых}} = -U_{\text{вх}} R_2/R_1$$

при

$$-(U_z + U^*) \frac{R_1}{R_2} \leq U_{\text{вх}} \leq (U_z + U^*) \frac{R_1}{R_2}. \quad (11.2)$$

В цепях на рис. 11.1 использовалось инвертирующее включение ОУ, охваченного ООС. Применяя ОУ без ОС, можно эффективно использовать переключаемые свойства ОУ с $K'_U \rightarrow \infty$.

На рис. 11.2,а показан ОУ без ОС в компараторном включении. Для фиксации уровней выходного сигнала использованы два встречно включенных стабилитрона (как и в предыдущей схеме на рис. 11.1,д, эти стабилитроны реализуют ОАФ ограничения и формируют выходной сигнал с двумя состояниями):

$$U_{02} = U_{z1} + U^*; \quad U_{01} = -(U_{z2} + U^*), \quad (11.3)$$

где U_{z1} и U_{z2} — напряжения стабилизации $VD1$ и $VD2$.

Роль резисторов $R1$, $R2$, $R3$ в схеме компараторного включения ОУ. Для идеального ОУ и идеального стабилитрона можно положить $R1 = R2 = R3 = 0$.

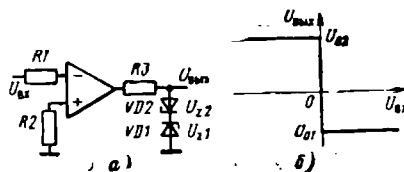


Рис. 11.2. Операционный усилитель в компараторном включении:

а — структура; б — передаточная характеристика

¹ Условие $U_{\text{вых}} \geq U_0$ соответствует допущениям $U_V = 0$ (идеальный ОУ) и $U^* = 0$ (идеальный диод).

На практике (см. § 10.6) из-за конечной величины разности $I_0 = I_2 - I_1$ входных токов OY и обязательного наличия внутреннего сопротивления $R1$ источника сигнала ($R_r = R1$) возникает напряжение ошибки $I_1 R1$, которое компенсируется регулировкой $R2$. При регулировке уровень переключения цепи на рис. 11.2,а делается совпадающим с $U_{вх} = 0$. Сопротивление $R3$ выбирается таким, чтобы стабилитроны $VD1$ и $VD2$ работали при рекомендуемых для них уровнях токов.

11.2. СХЕМОТЕХНИКА И ПАРАМЕТРЫ РЕАЛЬНЫХ МИКРОСХЕМ КОМПАРАТОРОВ

Аппаратурное использование компараторных микросхем связано с необходимостью работать при больших уровнях входных сигналов, насыщающих транзисторы компаратора. Мерой качества компаратора поэтому может служить способность цепи к быстрому восстановлению первоначального состояния при подаче на соответствующий вход сигнала, выводящего транзисторы входных и выходных цепей из насыщения. Уровни выходных напряжений ИС компараторов соответствуют диапазонам уровней логических сигналов нуля и единицы, используемых в сериях современных цифровых ИС.

На рис. 11.3 приведена электрическая схема интегрального компаратора. Входной каскад компаратора содержит уже изученные нами подсхемы дифференциального каскада и отражателя тока. Для усиления сигнала, снимаемого с выхода входного каскада, между ним и выходной цепью включен промежуточный ДК: $VT3$ и $VT4$.

Стабилитрон $VD1$ (с опорным напряжением $+6,2$ В) введен для согласования уровней напряжения каскада $VT1$, $VT2$ и каскада $VT3$, $VT4$. Потенциалы баз $VT3$ и $VT4$ при отсутствии сигнала на входе составляют $6,2 + 0,7 = 6,9$ В. Это гарантирует возможность подачи на входы $VT1$ и $VT2$ максимальных сигналов не менее $+5$ В без перехода транзисторов $VT7$ и $VT2$ в режим

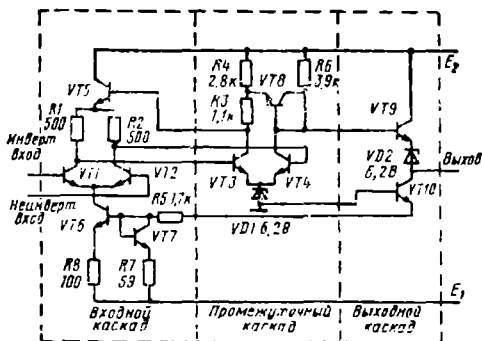


Рис 11.3 Принципиальная электрическая схема интегрального компаратора

насыщения. Стабилитрон VD2 обеспечивает понижение на 6,2 В постоянной составляющей напряжения, снимаемого с эмиттерного повторителя VT9 выходного каскада (до потенциала, близкого к нулю). Уровни напряжения на выходе компараторов согласованы с потенциалами сигналов нуля и единицы ТТЛ. Отражатель тока первого каскада (VT6, VT7, R6—R8) питается от источника сигнала стабилизирующей ООС — полного тока выходного каскада.

Напряжение лог. 1 на выходе фиксируется на уровне +4 В транзистором VT8. При $U_{\text{вх}} > 4$ В VT8 в диодном включении замыкает дифференциальный выход промежуточного каскада. Тем самым предотвращается попадание VT9 в режим насыщения и повышается быстродействие выходного каскада. Параметры интегрального компаратора 521CA2 приведены в табл. 11.1.

В более совершенных компараторах, например типа 521CA3* (рис. 11.4), значения входных токов уменьшены более чем на два порядка и расширен допустимый диапазон входных дифференциальных и синфазных сигналов. Выходные сигналы таких компараторов совместимы с уровнями цифровых ИС. Диапазон пита-

Таблица 11.1

Параметры интегрального компаратора 521CA2

Параметры	Значения		
	минимальное	типичное	максимальное
Напряжение смещения нуля V'_0 , мВ, при $t_0=25^\circ\text{C}$	—	1,0	5
Входной ток $I_{\text{вх}} = (I_2 + I_1)/2$, мкА: при:			
$t_0=25^\circ\text{C}$	—	25	75
$t_0=-60^\circ\text{C}$	—	—	150
Разность входных токов $I'_0 = I_1 - I_2 $, мкА, при:			
$U_{\text{вх}} = 1,4$ В, $t_0=25^\circ\text{C}$	—	3	10
$U_{\text{вх}} = 1$ В, $t_0=125^\circ\text{C}$	—	—	20
$U_{\text{вх}} = 1,8$ В, $t_0=-60^\circ\text{C}$	—	—	20
Коэффициент усиления $K'U$ при:			
$t_0=25^\circ\text{C}$	750	1200	—
$t_0=-60 \dots 125^\circ\text{C}$	500	—	—
Напряжение сигнала высокого уровня при $t_0=25^\circ\text{C}$, $I=5$ мА, $U_{\text{вх}}^{\text{мин}}$, В	2,5	—	4,0
Напряжение сигнала низкого уровня при $t_0=-60 \dots 125^\circ\text{C}$, $U_{\text{вх}}^{\text{макс}}$, В	-1	—	—
Выходной ток сигнала низкого уровня при $U_{\text{вх}}=0$, $t_0=25^\circ\text{C}$, $I_{\text{вх}}^0$, мА	1,6	2,0	—
Время задержки включения (выключения) при $t_0=25^\circ\text{C}$, τ , нс	—	60	—
Предельно допустимое дифференциальное входное напряжение $\pm U_{\text{вх.д. макс}}$, В	-5	—	5
Предельно допустимый диапазон синфазных входных напряжений, В	-4	—	5

* Микросхемы компараторов 521CA2 и 521CA3 имеют зарубежные аналоги $\mu\text{A}710$ и LM111 соответственно. Эти компараторы выпускаются десятками фирм разных стран и имеют обширную, до сих пор развиваемую схемотехническую документацию, облегчающую аппаратное использование таких ИС в большом числе конкретных применений.

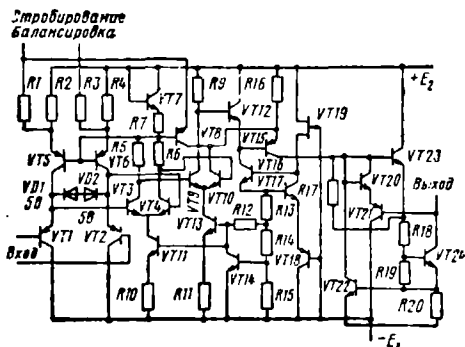


Рис. 11.4. Принципиальная электрическая схема интегрального компаратора 521CA3

ющих напряжений расширен до $+20$ В, точностные характеристики улучшены благодаря большому коэффициенту усиления и наличию специальных выводов внешней балансировки нуля.

11.3. ИМПУЛЬСНЫЕ ЦЕПИ НА ОСНОВЕ МИКРОСХЕМ КОМПАРАТОРОВ

Детекторы уровня. Два основных варианта таких цепей (рис. 11.5, а, в) различаются формой передаточных характеристик (рис. 11.1, б, г) и называются соответственно инвертирующим (рис. 11.5, а) и неинвертирующим (рис. 11.5, в) детекторами. От схемы рис. 11.2 они отличаются лишь применением специализированных ИС компараторов и подачей опорного напряжения $U_x \neq 0$ (на рис. 11.2 $U_x = 0$). Величина U_x (рис. 11.5, а—г) может быть как положительной, так и отрицательной. Сигналы на выходах компаратора, соответствующие уровням лог. 1 и 0, составляют U_{01} , U_{02} .

Детектор уровня с гистерезисом (триггер Шмита, рис. 11.5, б). Как видно из рис. 11.5, е, при $u_{вх}(t) > U_{x2}$ напряжение на выходе компаратора фиксируется на уровне U_{01} . При уменьшении значения $u_{вх}(t)$ уровень U_{01} сохраняется до значения $u_{вх}(t) = U_{x1}$, причем $U_{x1} < U_{x2}$. Достигнув значения $u_{вх}(t) = U_{x1}$, входное напряжение $u_{вх}(t)$ вызовет срабатывание пороговой схемы.

Чтобы найти зависимость порогов срабатывания U_{x1} и U_{x2} от сопротивлений резисторов R_1 , R_2 , R_3 , рассмотрим эквивалентную схему на рис. 11.5, ж. Пользуясь этой схемой, запишем

$$\frac{E_2 - U_x}{R_2} + \frac{E_1 - U_x}{R_1} + \frac{U_0 - U_x}{R_3}, \quad (11.4)$$

откуда

$$U_x = \frac{(E_2/R_2) + (E_1/R_1) + U_0/R_3}{(1/R_1) + (1/R_2) + (1/R_3)}.$$

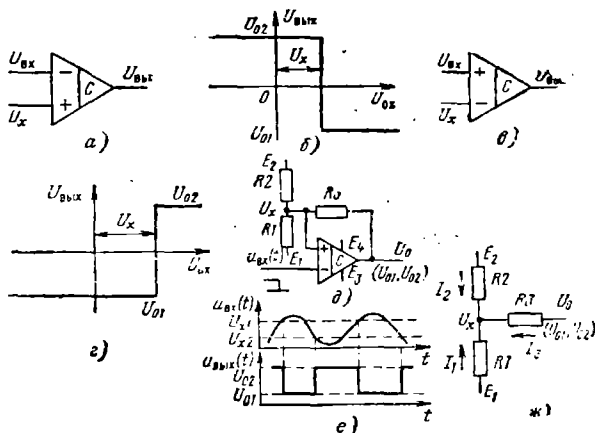


Рис 11.5. Импульсные схемы на основе микросхемы компаратора:

а — входной сигнал подан на неинвертирующий вход ИК; б — передаточная характеристика (инвертирующее включение компаратора); в — передаточная характеристика (неинвертирующее включение ИК); г — триггер Шмита; д — сплюс напряжения триггера Шмита; е — модель для расчета уровней срабатывания триггера Шмита

Поскольку напряжение U_0 принимает значения U_{01} и U_{02} , им соответствуют пороговые значения U_{x1} и U_{x2} :

$$U_{x1} = U_{x0} + \frac{U_{01}/R_3}{(1/R_1) + (1/R_2) + (1/R_3)} = U_{x0} + \Delta x_1; \quad (11.5)$$

$$U_{x2} = U_{x0} + \frac{U_{02}/R_3}{(1/R_1) + (1/R_2) + (1/R_3)} = U_{x0} + \Delta x_2.$$

Величина

$$U_{x0} = \frac{(E_2/R_2) + (E_1/R_1)}{(1/R_1) + (1/R_2) + (1/R_3)}$$

является средним уровнем срабатывания.

Значение $|U_{x2} - U_{x1}| = |\Delta x_2 - \Delta x_1|$ является *гистерезисом* пороговой схемы.

Пример. Пусть $R1=10$ кОм, $R2=5,15$ кОм, $R3=34$ кОм. Компаратор¹ имеет $U_{01}=-11$ В, $U_{02}=+11$ В. Отсюда по формуле (11.15)

$$U_{x0} = \frac{5/5,15}{(1/10) + (1/5,15) + (1/34)} = 3 \text{ В.}$$

¹ Такой компаратор можно построить, например, на основе типового ОУ (см. гл. 10).

Вычислим значения Δx_1 и Δx_2 . Согласно (11.5) имеем

$$\Delta x_1 = \frac{U_{01}/R_3}{(1/R_1) + (1/R_2) + (1/R_3)} \approx -1 \text{ В};$$

$$\Delta x_2 = \frac{U_{02}/R_3}{(1/R_1) + (1/R_2) + (1/R_3)} \approx +1 \text{ В}.$$

Таким образом, $U_{x1}=2$ В, $U_{x2}=4$ В. Поэтому гистерезис

$$\Delta x = |\Delta x_1 - \Delta x_2| = U_{x2} - U_{x1} = 2 \text{ В}.$$

Формулы для расчета R_2 и R_3 по значениям U_{01} , U_{02} , U_{x1} , U_{x2} имеют вид

$$R_2 = \frac{(U_{x1} - E_2)(U_{02} - U_{x2}) - (U_{x2} - E_2)(U_{01} - U_{x1})}{(U_{x2} - E_1)(U_{02} - U_{x1}) - (U_{x1} - E_1)(U_{02} - U_{x2})}; \quad (11.6)$$

$$R_3 = \frac{R_2(U_{02} - U_{x1})}{R_2(U_{x2} - E_1) + U_{x2} - E_2}.$$

Ждущий мультивибратор. Применением простейшего компаратора в схемах одностабильного (ждущего) мультивибратора иллюстрируется на рис. 11.6, а. При подаче отрицательного импульса $U_{вх}$ на инвертирующий вход компаратора схема формирует положительный импульс на выходе, причем уровень напряжения переброса равен внешнему опорному пороговому напряжению E_1 и фиксируется с точностью ± 10 мВ в диапазоне входных напряжений управления ± 5 В.

При $E_1 < 0$ схема формирует положительный импульс длительностью t_n при отрицательном запускаящем коротком импульсе $U_{вх}$. Если поменять полярность E_1 и сделать $E_1 > 0$, то схема будет формировать отрицательный выходной сигнал из запускающего положительного импульса $U_{вх}$. Обозначим, как и ранее, напряжение на выходе компаратора через U_0 (причем U_{02} — наибольшее, а U_{01} — наименьшее значение U_0). Для мгновенного значения тока через конденсатор $C1$ имеем $i(t) = C_1(du_{C1}/dt)$, где u_{C1} — напряжение на конденсаторе $C1$. Пусть в состоянии покоя $U_0 = U_{01}$, что соответствует $U'_{C1} = U_{01} - E_1$. При $t=0$ на ин-

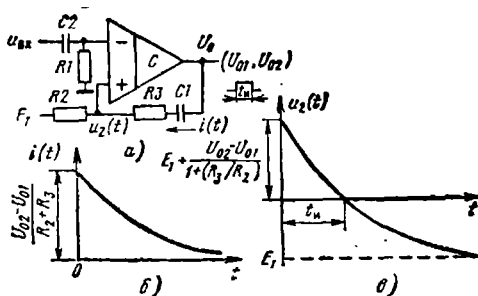


Рис. 11.6. Ждущий мультивибратор:
а — структура; б, в — эиоры тока и напряжения

вертирующей вход компаратора поступает отрицательный импульс $U_{вх}$. Напряжение на выходе компаратора делается (будем считать, что мгновенно) равным $U_0 = U_{02}$. Напряжение на конденсаторе при этом должно измениться от U'_{C1} до $U''_{C1} = U_{02} - E_1$.

Ток $i(t)$ будет изменяться по закону (рис. 11.6,б)

$$i(t) = [(U''_{C1} - U'_{C1}) / (R_2 + R_3)] \exp(-t/\tau) = \\ = [(U_{02} - U_{01}) / (R_2 + R_3)] \exp(-t/\tau), \quad (11.7)$$

где $\tau = (R_2 + R_3) C_1$.

Напряжение на инвертирующем входе компаратора $u_2(t) = E_1 + i(t)R_2$ и будет изменяться от $E_1 + (U_{02} - U_{01})R_2 / (R_2 + R_3)$ до E_1 (рис. 11.6,в).

Иными словами,

$$u_2(t) = E_1 + [(U_{02} - U_{01}) / (1 + R_3/R_2)] \exp(-t/\tau). \quad (11.8)$$

Поскольку на инвертирующем входе сигнала нет, переключение компаратора будет иметь место тогда (при $t = t_n$), когда мгновенное значение $u_2(t)$ будет равно нулю. Таким образом, при $t = t_n$ $u_2(t_n) = 0$, т. е.

$$-E_1 = [(U_{02} - U_{01}) / (1 + R_3/R_2)] \exp(-t_n/\tau).$$

Логарифмируя это выражение, находим длительность импульса, вырабатываемого ждущим мультивибратором:

$$t_n = \tau \ln[(U_{02} - U_{01}) / (-E_1)] [1 / (1 + R_3/R_2)]. \quad (11.9)$$

Полученная формула (11.9), базирующаяся на представлении об идеальном компараторе, хорошо подтверждается на практике.

Пример. Пусть для схемы на рис. 11.6,а $R_2 = 1$ кОм, $R_3 = 9$ кОм, $C_1 = 510$ пФ, $E_1 = -0,1$ В.

Компаратор имеет $U_{01} = 0$, $U_{02} = 3$ В. Таковы уровни у ИС компаратора широкого применения 521СА2. Они соответствуют логическим уровням большинства цифровых микросхем (например, ТТЛ). Требуется определить t_n .

Решение. Имеем $\tau = 10 \cdot 10^3 \cdot 510 \cdot 10^{-12} = 5,1$ мкс. Из (11.9) имеем $t_n = 5,1 \ln[3/0,1 \cdot (1+9)] = 5,1 \ln 3 = 5,6$ мкс.

Приведенные примеры иллюстрируют общий подход к анализу схем импульсной техники, базирующейся на представлении о компараторе как *идеальном устройстве сравнения*.

11.4. ЦИФРО-АНАЛОГОВЫЕ МИКРОСХЕМЫ. ПРОСТЕЙШИЙ ЦИФРО-АНАЛОГОВЫЙ ПРЕОБРАЗОВАТЕЛЬ

К цифро-аналоговым относят структуры для взаимного преобразования цифровых и аналоговых величин — цифро-аналоговые (ЦАП) и аналого-цифровые преобразователи (АЦП).

Простейшей структурой ЦАП является преобразователь с резисторами веса на входе (рис. 11.7). Каждый из аналоговых ключ-

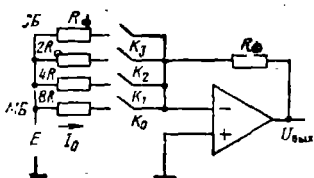


Рис. 11.7. Простейшая структура цифро-аналогового преобразователя с резисторами веса на входе

ОУ; на выходе ОУ получается аналоговый эквивалент двоичного числа $K_3K_2K_1K_0$.

Пример. Пусть слово $K_3K_2K_1K_0$ составит 0001. Это будет обозначать разомкнутое состояние ключей K_3 , K_2 , K_1 и замыкание K_0 . Как видно из рис. 11.7, в этом случае через входную ветвь, состоящую из резистора $8R$ и ключа K_0 , потечет ток

$$I_0 = \frac{E}{8R} = \frac{U_{\text{вых}}}{R_0}.$$

Отсюда

$$U_{\text{вых}} = E \frac{R_0}{8R}. \quad (11.10)$$

Если замкнуть K_0K_1 , а остальные ключи по-прежнему оставить разомкнутыми, то слову 0011 будет соответствовать напряжение

$$U_{\text{вых}} = E \frac{R_0}{R} \left(\frac{1}{8} + \frac{1}{4} \right) = E \frac{R_0}{R} \frac{3}{8}.$$

Наконец, слову 1111 будет соответствовать

$$U_{\text{вых}} = E \frac{R_0}{R} \left(\frac{1}{8} + \frac{1}{4} + \frac{1}{2} + 1 \right) = E \frac{R_0}{R} \frac{15}{8}.$$

Выбрав R_0 , R , E такими, чтобы было справедливо равенство

$$E \frac{R_0}{R} \frac{1}{8} = 1,$$

получим ЦАП, переключающийся с 1-й по 15-ю градацию, т. е. имеющий 2^N состояний.

Точность простейшей структуры на рис. 11.7 определяется резисторами веса и аналоговыми ключами.

Перепад сопротивлений резисторов веса в 2^{N-1} раз при большом N , необходимом для точного цифро-аналогового преобразования, трудно обеспечить технологически.

11.5. ПАССИВНЫЕ МИКРОСХЕМЫ РЕЗИСТОРНЫХ МАТРИЦ

Технологически удобно изготавливать резисторы по возможности с одинаковыми и пропорциональными сопротивлениями. Оди-

чей $K_0—K_3$ может находиться в одном из двух состояний: закрытом или открытым. Для простоты на рис. 11.7 изображен четырехразрядный ($N=4$) ЦАП с двоичным входным словом $K_3K_2K_1K_0$. Сопротивления резисторов, соответствующих разрядам входного слова, отличаются в 2 раза при переходе к соседнему биту. Токи резисторов суммируются на входе

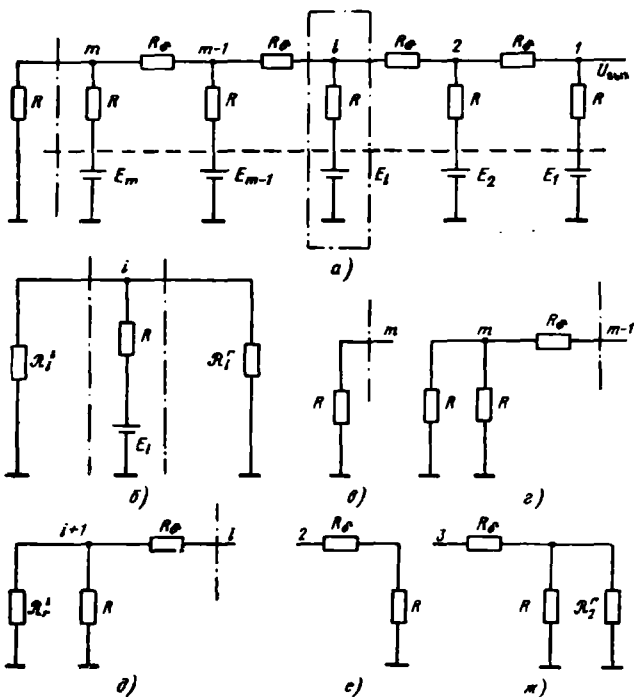


Рис. 11.8. Пассивные микросхемы резисторных матриц

наковость или пропорциональность сопротивлений при этом обеспечиваются топологией АИС. Например, на рис. 11.8,а показан цепной делитель, состоящий из идентичных звеньев с резисторами R и $R\delta$ (индекс δ означает безразмерный, определяемый фотшаблоном коэффициент пропорциональности). Частным и наиболее распространенным вариантом такой структуры делителя является так называемая матрица $R-2R$, в которой $\delta = \delta_1 = 1/2$. Показанные на рис. 11.8,а источники E_1, E_2, \dots, E_m обычно реализуются цифровыми выходами коммутаторов; эти источники, например, можно предположить имеющими два уровня напряжений: 0 и E .

Перенумеруем узлы звеньев резисторной матрицы (РМ) на рис. 11.8,а цифрами: $m, m-1, \dots, i, \dots, 2, 1$. Введем понятия о левых и правых сопротивлениях узлов $1, 2, \dots, m$. Для i -узла, показанного в центре рис. 11.8,а штрихпунктирной рамкой, правое и левое сопротивления R_r^i и R_l^i являются эквивалентными частями РМ, расположенных справа и слева от штрихпунктирных линий (рис. 11.8,б). Самое левое сопротивление R_l^m расположено

Таблица 11.2

Нормированные правые сопротивления для матрицы $R-2R$

i	$\mathcal{R}_i^{(1)r} = \mathcal{R}_i^r/R$	i	$\mathcal{R}_i^{(1)r} = \mathcal{R}_i^r/R$
2	1,500000000	9	1,000045766
3	1,100000000	10	1,000011441
4	1,023809523	11	1,000002860
5	1,005882352	12	1,000000715
6	1,001466275	13	1,000000178
7	1,000732300	14	1,000000044
8	1,000183083	15	1,000000011
		16	1,000000002

Результаты расчетов при $i=1 \dots 15$, подобные описанным, но выраженные в десятичной форме для нормированных значений

$\mathcal{R}_i^{(1)r} = \frac{\mathcal{R}_i^r}{R}$, приведены в табл. 11.2.

Из табл. 11.2 видно, что с ростом i величина правого сопротивления \mathcal{R}_i РМ приближается к номиналу R .

Выходное напряжение РМ. Теперь предположим, что $E_2 = E_3 = \dots = E_i = \dots = E = 0$, а $E_1 = E$ (рис. 11.8,а). При этом

$$U_{\text{вых}}^{(1)} = E \frac{\mathcal{R}_1^l}{R + \mathcal{R}_1^l}. \quad (11.20)$$

Для матрицы $R-2R$

$$U_{\text{вых}}^{(1)} = E/2. \quad (11.21)$$

Если $E_1 = E_3 = E_5 = \dots = E_m = \dots = 0$, а $E_2 = E$, то

$$U_{\text{вых}}^{(2)} = E \frac{\mathcal{R}_2^l \parallel \mathcal{R}_2^r}{R + \mathcal{R}_2^l \parallel \mathcal{R}_2^r} \frac{R}{R + R_\delta}. \quad (11.22)$$

Считая $\mathcal{R}_2^l = R$ и подставив сюда из (11.19) выражение для \mathcal{R}_2^r , найдем

$$U_{\text{вых}}^{(2)} = E \frac{\frac{1}{2} + 3\delta + \frac{7}{2} \delta^2 + \delta^3}{\frac{5}{2} + 8\delta + \frac{11}{2} \delta^2 + \delta^3} \frac{1}{1 + \delta}. \quad (11.23)$$

Для матрицы $R-2R$ при $\delta = 1/2$ получим

$$U_{\text{вых}}^{(2)} = E/4. \quad (11.24)$$

Рассуждая аналогично, при $E_3 = E$ и $E_1 = E_2 = E_4 = E_5 \dots = E_m = 0$ для матрицы $R-2R$ найдем

$$U_{\text{вых}}^{(3)} = E/8. \quad (11.25)$$

Применив принцип суперпозиции, запишем выражения для $U_{\text{вых}}$ в функции от напряжения на входах резистивной матрицы $R-2R$:

$$U_{\text{вых}} = U_{\text{вых}}^{(1)} + U_{\text{вых}}^{(2)} + U_{\text{вых}}^{(3)} + \dots + U_{\text{вых}}^{(m)}. \quad (11.26)$$

Используя (11.21), (11.24), (11.25) и аналогичные им выражения, найдем

$$U_{\text{вых}} = \frac{E_1}{2} + \frac{E_2}{4} + \frac{E_3}{8} + \dots + \frac{E_m}{2^m}, \quad (11.27)$$

что согласуется с ранее написанной без доказательства формулой (9.5).

Из (11.27) следует, что в матрице $R-2R$ напряжение $U_{\text{вых}}$ не зависит от абсолютной величины R . Чем выше идентичность в звеньях матрицы, тем с большей точностью реализуется формула (11.27).

Аналогичные свойства присущи РМ с другими δ . Повторив выкладки, аналогичные предыдущим, найдем:

для $\delta = \delta_2 = 8,1$

$$U_{\text{вых}} = 0,9E_1 + 0,09E_2 + 0,009E_3 + \dots + 9 \cdot 10^{-m}E_m; \quad (11.28)$$

для $\delta = \delta_3 = 4/3$

$$U_{\text{вых}} = \frac{2}{3}E_1 + \frac{2}{9}E_2 + \frac{2}{27}E_3 + \dots + \frac{2}{3^m}E_m. \quad (11.29)$$

Выбирая δ , мы можем, таким образом, сконструировать РМ с различными весовыми коэффициентами при E_1, E_2, \dots, E_m . Точность осуществления этих коэффициентов определяется топологией РМ и технологическими процессами их изготовления.

11.6. ЦИФРО-АНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ С МАТРИЦАМИ $R-\delta R$

На рис. 11.9,а изображена структура ЦАП, содержащая опорное напряжение E , аналоговые ключи, ОУ в неинвертирующем включении и матрицу $R-\delta R$, аналогичную рис. 11.8,а при $\delta = 1/2$; $E_1 = K_1E$; $E_2 = K_2E$; $E_i = K_iE$; $E_m = K_mE$, где $K_1, K_2, \dots, K_i, \dots, K_m$ — булевы переменные. По аналогии с (11.27), считая $U_{\text{вых}} = (1 + R_2/R_1)U_1$ и $\delta = 1/2$, для подсхемы на рис. 11.9,а находим

$$U_{\text{вых}} = \left[\frac{K_1}{2} + \frac{K_2}{4} + \dots + \frac{K_m}{2^m} \right] m_1, \quad (11.30)$$

где

$$m_1 = \left(1 + \frac{R_2}{R_1} \right) E. \quad (11.31)$$

Из (11.30) видно, что ЦАП (рис. 11.9,а) является умножителем аналоговой величины E на аналоговый эквивалент цифрового кода, помещенный в квадратные скобки выражения (11.30). Структура одного из распространен-

ных схемотехнических вариантов 10-разрядного монолитного ЦАП — ИС К572ПА1* показана на рис. 11.9,б. ЦАП состоит из резистивной матрицы, содержащей резисторы сопротивлением 10 и 20 кОм (такая матрица имеет структуру $R-2R$), и токовых ключей K_1-K_{10} , выполненных на КМДП-транзисторах.

Один из таких ключей (K_1), показанный на рис. 11.9,а, имеет вход I , совместимый с уровнями логических цепей типа ТТЛ, ДТЛ, КПДПТЛ. МДП-транзисторы VT_1 и VT_2 (рис. 11.9,а) переключаются при потенциале 1,4 В. Они управляют двумя инверторами, выполненными на МДП-транзисторах VT_4, VT_5 и VT_6, VT_7 , которые, в свою очередь управляют токовыми ключами (МДП-транзисторы VT_8, VT_9). С помощью положительной обратной связи, выполненной на транзисторе VT_3 , время переключения уменьшено до 0,5...1 мкс и полувеличина гистерезиса для входного сигнала примерно 0,2 В.

Резистивная цепь $R-2R$ изготовлена из тонкопленочных резисторов (SiCr) с толщиной пленки, соответ-

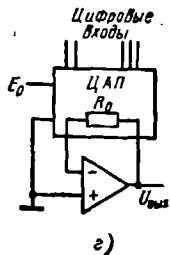
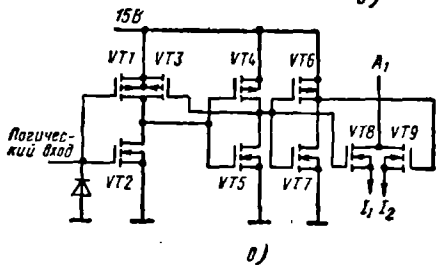
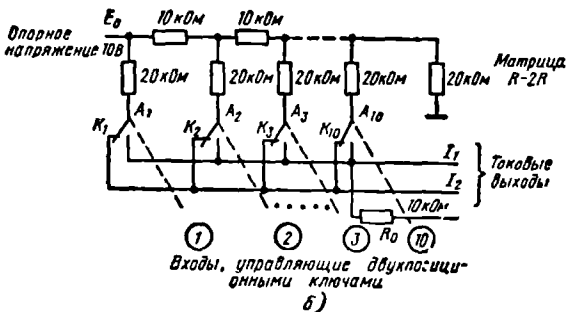
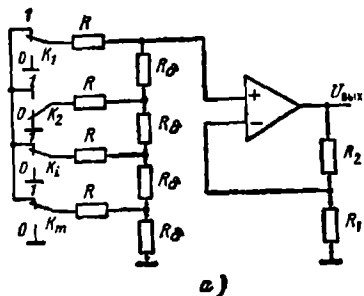


Рис. 11.9. Цифро-аналоговые преобразователи с матрицами $R-2R$

* Соответствует широко распространенной ИС ЦАП типа AD7520, имеющей обширную документацию по аппаратурному использованию.

Параметры	Значения параметров
Дифференциальная нелинейность	$\pm 0,05$ для 10-разрядного ЦАП
Время установления выходного тока	1,5 мкс
Опорное напряжение	± 10 В
Входное сопротивление для источника опорного напряжения	10 кОм
Напряжение источника питания	+5 ... +15 В
Параметры цифровых входных сигналов:	
высокого уровня	2,4 В
низкого уровня	0,8 В
Входной ток (при переходе от низкого уровня к высокому)	1 мкА
Суммарная мощность рассеивания	20 мВт

составляет $1 \text{ кОм}/\square$. Температурный коэффициент сопротивления резисторов составляет $150 \cdot 10^{-6}/^\circ\text{C}$, а разброс не превышает $10^{-6}/^\circ\text{C}$.

Параметры монолитного ЦАП К572ПА1 приведены в табл. 11.3. ЦАП имеет внутренний резистор обратной связи R_0 , используемый при включении ЦАП совместно с ОУ (рис. 11.9,з).

11.7. ПРОСТЕЙШИЙ АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ

Наиболее экономичная и простая структура АЦП (рис. 11.10,а) состоит из компаратора, ЦАП и счетчика, включенных в цепь с обратной связью. Выходом АЦП служат показания тактируемого бинарного счетчика с начальной установкой в нуль (сбросом). Обозначим диапазон входных аналоговых сигналов, подвергающихся преобразованию (напряжение шкалы), через $U_{\text{ш}}$. Если диапазон $U_{\text{ш}}$ проходит за N тактов генератора C_p (см. рис. 11.10,а), то размер аналоговой градации составит

$$\gamma = U_{\text{ш}}/N. \quad (11.32)$$

Работа АЦП заключается в сравнении измеряемого напряжения $A = U_{\text{вх}}$ на входе с аналоговым эквивалентом X цифрового кода

$$\frac{K_1}{2} + \frac{K_2}{4} + \dots + \frac{K_i}{2^i} + \dots + \frac{K_m}{2^m}.$$

Имеем

$$X = m_1 \left[\frac{K_1}{2} + \frac{K_2}{4} + \dots + \frac{K_i}{2^i} + \dots + \frac{K_m}{2^m} \right], \quad (11.33)$$

где m_1 — масштабный коэффициент, имеющий размерность на-

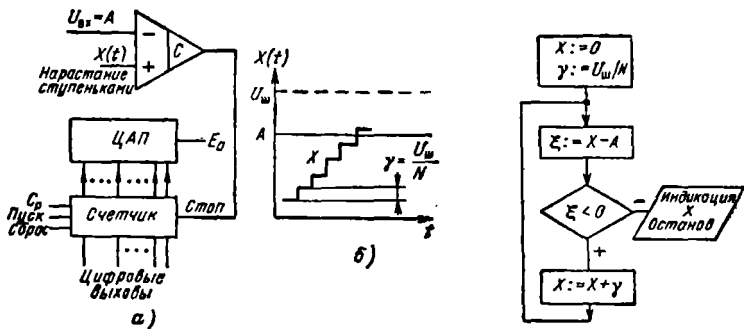


Рис. 11.10. Простейший аналого-цифровой преобразователь:
 а — структура; б — временная диаграмма; в — алгоритм

пряжения A . Для ЦАП на рис. 11.9,а значение m_1 определяется по формуле (11.31).

После команд (сигналов) *Сброс* и *Пуск*, подаваемых на АЦП (рис. 11.10,а), импульсы C_p внешнего тактового генератора начнут увеличивать показания счетчика, а следовательно, согласно (11.33) и X ступеньками по γ .

Компаратор (рис. 11.10,а) определяет разницу ξ между X и A , т. е. производит сравнение этих двух величин.

Если $\xi = X - A < 0$, то подача следующего импульса на счетчик изменит его показание с X на $X + \gamma$. В противном случае компаратором вырабатывается команда (сигнал) *Стоп* и генератор тактов C_p отключается от счетчика, который останавливается и индицирует ближайшее с точностью γ число, большее A (рис. 11.10,б), такое, что

$$A \leq X \leq A + \gamma. \quad (11.34)$$

Алгоритм работы простейшего АЦП иллюстрируется структурной схемой на рис. 11.10,в.

Поскольку $A \approx X$, а X определяется формулой (11.39), выход АЦП — цифровой эквивалент приближенно является частным от деления измеряемого числа A на масштабный коэффициент m_1 :

$$\frac{K_1}{2} + \frac{K_2}{4} + \dots + \frac{K_m}{2^m} \approx \frac{A}{m_1}. \quad (11.35)$$

Таким образом, АЦП является делителем аналоговой величины A на масштабный коэффициент m_1 , имеющий ту же размерность, что и A .

Основной недостаток простейшей структуры АЦП — невысокая точность и большое (и притом непостоянное) время преобразования.

11.8. ВЫСОКОТОЧНЫЙ АЦП С ДВОЙНЫМ ИНТЕГРИРОВАНИЕМ

Повысить точность АЦП ценой снижения быстродействия можно путем перехода к структуре с двойным интегрированием (рис. 11.11,а). Она содержит аналоговый ключ K и интегратор на одном из входов компаратора. На другой вход компаратора подано нулевое напряжение (такая цепь иногда называется *нуль-компаратором*). В отличие от простейшей структуры на рис. 11.10,а цепь на рис. 11.11,а содержит встроенный автогенератор A_r с кварцем, обеспечивающий получение тактовой сетки C_p . С помощью делителя (ДЕЛ) формируется интервал t_n сигнала $u_1(t)$, управляющего аналоговым ключом K (рис. 11.11,а).

Абсолютная величина пилообразного напряжения $u_n(t)$ на выходе интегратора (рис. 11.11,а,б) нарастает в течение интервала времени от 0 до t_n до значения (1, 2 или 3), определяемого уровнем входного измеряемого сигнала $A=U_{вх}$, который по отношению к интервалу t_n предполагается весьма медленно меняющимся, т. е. постоянным.

В момент t_n аналоговый ключ K отключает источник $A=U_{вх}$ от входа интегратора и подключает последний к земле через эталонный резистор $R_{э2}$. Начинается спадание абсолютной величины $u_n(t)$. По достижении нулевого уровня, т. е. при $u_n(t_i)=0$, в момент времени t_i нуль-компаратор останавливает счетчик.

Таким образом измеряемый сигнал A преобразуется в цифровой эквивалент временного интервала $[0, t_i]$.

Синхронизовав частоту отсчетов (т. е. сигналы *Сброс*, *Пуск* и частоту автогенератора C_p), можно резко увеличить точность преобразования напряжения в код. В частности, если АЦП питается от сети, то, синхронизовав указанные выше сигналы с ча-

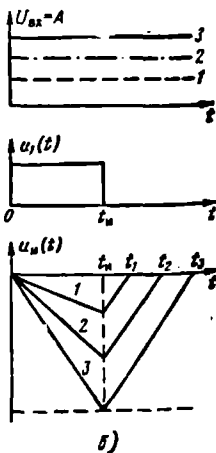
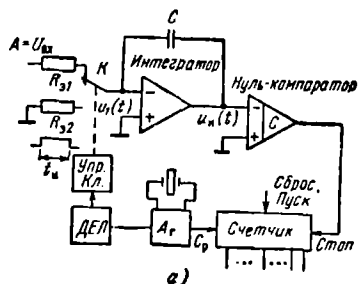


Рис. 11.11. Высокоточный АЦП с двойным интегрированием:
а — структура; б — временные диаграммы

стойкой пульсации переменного тока, можно избавиться от наводок по цепям питания.

Используя перечисленные выше приемы, можно довести точность интегрирующего АЦП до 16 двоичных разрядов (т. е. $1/2^{16} = 1,5 \cdot 10^{-5}$).

Время одного отсчета в интегрирующих АЦП составляет 0,5 ... 2 с.

11.9. АЛГОРИТМИЧЕСКИЕ МЕТОДЫ СОКРАЩЕНИЯ ВРЕМЕНИ ПРЕОБРАЗОВАНИЯ АЦП

Другим путем совершенствования АЦП является переход к более сложному, чем простой счет, алгоритму преобразования, например к алгоритму формирования X путем последовательных приближений (прогрессивной аппроксимации). Временная диаграмма, показывающая изменение X при прогрессивной аппроксимации, изображена на рис. 11.12,а. Алгоритм преобразования с прогрессивной аппроксимацией приведен на рис. 11.12,б. Для контроля работы преобразователя в структурной схеме на рис. 11.12,б предусмотрен индикатор для числа X в момент окончания взвешивания и стек $C_{N(1)}, C_{N(i-1)}, \dots, C_1$, в который заносится двоичный результат сравнения

$$\xi = X - A \text{ с нулем } \begin{cases} \text{если } \xi < 0, \text{ то } C : = 1; \\ \text{если } \xi \geq 0, \text{ то } C : = 0. \end{cases}$$

Структура, требующаяся для осуществления АЦП с прогрессивной аппроксимацией, отличается от простейшего АЦП (см. рис. 11.10,а) заменой счетчика на более сложное цифровое устройство, реализующее алгоритм преобразования на рис. 11.12,а.

В отличие от простейшей структуры АЦП цепь, реализующая алгоритм прогрессивной аппроксимации, имеет постоянное время преобразования, определяемое числом итераций N .

За счет свойств алгоритмов прогрессивной аппроксимации время преобразования уменьшается на порядок по сравнению с простейшей схемой (сравниваются структуры, обеспечивающие одинаковую точность АЦП).

11.10 ПАРАЛЛЕЛЬНЫЙ АЦП

Для максимального повышения скорости преобразования аналогового сигнала в цифровой код применяется наиболее сложная параллельная структура АЦП (рис. 11.13).

В этом АЦП для осуществления N -разрядного преобразования требуется $2^N - 1$ компараторов. В частности, структура на рис. 11.13 обеспечивает $N = 3$ и состоит из семи компараторов. Из рис. 11.13 видно, что цепь резисторов, к которым присоединены входы компараторов имеет суммарное сопротивление $16R$.

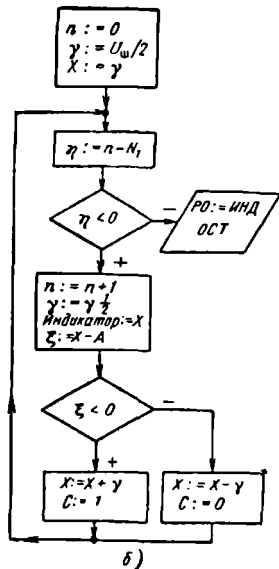
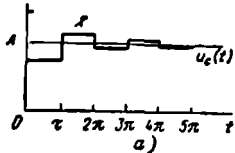
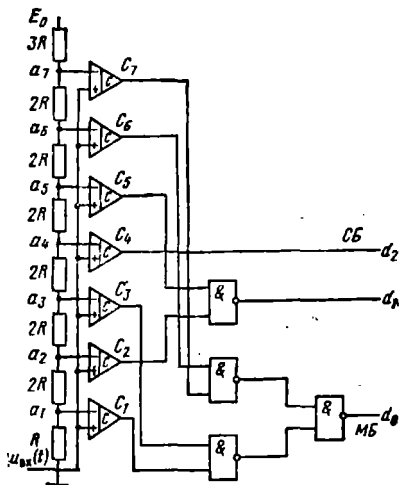


Рис. 11.12. К пояснению работы АЦП на основе прогрессивной аппроксимации: а — временная диаграмма; б — алгоритм



Биты	Уровни							
	0	1	2	3	4	5	6	7
СБ d_2	0	0	0	0	1	1	1	1
d_1	0	0	1	1	1	1	0	0
МБ d_0	0	1	1	0	0	1	1	0

Рис. 11.13. Параллельный АЦП. Структура и трехбитовая ($d_2d_1d_0$) кодировка уровней

Поэтому напряжение на узлах a_1, a_2, \dots, a_7 соответственно составит

$$E_0 \frac{1}{16}, E_0 \frac{3}{16}, \dots, E_0 \frac{11}{16}, E_0 \frac{13}{16}.$$

Результат преобразования получается в циклическом коде Грея в соответствии с таблицей на рис. 11.13.

Пример 1. Пусть $A = u_{вх}(t)$ таково, что

$$\frac{9}{16} E_0 < u_{вх}(t) < \frac{11}{16} E_0.$$

Тогда $C_7 = C_6 = 0, C_5 = C_4 = C_3 = C_2 = C_1 = 1$.

Поэтому выходное слово АЦП составит $d_2d_1d_0=111$, т. е. согласно таблицы на рис. 11.13 будет соответствовать уровню 5.

Пример 2. Если $\frac{5}{16}E_0 < u_{\text{вх}}(t) < \frac{7}{16}E_0$, то $C_7=C_6=C_5=C_4=0$, $C_3=C_2=C_1=1$, поэтому $d_2d_1d_0=011$, т. е. соответствует уровню 2.

Для осуществления восьмиразрядного АЦП по параллельной структуре требуется $2^8-1=255$ компараторов.

Очевидно, что мощность, потребляемая параллельной структурой, из-за этого будет получаться большой. Снижение мощности, потребляемой каждым компаратором, при этом оказывается очень важным.

Одна из разработок монолитных параллельных восьмиразрядных АЦП (TDC1007 фирмы TRW) состоит из 20 000 элементов, интегрированных на кристалле размером $6,8 \times 6,3$ мм. Эта ИС способна обеспечить скорость 35 ис/слово, что удовлетворяет требованиям непосредственного преобразования телевизионного сигнала в цифровой код.

11.11. ИНТЕГРАЛЬНЫЕ СТАБИЛИЗАТОРЫ. ПРОСТЕЙШИЙ СТАБИЛИЗАТОР НАПРЯЖЕНИЯ

Основная функция интегрального стабилизатора (регулятора)¹ — реализация эталонов, предназначенных для работы в цепях питания, автоматики, схемах на ОУ и т. п. Стабилизаторы регулируют напряжение (или ток) таким образом, чтобы стабилизировать эти величины, сделать их не зависимыми от уровня нагрузок в диапазоне условий эксплуатации.

Простейшей схемной реализацией является трехтранзисторная цепь (рис. 11.14,а) с дифференциальным усилителем на транзисторах VT_1 , VT_2 и транзистором VT_3 , включенным в качестве проходного элемента. Дифференциальный усилитель применяется для усиления разности сигналов $U_V=U_2-U_1=E_0-E''_0$.

Будем предполагать, что на входе цепи включен эталон, напряжением которого E_0 строго постоянно. Цепь VT_1 , VT_2 , VT_3 вносит погрешность, вследствие которой выходное напряжение $U_{\text{вых}}=E''_0$ отличается от напряжения входного датчика $U_{\text{вх}}=E_0$. Проведем анализ точностных показателей цепи.

Анализ точности простейшей схемы. По сравнению со структурой на рис. 9.2,е, содержащей идеальный ОУ, простейшая цепь на рис. 11.14,а содержит транзисторы VT_1 , VT_2 , VT_3 , вносящие погрешности в работу стабилизатора. На примере этой цепи изучим общие приемы анализа точностных показателей цепей с ООС, основанные на методах теории обратной связи. Проведем этот анализ в несколько этапов.

¹ Термин «regulator» доминирует в иностранной литературе и для АИС является синонимом термина «стабилизатор».

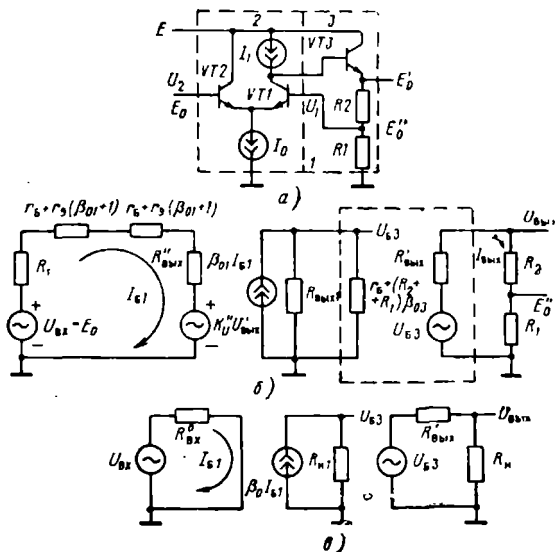


Рис. 11.14. К анализу простейшего стабилизатора напряжения:
 а — исходная схема; б — модель для анализа; в — модель при отключенной обратной связи

Этап 1. Замена транзисторов их моделями. Применяв модель идеального ДК, образуем цепь на рис. 9.2,б, элементы которой $K''U'_{\text{вых}}$ и $R''_{\text{вых}}$ символизируют соответственно генератор и выходное сопротивление ООС. Коэффициенты усиления тока транзисторов $VT1$ и $VT2$, образующих плечи ДК, примем одинаковыми и равными $\beta_{01} = \beta_{02}$.

Эмиттерный повторитель на транзисторе $VT3$ заменим моделью, обведенной на рис. 11.14,б штриховой линией. Эта модель состоит из управляемого генератора $U_{б3}$, выходного сопротивления $R'_{\text{вых}}$ и нагрузки $R_H = R_1 + R_2$.

Выходное сопротивление правого выхода ДК $R_{\text{вых}1}$ составит r_k ; пересчет этой величины в сопротивление $R'_{\text{вых}}$ эквивалентного генератора выходной цепи дает $R'_{\text{вых}} = R_{\text{вых}1} / \beta_{03} = r_k / \beta_{03}$, где β_{03} — усиление тока транзистора $VT3$.

Внутреннее сопротивление генератора ООС $R''_{\text{вых}}$ составит

$$R''_{\text{вых}} = \frac{R_1 (R_2 + R'_{\text{вых}})}{R_1 + R_2 + R_{\text{вых}}} \quad (11.36)$$

Коэффициент передачи цепи ООС

$$K'_U = \frac{1}{1 + R_2/R_1} \quad (11.37)$$

Этап 2. Определение параметров при отключенном генераторе ОС. Положив $U'_{\text{ВМХ}}=0$, представим цепь на рис. 11.4,б цепью на рис. 11.14,в, введя

$$\left. \begin{aligned} R^0_{\text{ВХ}} &= R_{\Gamma} + R''_{\text{ВМХ}} + 2[r_6 + r_9(\beta_{01} + 1)]; \\ R_{\text{Н1}} &= R_{\text{ВМХ}} \parallel [r_6 + \beta_{03}R], \quad R_{\text{Н}} = R_1 + R_2; \\ R^0_{\text{ВМХ}} &= R'_{\text{ВМХ}} \parallel R_{\text{Ц}}. \end{aligned} \right\} \quad (11.38)$$

Из (11.37) видно, что при отключенном генераторе ОС входное сопротивление $R^0_{\text{ВХ}}$ учитывает сопротивления генератора R_{Γ} и выхода цепи ОС $R''_{\text{ВМХ}}$. Аналогично выходное сопротивление $R^0_{\text{ВМХ}}$ учитывает действие нагрузки $R_{\text{Н}}$.

Подчеркнем, что отключение генератора ОС следует рассматривать как условную операцию, в результате которой исследуемая цепь унифицируется и рассматривается относительно идеальных генераторов $U_{\text{ВХ}}$ и $U_{\text{ВМХ}}$ (для входного и выходного сопротивлений соответственно). Таким образом, $R^0_{\text{ВХ}}$ является сопротивлением, подключаемым к генератору напряжения $U_{\text{ВХ}}$ на входе цепи. Резистор $R^0_{\text{ВХ}}$ является сопротивлением, подключаемым к источнику напряжения на выходе цепи при закороченных входных генераторах (т. е. при $U_{\text{ВХ}}=0$, $U'_{\text{ВМХ}}=0$).

Вычислим теперь

$$K_U^0 = \frac{U_{\text{ВМХ}}}{U_{\text{ВХ}}} \Big|_{U'_{\text{ВМХ}}=0}$$

Из рис. 11.14,в имеем

$$\left. \begin{aligned} I_{61} &= U_{\text{ВХ}}/R^0_{\text{ВХ}}, \quad U_{63} = \beta_{01} U_{\text{ВХ}} R_{\text{Н1}}/R^0_{\text{ВХ}}; \\ U_{\text{ВМХ}} &= \frac{R_{\text{Н}}}{R'_{\text{ВМХ}} + R_{\text{Н}}} \beta_{01} \frac{R_{\text{Н1}}}{R^0_{\text{ВХ}}} U_{\text{ВХ}}, \end{aligned} \right\} \quad (11.39)$$

откуда

$$K_U^0 = \beta_{01} \frac{1}{1 + R'_{\text{ВМХ}}/R_{\text{Н}}} \frac{R_{\text{Н1}}}{R^0_{\text{ВХ}}}. \quad (11.40)$$

Этап 3. Определение возвратного отношения. Заменяя в цепи на рис. 11.14,в $U_{\text{ВХ}}$ на $-K''_U U'_{\text{ВМХ}}$, при $U_{\text{ВХ}}=0$ найдем

$$T = \frac{U_{\text{ВМХ}}}{U'_{\text{ВМХ}}} \Big|_{U_{\text{ВХ}}=0} = -K''_U \frac{\beta_{01}}{1 + R'_{\text{ВМХ}}/R_{\text{Н}}} \frac{R_{\text{Н1}}}{R^0_{\text{ВХ}}}. \quad (11.41)$$

Подставив (11.37) в (11.41), найдем

$$T = -\beta_{01} \frac{1}{1 + R_2/R_1} \frac{1}{1 + R'_{\text{ВМХ}}/R_{\text{Н}}} \frac{R_{\text{Н1}}}{R^0_{\text{ВХ}}}. \quad (11.42)$$

Этап 4. Определение параметров цепи с ОС. Из общих выражений для цепи, охваченной ООС по напряжению с результирующим сигналом по напряжению

$$K_U = K^0_U / (1 - T), \quad R_{\text{ВХ}} = R^0_{\text{ВХ}} (1 - T), \quad R_{\text{ВМХ}} = R^0_{\text{ВМХ}} / (1 - T), \quad (11.43)$$

для анализируемой схемы простейшего регулятора (см. рис. 11.14,а) нетрудно записать

$$\begin{aligned}
 K_U &= \frac{I}{K_U + \frac{1}{K_U^0}} = \frac{I}{K_U^0 (1 - 1/T)} = \\
 &= \frac{1 + R_2/R_1}{1 + (1/\beta_{01}) [1 + R_2/R_1] [1 + R'_{\text{ВЫХ}}/R_R] (R_{\text{ВХ}}^0/R_{\text{Н1}})}; \\
 R_{\text{ВХ}} &\approx R_{\text{ВХ}}^0 (-T) = \frac{R_{\text{ВХ}}^0 \beta_{01} (R_{\text{Н1}}/R_{\text{ВХ}}^0)}{[1 + R_2/R_1] [1 + R'_{\text{ВЫХ}}/R_R]}; \\
 R_{\text{ВЫХ}} &\approx \frac{R_{\text{ВЫХ}}^0}{-T} = \frac{R_{\text{ВЫХ}}^0}{\beta_{01}} \frac{R_{\text{ВХ}}^0}{R_{\text{Н1}}} \left[1 + \frac{R_2}{R_1} \right] \left[1 + \frac{R'_{\text{ВЫХ}}}{R_R} \right].
 \end{aligned}
 \tag{11.44}$$

11.12. ПРОСТЕЙШИЙ СТАБИЛИЗАТОР ТОКА

Для реализации цепи стабилизатора тока требуются эталон напряжения E_0 и ОУ (рис. 11.15,а). Считая ОУ идеальным, определим напряжения U_1 и U_2 на входе ОУ:

$$\begin{aligned}
 U_1 &= U_{\text{ВЫХ}} R_1 / (R_0 + R_1); \\
 U_2 &= E_0 - I_2 R_2.
 \end{aligned}
 \tag{11.45}$$

Из рис. 11.15,а видно, что

$$\begin{aligned}
 I_3 &= I_{\text{ВЫХ}} - I_2, \quad U_{\text{ВЫХ}} = I_3 R_3 + I_{\text{ВЫХ}} R_{\text{Н}}; \\
 I_2 &= \frac{E_0 - I_{\text{ВЫХ}} R_{\text{Н}}}{R_2 + R_{\text{Н}}}.
 \end{aligned}
 \tag{11.46}$$

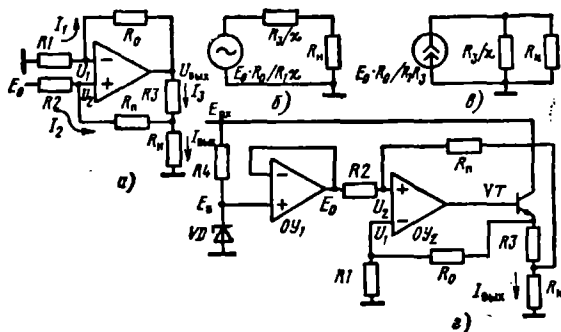


Рис. 11.15. Стабилизатор тока в заземленной нагрузке:

а — электрическая схема; б — модель выходной цепи с генератором напряжения; в — модель выходной цепи с генератором тока; г — модификация цепи на рис. 11.8,а

Исключая из (11.45) напряжение $U_{\text{вых}}$, получаем

$$U_{\text{вых}} = I_{\text{вых}}(R_3 + R_{\text{н}}) - I_2 R_3;$$

$$U_1 = \frac{I_{\text{вых}}(R_3 + R_{\text{н}}) - I_2 R_3}{1 + R_0/R_1}. \quad (11.47)$$

Положив $U_1 = U_2$, из (11.45) и (11.47) найдем

$$(E_0 - I_2 R_2)(1 + R_0/R_1) = I_{\text{вых}}(R_3 + R_{\text{н}}) - I_2 R_3. \quad (11.48)$$

Иными словами,

$$I_2 \left[R_3 - R_2 \left(1 + \frac{R_0}{R_1} \right) \right] = I_{\text{вых}}(R_3 + R_{\text{н}}) - E_0 \left(1 + \frac{R_0}{R_1} \right).$$

Используя (11.46), исключим ток I_2 :

$$\frac{E_0 - I_{\text{вых}} R_{\text{н}}}{R_2 + R_{\text{н}}} \left[R_3 - R_2 \left(1 + \frac{R_0}{R_1} \right) \right] = I_{\text{вых}}(R_3 + R_{\text{н}}) - E_0 \left(1 + \frac{R_0}{R_1} \right),$$

откуда

$$\begin{aligned} I_{\text{вых}} \left\{ (R_3 + R_{\text{н}}) + \frac{R_{\text{н}}}{R_2 + R_{\text{н}}} \left[R_3 - R_2 \left(1 + \frac{R_0}{R_1} \right) \right] \right\} = \\ = E \left[1 + \frac{R_0}{R_1} + \frac{R_3 - R_2 \left(1 + \frac{R_0}{R_1} \right)}{R_0 + R_{\text{н}}} \right]. \end{aligned}$$

т. е.

$$I_{\text{вых}} = E_0 \frac{1 + \frac{R_0}{R_1} - \frac{R_2(1 + R_0/R_1) - R_3}{R_2 + R_{\text{н}}}}{R_1 + R_{\text{н}} \left(1 - \frac{R_2(1 + R_0/R_1) - R_3}{R_2 + R_{\text{н}}} \right)}. \quad (11.49)$$

Для того чтобы ток $I_{\text{вых}}$ не зависел от нагрузки $R_{\text{н}}$, требуется выполнение условия

$$\frac{R_2(1 + R_0/R_1) - R_3}{R_2 + R_{\text{н}}} = 1, \quad (11.50)$$

т. е.

$$R_2(R_0/R_1) = R_3 + R_{\text{н}}. \quad (11.51)$$

При этом (11.49) можно упростить:

$$I_{\text{вых}} = E_0 R_0 / R_1 R_3. \quad (11.52)$$

Проектируя цепь на рис. 11.15,а, обычно выбирают $R_1 = R_2$, тогда условие (11.51) можно записать в виде

$$R_0 = R_3 + R_{\text{н}}. \quad (11.53)$$

При точном выполнении условия (11.51) ток $I_{\text{вых}}$ не будет зависеть от $R_{\text{н}}$, т. е. $R_{\text{вых}}$ будет близко к бесконечности. Для того чтобы определить реальные значения $R_{\text{вых}}$, требуется рассмотреть чувствительность схемы к нарушению условия (11.51).

Обозначим малое отклонение через

$$\chi = 1 - \frac{R_2(1 + R_0/R_1) - R_3}{R_2 + R_{\Pi}} = \frac{R_2 + R_{\Pi} + R_2(R_0/R_1)}{R_2 + R_{\Pi}}$$

Тогда из (11.49) получим

$$I_{\text{вых}} = E_0 \frac{(R_0/R_1) + \chi}{R_2 + R_{\Pi} \chi} \quad (11.54)$$

Приняв $\chi \ll R_0/R_1$, выражению (11.54) можно придать вид

$$I_{\text{вых}} \approx \frac{E_0 R_0}{R_1 \chi [R_2/\chi + R_{\Pi}]} \quad (11.55)$$

и интерпретировать в виде эквивалентных цепей с генератором напряжения (рис. 11.15,б) и тока (рис. 11.15,в). Выходное сопротивление рассматриваемой схемы, как это следует из (11.55) и рис. 11.8,в, окажется равным

$$R_{\text{вых}} = R_3/\chi.$$

11.13. ТИПЫ СТАБИЛИЗАТОРОВ ТОКА

Стабилизатор тока заземленной нагрузки. При реализации цепи стабилизатора тока (см. рис. 11.15,б) эталон E_0 формируется из входного нестабилизированного напряжения $E_{\text{вх}}$ при помощи стабилитрона VD , OY и повторителя напряжения, с низкого выхода которого снимается напряжение E_0 . На выходе используют мощный транзистор VT , максимально допустимая рас-

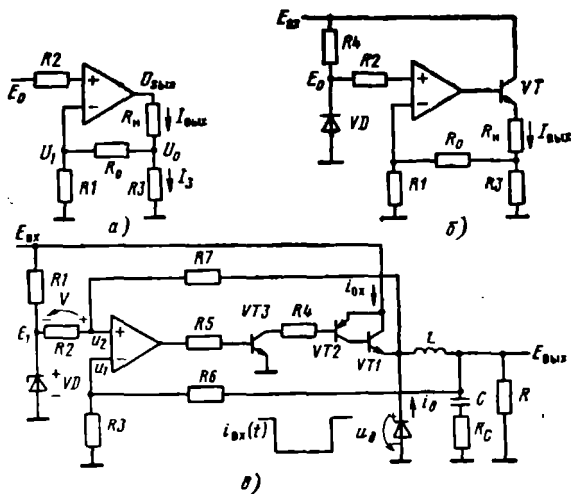


Рис. 11.16. Стабилизаторы тока:

а — упрощенный вариант стабилизатора тока в незаземленной нагрузке; б — полная структура той же цепи; в — структура ключевого стабилизатора

сенваемая мощность которого P_{max} определяет наименьшее допустимое значение номинала R_3 .

Считая $R_n \ll R_3$, из условия

$$E_{вх} I_{вых} = P_{max} + I_{вых}^2 R_3 \quad (11.56)$$

получаем нижнюю границу возможных значений R_3 . Имеем

$$R_3 = \frac{E_{вх} I_{вых} - P_{max}}{I_{вых}^2}. \quad (11.57)$$

Из (11.57) можно определить максимально допустимое для схемы значение R_n . Пренебрегая током в резисторе R_n , запишем $E \approx I_{вых}(R_3 + R_n)$. Отсюда

$$R_n \text{ max} = E_{вх} / I_{вых} - R_3. \quad (11.58)$$

Резисторы R_0 , R_n , $R1=R2$ выбирают из приведенных ниже соотношений при выбранных значениях R_3 и $R_0 \geq 100R_3$:

$$R_n = R_0 - R_3, \quad R_1 = R_2 = E_0 \frac{R_0}{E_{вх} - E_0}, \quad R_4 = \frac{E_{вх} - E_0}{I_2}, \quad (11.59)$$

где I_2 — оптимальный ток стабилитрона.

Сопротивления резисторов $R1=R2$ выбирают из условия $U_{вых \text{ max}} = E_{вх}$. При этом

$$E_0 = \frac{U_{вых \text{ max}}}{1 + R_0/R_1},$$

откуда

$$R_1 = R_2 = E_0 R_0 / (E_{вх} - E_0). \quad (11.60)$$

Стабилизатор тока незаземленной нагрузки. Упрощенный вариант такого стабилизатора показан на рис. 11.16,а. Из этого рисунка видно, что нагрузка R_n к земле не присоединена и потенциалы на ней составляют $U_{вых}$ и U_0 . Если справедливо неравенство $R_0 \gg R_3$ и ОУ идеальный, то

$$I_{вых} = I_3 = U_0 / R_3;$$

$$U_1 = U_0 - R_1 / (R_1 + R_0) = E_0. \quad (11.61)$$

Из (11.61)

$$I_{вых} = \frac{E_0}{R_3} (1 + R_0/R_3), \quad (11.62)$$

откуда видно, что ток $I_{вых}$ не зависит от нагрузки R_n (в пределах динамического диапазона ОУ). Вариант цепи (рис. 11.16,а), представленный на рис. 11.16,б, содержит $R4$ для формирования эталона E_0 и мощный транзистор VT на выходе ОУ.

11.14. КЛЮЧЕВОЙ СТАБИЛИЗАТОР НАПРЯЖЕНИЯ

Ключевой стабилизатор применяется в тех условиях, когда необходимо достичь наибольшего коэффициента полезного дей-

ствия (КПД) при стабилизации напряжения. С этой целью используется режим переключения проходного транзистора. Одна из разновидностей цепи ключевого стабилизатора показана на рис. 11.16,в. Проходным транзистором в этой схеме служит комбинаторная пара БТ $VT1$, $VT2$, работающих в режиме переключения тока $i_{вх}(t)$. Частота переключения тока $i_{вх}(t)$ для нормальной работы схемы должна зависеть от входного нестабилизированного напряжения $E_{вх}$. С помощью дросселя L и конденсатора C эта частота устанавливается в пределах 5...100 кГц (из соображений получения наибольшего КПД с учетом потерь в транзисторах и магнитном материале дросселя).

Цепь на рис. 11.16,б работает следующим образом. Предположим, что мгновенное значение напряжения $u_1(t)$ на инвертирующем входе ОУ растет и превысило уровень $u_2 = E_1 + V$, где V — падение напряжения на резисторе $R2$; E_0 — эталонное напряжение. Как только начнет выполняться условие

$$u_1(t) > E_0 + V, \quad (11.63)$$

ОУ начнет запирают транзисторы $VT3$, $VT2$, $VT1$. Ток $i_{вх}(t)$, протекавший через цепь $VTLR_n$, не может прекратиться после записания транзистора $VT1$. Накопленная в индуктивности дросселя L энергия обуславливает ток через дроссель $i_d(t)$, который (рис. 11.16,в) начинает течь при прекращении тока $i_{вх}(t)$. Затухание тока $i_d(t)$ вызовет уменьшение мгновенного значения $E_{вх}$. В свою очередь, уменьшение $E_{вх}$ вызовет уменьшение u_1 . При этом ОУ начнет открывать транзисторы $VT3$, $VT2$, $VT1$ и ток дросселя снова начнет увеличиваться за счет роста $i_{вх}(t)$. Этот рост будет продолжаться до тех пор, пока снова не начнет выполняться условие (11.63), после чего описанный цикл будет повторяться.

Ключевые стабилизаторы широко используются в аппаратуре.

11.15. ИНТЕГРАЛЬНЫЕ АНАЛОГОВЫЕ ПЕРЕМНОЖИТЕЛИ

Интегральными аналоговыми перемножителями (АП) являются: цепи на основе ОУ, выполняющие операцию аналогового перемножения в различных цепях, и специализированные конфигурации ИС, выполняющие те же функции. В последнем случае в структуру АИС вводят цепи, уменьшающие ошибку перемножения.

Перемножители являются основой широкого класса радиотехнических преобразователей. Высокоточные и сравнительно низкочастотные перемножители применяются в измерительной технике и аппаратуре, выполняющей вычислительные преобразования над аналоговыми величинами. Высокочастотные перемножители служат основой нелинейных радиотехнических преобразований. Применение АП стандартизует радиотехнические цепи. Широкое использование АП возможно лишь при том уровне качества взаимного согласования их компонентов, которое обеспечивается современной технологией полупроводниковых ИС.

Перемножение аналоговых сигналов в дифференциальном каскаде. Вспомним формулу (9.53), описывающую зависимость максимального значения крутизны ДК $|S_{0 \max}|$ от тока ДК:

$$|S_{0 \max}| = \frac{\alpha_0 I_0}{2\varphi_T}$$

При подаче на входы ДК приращений $\Delta U_2 = \Delta U$, $\Delta U_1 = -\Delta U$ выходное напряжение между симметричными выходами ДК получит приращение

$$|\Delta U_{\text{вых}}| = |2\Delta U S_{0 \max} R_H| = |\Delta U| \frac{\alpha_0 I_0 R_H}{\varphi_T} \quad (11.64)$$

Для управления током I_0 можно использовать транзистор (рис. 11.17,а). При выполнении условия

$$I_0 R_0 \gg U^* \quad (11.65)$$

справедливо приближенное равенство $I \approx V/R_0$ и, следовательно,

$$\Delta U_{\text{вых}} = \frac{\alpha_0 R_H}{\varphi_T} \frac{V \Delta U}{R_0} \quad (11.66)$$

Недостатком схемы на рис. 11.17,а является слишком малый динамический диапазон перемножения, осуществляемого по формуле (11.66). Этот диапазон ограничивается неравенством (11.65), т. е. условием

$$V \gg U^*$$

Для увеличения динамического диапазона ДК по входу заменим на рис. 11.17,а транзистор $VT3$ на ДК $VT3, VT4$ и рассмотрим цепь на рис. 11.17,б, в которой $V = V_2 - V_1$, т. е. сигнал представлен в такой же дифференциальной форме¹, как и сигнал U . Нагрузки плеч $VT3$ и $VT4$ второго ДК в этой схеме явно несимметричны, поэтому коэффициент подавления синфазного сиг-

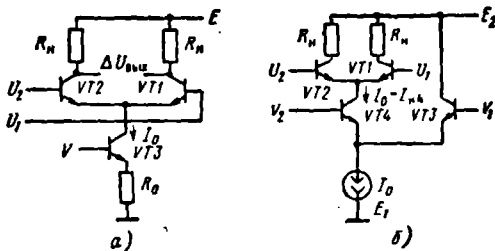


Рис. 11.17. Интегральный аналоговый перемножитель:

а — упрощенная цепь; б — цепь, реализующая соотношение $V = V_2 - V_1$

¹ Динамический диапазон при этом увеличивается во много раз из-за того, что ограничение (11.65) для ДК снимается, поскольку синфазные напряжения $U_{\text{бэ}1}$ и $U_{\text{бэ}2}$ транзисторов $VT1$ и $VT2$, равные U^* , взаимно компенсируются.

нала по входам V_1 и V_2 не может быть доведен до уровня, характерного для цепей ОУ (см. гл. 10).

Для устранения этой несимметрии в цепь перемножителя вводятся еще один ДК (рис. 11.18,а), резко увеличивающий КОСС по входам V_1 и V_2 .

ИС перемножителя. На рис. 11.18,а представлена схема аналогового перемножителя 526ПС1, отличающаяся от цепи на рис. 11.17,б использованием дополнительного дифференциального каскада $VT5, VT6$ для расширения диапазона сигналов $V=V_2-V_1$.

Улучшение подавления синфазного сигнала перемножителя достигается тем, что каждому плечу $VT5, VT6$ на рис. 11.18,а соответствуют ДК $VT1, VT2$ и $VT3, VT4$. Иначе говоря, параллельно ДК $VT1, VT2$ в цепи на рис. 11.11,а включен дополнительный ДК $VT3, VT4$.

Обозначив $U=U_2-U_1, V=V_2-V_1$ и приняв во внимание выражения

$$U_{\text{вых}} = [(I_2 + I_4) - (I_1 + I_3)] R_H = [(I_2 - I_1) + (I_4 - I_3)] R_H; \quad (11.67)$$

$$I_2 - I_1 = U \alpha_0 I_6 / \varphi_T; \quad (11.68)$$

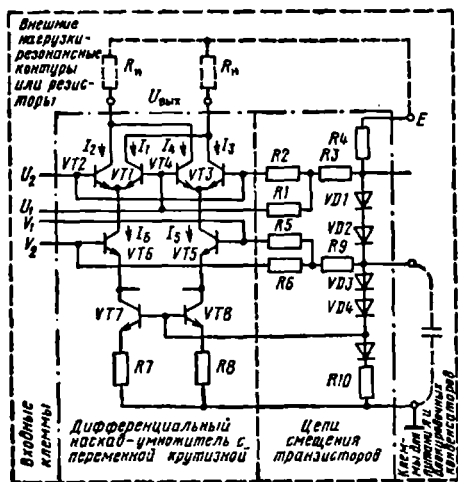
$$I_4 - I_3 = U \alpha_0 I_5 / \varphi_T, \quad (11.69)$$

получим

$$U_{\text{вых}} = \frac{\alpha_0 R_H}{\varphi_T} U (I_6 - I_5). \quad (11.70)$$

Однако

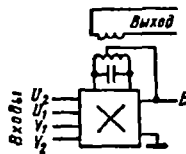
$$I_6 - I_5 = 2(V_2 - V_1) S_0 = 2V S_0, \quad (11.71)$$



а)

Рис. 11.18. Интегральный аналоговый перемножитель 526ПС1:

а — электрическая схема; б — условное обозначение АП, работающего на нагрузку (колебательный контур)



б)

Параметры	Значения	Примечания
Диапазон рабочих частот, МГц	0...40	—
Коэффициент передачи в схеме преобразователя частоты, дБ	>14	Измеряется на частоте сигнала
Коэффициент подавления напряжения гетеродина в схеме преобразователя, дБ	>30	$f_0 = 10$ МГц при $R_{\text{н}} = 1$ кОм; $f_c = 10$ МГц; $U = U_c = 5$ мВ, $V = V_c = 500$ мВ
Напряжение питания E_1 , В	$6 \pm 10\%$	—
Ток, потребляемый от источника E , мА	5	—

где $S_0 \approx I_0 / \varphi_{\tau}$ соответствует среднему току

$$I_0 = (I_5 + I_6) / 2, \quad (11.72)$$

задаваемому в эмиттеры $VT5$, $VT6$ схемой эталона тока на $VT7$, $VT8$. Из (11.67), (11.70) и (11.71) получим

$$U_{\text{вых}} = [(2\alpha_0 / \varphi_{\tau}^2) I_0 R_{\text{н}}] UV. \quad (11.73)$$

Стоящий в квадратных скобках масштабный коэффициент пропорциональности $k = \frac{2\alpha_0}{\varphi_{\tau}^2} I_0 R_{\text{н}}$ можно регулировать изменением нагрузки $R_{\text{н}}$ и тока I_0 .

Описанные выше способы улучшения низкочастотных точностных параметров позволили сделать перемножитель 526ПС1 практически идеальным, т. е. выполняющим соотношения (9.4) и (11.73), причем

$$k = \frac{2\alpha_0}{\varphi_{\tau}^2} I_0 R_{\text{н}} \quad (11.74)$$

с пренебрежимой погрешностью в широком диапазоне сигналов U_1 , U_2 , V_1 , V_2 во всех четырех квадрантах изменения величин U и V при токах I_0 и нагрузках $R_{\text{н}}$, оговоренных техническими условиями. При таких условиях основные неидеальности АИС перемножителя (табл. 11.4) описывают поведение этой АИС в радиотехническом диапазоне частот (для 526ПС1 это диапазон 4...400 МГц).

11.16. РАДИОТЕХНИЧЕСКИЕ ПРЕОБРАЗОВАНИЯ НА ОСНОВЕ АНАЛОГОВЫХ ПЕРЕМНОЖИТЕЛЕЙ

Балансный модулятор. Предположим, что на входах U и V перемножителя (рис. 11.19,а) действуют периодические колебания

$$U = u(t) = U_m \cos \omega_1 t, \quad V = v(t) = V_m \cos \omega_2 t. \quad (11.75)$$

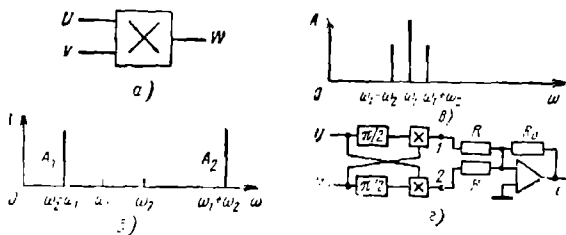


Рис. 11.19. Цепи на основе аналогового умножителя:

а — подача сигналов в балансном модуляторе; **б** — спектр колебаний на выходе балансного модулятора; **в** — амплитудный модулятор, не создающий побочных частот; **г** — структура однополосного модулятора

Согласно (11.73) сигнал на выходе умножителя

$$W = u_{\text{вых}}(t) = 0,5kU_m V_m [\cos(\omega_2 - \omega_1)t + \cos(\omega_2 + \omega_1)t]. \quad (11.76)$$

Из (11.76) видно, что спектр $A(\omega)$ колебаний на выходе умножителя состоит из двух составляющих, соответствующих разностной $\omega_2 - \omega_1$ и суммарной $\omega_2 + \omega_1$ частотам. Амплитуды A_1 и A_2 составляющих спектра (рис. 11.19,б) одинаковы и равны

$$A_1 = A_2 = 0,5kU_m V_m. \quad (11.77)$$

В то же время составляющие с частотами ω_1 и ω_2 в спектре $A(\omega)$ отсутствуют. Их подавление наряду с получением спектров A_1 и A_2 (см. рис. 11.19,б) и является функцией идеального балансного модулятора.

Амплитудный модулятор, не создающий побочных частот. Подавая на схему рис. 11.19,а сигналы

$$U = u(t) = U_m \cos \omega_1 t, \quad (11.78)$$

$$V = v(t) = V_m (1 + m \cos \omega_2 t),$$

на выходе получим сигнал

$$W = u_{\text{вых}}(t) = kU_m V_m \cos \omega_1 t + 0,5mkU_m V_m [\cos(\omega_1 - \omega_2)t + \cos(\omega_1 + \omega_2)t]. \quad (11.79)$$

Спектр сигнала на выходе состоит из несущей частоты ω_1 и двух боковых частот $\omega_1 - \omega_2$ и $\omega_1 + \omega_2$ (рис. 11.19,в).

Однополосный модулятор. Такое включение (рис. 11.19,г) позволяет использовать возможность балансной работы двух умножителей с целью подавления не только несущей, но и боковых частот. По существу, в этом случае происходит фильтрация нужной частоты.

Пусть нам необходимо из сигналов

$$u(t) = U_m \cos \omega_1 t, \quad v(t) = V_m \cos \omega_2 t$$

получить сигнал с частотой $\omega_1 + \omega_2$ и подавить остальные состав-

ляющие спектра. Зафиксировав на рис. 11.19, *г* точки 1 и 2, для сигналов в этих точках u_1 и u_2 получим

$$u_1 = -kU_m V_m \sin \omega_1 t \cos \omega_2 t, \quad u_2 = -kU_m V_m \sin \omega_2 t \cos \omega_1 t$$

(коэффициенты передачи множителей полагаются одинаковыми и равными $-k$).

Обозначив коэффициент передачи ОУ в схеме инвертирующего сумматора через $-K$, получим выражение для выходного напряжения в виде

$$W(t) = kKU_m V_m \sin(\omega_1 + \omega_2)t. \quad (11.80)$$

Выражению (11.80) соответствует одна спектральная линия частоты $\omega_1 + \omega_2$.

Удвоитель частоты. В этом включении умножитель осуществляет возведение входного сигнала в квадрат; на выходе цепи используется фильтр, пропускающий высокие частоты (рис. 11.20, *а*). Имеем

$$u(t) = v(t) = U_m \cos \omega_1 t \quad u_1(t) = kU_m^2 \cos^2 \omega_1 t.$$

Поэтому

$$u_1(t) = 0,5kU_m^2 [1 + \cos 2\omega_1 t]. \quad (11.81)$$

Постоянная составляющая $kU_m^2/2$ через фильтр не пройдет, поэтому сигнал на выходе окажется равным

$$w(t) = 0,5kU_m^2 \cos 2\omega_1 t. \quad (11.82)$$

Из (11.81) и (11.82) видно, что в спектре на выходе не содержится составляющая с частотой ω_1 . Отфильтровать же постоянную составляющую обычно не составляет труда.

Делитель частоты. В этом включении использован фильтр, задерживающий входную частоту ω_1 , но пропускающий низкие частоты, и применена регенеративная обратная связь с выхода схемы на один из входов умножителя (см. рис. 11.20). Коэффициенты передачи звеньев петли положительной ОС подобраны так, что условия самовозбуждения выполняются лишь в присутствии входного

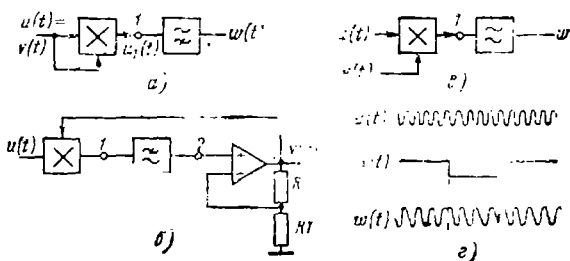


Рис. 11.20. Радиотехнические преобразования, выполняемые с помощью аналогового умножителя:

а — удвоитель частоты; *б* — делитель частоты; *в* — фазовый детектор; *г* — эпилоры сигналов бифазного модулятора

сигнала $u(t)$ для колебаний частоты $\omega_1/2$, близкой к половине частоты входного сигнала.

Если $u(t) = U_m \cos \omega_1 t$, а на выходе фильтра возник малый сигнал

$$u'_2(t) = U'_2 \cos(\omega_1 t/2), \quad (11.83)$$

то после усиления на вход умножителя поступит

$$v(t) = U'_2 \left(1 + \frac{R_2}{R_1}\right) \cos \frac{\omega_1}{2} t.$$

Мгновенное значение сигнала в точке 1 на выходе умножителя составит

$$u_1(t) = k u(t) v(t) = k \left(1 + \frac{R_2}{R_1}\right) \frac{1}{2} U_m U'_2 \left[\cos \frac{3}{2} \omega_1 t + \cos \frac{\omega_1}{2} t \right]. \quad (11.84)$$

Фильтр пропустит лишь низкочастотную составляющую этого сигнала так, что

$$u_2(t) = \frac{1}{2} k K_\Phi \left(1 + \frac{R_2}{R_1}\right) U_m U'_2 \cos \frac{\omega_1}{2} t, \quad (11.85)$$

где K_Φ — коэффициент передачи фильтра.

Сравнивая (11.85) с (11.83), видим, что для самовозбуждения необходимо выполнение условия

$$T = \frac{1}{2} k K_\Phi \left(1 + \frac{R_2}{R_1}\right) U_m > 1. \quad (11.86)$$

Фазовый демодулятор (детектор). Эта цепь (рис. 11.20,в) содержит фильтр низких частот; на один из входов умножителя подаются напряжение $u(t)$, подлежащее детектированию, и опорный сигнал $v(t)$ с фиксированной фазой:

$$U = u(t) = U_m \cos(\omega_0 t + \varphi);$$

$$V = v(t) = V_m \cos \omega_0 t.$$

Сигнал в точке 1 определится как

$$\left[u_1(t) = \frac{k U_m V_m}{2} [\cos(2\omega_0 t + \varphi) + \cos \varphi]. \quad (11.87) \right.$$

Сигнал, описываемый первым слагаемым (11.87), через фильтр низких частот не пройдет, таким образом,

$$u(t) = k K_\Phi \frac{U_m V_m}{2} \cos \varphi. \quad (11.88)$$

Бифазный модулятор. Основная функция этого устройства — сдвиг на 180° (рис. 11.20,г) фазы мгновенного значения сигнала в момент смены значения переключательной функции:

$$v(t) = \begin{cases} 1, \\ -1. \end{cases}$$

При этом (см. рис. 11.20,в)

$$\omega(t) = ku(t)v(t) = \begin{cases} kU_m \cos \omega_1 t, \\ -kU_m \cos \omega_1 t, \end{cases} \quad (11.89)$$

что соответствует временным диаграммам на рис. 11.20,г.

Бифазный демодулятор (детектор). Основная функция этого устройства — выделение модулирующей двоичной функции переключения из модулированного сигнала вида (11.89), т. е. из $u(t) = \pm U_m \cos \omega_1 t$.

Для работы демодулятора на вход V умножителя (рис. 11.21,а) необходимо подать опорный сигнал $v(t) = V_m \cos \omega_1 t$ той же частоты ω .

На выходе перемножителя (в точке 1) при этом получим

$$u_1(t) = \pm 0,5kU_m V_m [1 + \cos 2\omega_1 t]. \quad (11.90)$$

Напряжение $\omega(t)$ на выходе фильтра, пропускающего низкие частоты, составит

$$W' = \omega(t) = \pm 0,5kU_m V_m K_\Phi, \quad (11.91)$$

т. е. это напряжение принимает два значения, соответствующие логическим уровням модулирующего сигнала.

Линейный амплитудный демодулятор (детектор). Основная функция этого устройства — выделение низкочастотной огибающей $U_m(t)$ входного модулированного сигнала:

$$u(t) = U_m(t) \cos \omega_1 t. \quad (11.92)$$

Это напряжение подается на умножитель вместе с сигналом, снимаемым с выхода ограничителя (точка 2 на рис. 11.21,б):

$$v(t) = V_0 \cos \omega_1 t. \quad (11.93)$$

Амплитуда V_0 в широких пределах может быть сделана постоянной. Из (11.92) и (11.93) найдем временную диаграмму сигнала на выходе умножителя (точка 1):

$$u_1(t) = 0,5U_m(t) V_0 k [1 + \cos 2\omega_1 t]. \quad (11.94)$$

На выходе фильтра (рис. 11.21,б) из приведенных выше двух слагаемых останется лишь низкочастотная составляющая

$$\omega(t) = 0,5V_0 k K_\Phi U_m(t), \quad (11.95)$$

пропорциональная огибающей $U_m(t)$.

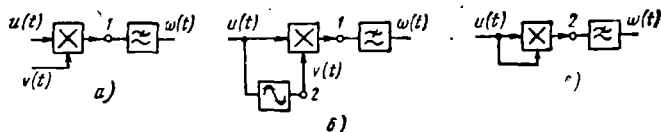


Рис. 11.21. Демодуляторы (детекторы):

а — бифазный; б — линейный амплитудный; в — квадратичный амплитудный

Квадратичный детектор. Основная функция этой цепи — получение сигнала, пропорционального квадрату огибающей (т. е. мгновенной мощности) входного сигнала.

Эта цепь (11.21,б) отличается от ранее рассмотренной (см. рис. 11.21,а) тем, что не содержит ограничителя. Повторив аналогичные (11.92) — (11.95) рассуждения для $\omega(t)$, получим

$$\omega(t) = 0,5 k K_{\Phi} U_m^2. \quad (11.96)$$

Низкочастотное значение $\omega(t)$ оказалось пропорциональным квадрату U_m , т. е. мощности входного сигнала. Линейные и квадратичные детекторы, осуществляющие с помощью АИС преобразования (11.94) и (11.96), широко используются в измерительной технике при создании современных высокочастотных вольтметров.

Описанные выше применения АП позволяют говорить о нем как об универсальном элементе — основе большого числа нелинейных специальных аналоговых функций, характерных для современной радиотехники. Эта универсальность реализуется от низких частот до частот 10 ... 50 МГц.

В более высокочастотном диапазоне применяют специализированные радиочастотные ИС, не являющиеся в явном виде перемножителями, но реализующие перечисленные выше нелинейные САФ.

КОНТРОЛЬНЫЕ ВОПРОСЫ И УПРАЖНЕНИЯ

1. Охарактеризуйте работу операционного усилителя в компараторном включении. Каковы особенности схемотехники и параметры специализированной структуры ИС компараторов?

2. Охарактеризуйте работу детекторов уровня напряжения. Как определить гистерезис триггера Шмита?

3. Опишите функционирование ждущего мультивибратора, построенного на основе интегрального компаратора.

4. Опишите структуру и механизм работы простейшего цифроаналогового преобразователя с резисторами веса на входе.

5. Каковы принципы изготовления, расчета и применения интегральных резисторных матриц?

6. Опишите структуру и механизм работы ЦАП и АЦП с матрицами $R-2R$.

7. Каковы пути повышения точности и быстродействия АЦП?

8. Охарактеризуйте структуру и механизм работы параллельного АЦП.

9. Какие структуры стабилизаторов напряжения и тока Вы знаете?

10. Опишите работу ключевого стабилизатора напряжения.

11. Опишите принципы схемотехнического построения интегральных аналоговых перемножителей.

12. Какие радиотехнические преобразования можно выполнить на основе аналоговых перемножителей?

Глава 12. ИНТЕГРАЛЬНЫЕ РАДИОЧАСТОТНЫЕ ЦЕПИ И ИХ АППАРАТУРНОЕ ИСПОЛЬЗОВАНИЕ

Радиочастотные цепи применяются в технике передач сообщений (радиосвязи) в приемопередающих устройствах. Для радиочастотных цепей характерно использование линейной специальной аналоговой функции (САФ) *частотной селекции*, реализующей усиление и фильтрацию избранного диапазона частот. Такая функция может быть представлена как комбинация основных аналоговых функций (ОАФ) усиления и фильтрации. Разбиение САФ частотной селекции на две ОАФ дает возможность строить радиочастотную МЭА из стандартных усилительных блоков и фильтров, специализированных применительно к используемому в радиoliniях связи диапазону частот (волн). Другая САФ, характерная прежде всего для СВЧ диапазона, — согласование полных сопротивлений в требуемой полосе частот. Это согласование заключается в такой трансформации, при которой активные части комплексных сопротивлений или проводимостей генератора и нагрузки делаются равными, а реактивные — равными и противоположными по знаку.

САФ согласования полных сопротивлений на низких частотах реализуют с помощью трансформаторов; в радиочастотном диапазоне для этой цели используют колебательные контуры с неполным включением генератора или нагрузки. В диапазоне СВЧ согласование осуществляют с помощью пассивных микрополосковых линий передач, являющихся специализированными цепями и выполняемых по технологии гибридных ИС.

12.1. ИНЕРЦИОННЫЕ СВОЙСТВА БИПОЛЯРНЫХ ТРАНЗИСТОРОВ В РАДИОЧАСТОТНОМ ДИАПАЗОНЕ. ВКЛЮЧЕНИЕ С ОБЩЕЙ БАЗОЙ

Модель БТ. Для изучения инерционных свойств БТ его низкочастотная линейная модель модифицируется. В модифицированной линейной схеме замещения транзистора (рис. 12.1,а) величины Z_k , Z_b , Z_o — комплексные, а частотно-фазовая характеристика коэффициента $\alpha = I_k/I_o$ аппроксимируется той или иной комплексной функцией передачи, например функцией

$$\dot{\alpha} = \frac{\alpha_0 \exp(-j\omega\tau_d)}{1 + j\omega\tau_c} \quad (12.1)$$

Экспоненциальный член $\exp(-j\omega\tau_d) = \exp(-j\omega\tau_c)$ в числителе выражения (12.1) учитывает дополнительный фазовый сдвиг,

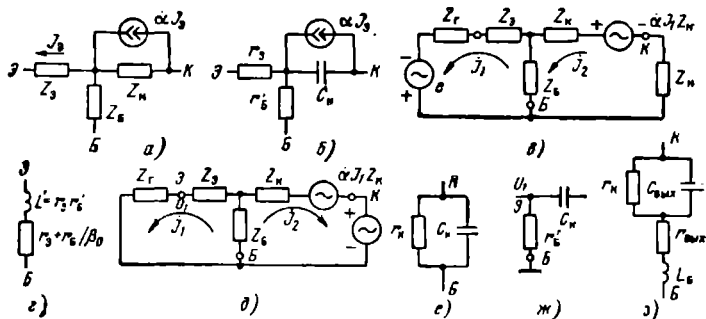


Рис. 12.1. Высокочастотная модель биполярного транзистора и ее использование для анализа схемы с общей базой

вносимый БТ на частотах, приближающихся к граничной частоте $f_\alpha = \omega_\alpha / 2\pi = 1/2\pi\tau_\alpha$.

Показатель $\kappa = \tau_d / \tau_\alpha$ зависит от напряженности электрического поля в базе БТ. У бездрейфового БТ $\kappa = 0,21$, у дрейфового $\kappa = 0,4 \dots 0,9$.

В рабочем диапазоне $\omega\tau_d = \kappa\omega\tau_\alpha$, т. е.

$$f \ll f_d = f_\alpha / \kappa. \quad (12.2)$$

При этом экспоненту $\exp(-j\omega\tau_d)$ можно заменить двумя первыми членами ее разложения в ряд $\exp(-j\omega\tau_d) = \exp(-j\omega\kappa\tau_\alpha) \approx \approx 1/(1+j\omega\tau_d)$ и интерпретировать нормированный комплексный коэффициент передачи $\dot{\alpha}^{(1)} = \alpha/\alpha_0$ в виде двухзвенного фильтра

$$\dot{\alpha}^{(1)} = [(1 + j\omega\tau_\alpha)(1 + j\omega\tau_d)]^{-1}. \quad (12.3)$$

Диаграммы Боде для модуля $\alpha^{(1)} = \text{mod } \dot{\alpha}^{(1)}$ и фазы φ этого выражения приведены на рис. 12.2, а, б.

Перемножив выражения в скобках знаменателя (12.3) и заменив τ_d на $\kappa\tau_\alpha$, получим

$$\dot{\alpha}^{(1)} = \dot{\alpha}/\alpha_0 = [1 - \kappa(\omega\tau_\alpha)^2 + j\omega(1 + \kappa)\tau_\alpha]^{-1}. \quad (12.4)$$

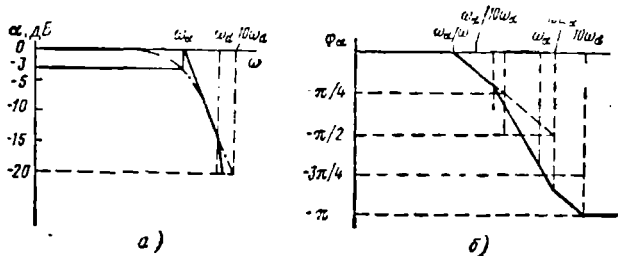


Рис. 12.2. Диаграмма Боде для биполярного транзистора:

а — амплитудная; б — фазовая

Приняв во внимание, что условия (12.2) и $f \ll f_a$ гарантируют $\kappa(\omega\tau_a) \ll 1$, приведем (12.4) к выражению для однозвенного фильтра:

$$\dot{\alpha}^{(1)} = \dot{\alpha}/\alpha_0 = 1/1 + j\omega\tau_r, \quad (12.5)$$

где $\tau_r = (1 + \kappa)\tau_a = \tau_a + \tau_d$, т. е.

$$f_r = \omega_r/2\pi \approx f_a/(1 + \kappa). \quad (12.6)$$

Разумеется, интерпретация $\dot{\alpha}^{(1)}$ в виде однозвенного фильтра справедлива лишь тогда, когда условие (12.2) выполняется.

Пример. Пусть $\kappa = 0,2$, $f = 0,4f_a$. Найти погрешность в определении модуля и фазы $\dot{\alpha}^{(1)}$ по формуле (12.5) для однозвенного фильтра.

Решение. Из (12.5) имеем

$$\alpha^{(1)} = \frac{\text{mod } \dot{\alpha}}{\alpha_0} = \frac{1}{\sqrt{1 + (f/f_r)^2}};$$

$$\varphi = -\arctg(f/f_r).$$

Учтя (12.6), при $f = 0,4f_a = 0,4$, $f_r(1 + 0,2)$, $f \approx 0,48f_r$ получим

$$\alpha^{(1)} = \frac{1}{\sqrt{1 + 0,48^2}} = 0,90152; \quad \varphi = -\arctg 0,48 = -25,64^\circ.$$

По более точной формуле (12.1)

$$\alpha^{(1)} = \frac{1}{\sqrt{1 + (0,4)^2}} = 0,92848;$$

$$\varphi = -\arctg(f/f_a) - \arctg(\kappa f/f_a) = -\arctg 0,4 - \arctg 0,08 = -26,4^\circ.$$

Таким образом, погрешности определения модуля и фазы невелики (лежат в пределах 3%).

БТ в схеме с общей базой (ОБ). Исходная цепь для составления уравнений Кирхгофа изображена на рис. 12.1, в. Источник тока $\dot{\alpha}\mathcal{I}_1$ пересчитан в этой схеме в источник ЭДС $\dot{\alpha}\mathcal{I}_1 Z_k$ с тем же внутренним сопротивлением Z_k .

Составим уравнения Кирхгофа для комплексных амплитуд токов:

$$\mathcal{E} = \dot{\mathcal{I}}_1(Z_r + Z_o + Z_6) - \dot{\mathcal{I}}_2 Z_6; \quad (12.7)$$

$$\dot{\alpha}\mathcal{I}_1 Z_k = -\dot{\mathcal{I}}_1 Z_6 + \dot{\mathcal{I}}_2(Z_6 + Z_k + Z_n). \quad (12.8)$$

Перенесем член $\dot{\alpha}\mathcal{I}_1 Z_k$ в правую часть равенства:

$$0 = -\dot{\mathcal{I}}_1(\dot{\alpha}Z_k + Z_6) + \dot{\mathcal{I}}_2(Z_6 + Z_k + Z_n) \quad (12.9)$$

и решим (12.7) и (12.8) совместно. Имеем

$$\dot{\mathcal{I}}_1 = \frac{\begin{vmatrix} \mathcal{E} & -Z_6 \\ 0 & Z_6 + Z_k + Z_n \end{vmatrix}}{\Delta} = \frac{\Delta_1}{\Delta}; \quad (12.10)$$

$$\dot{\mathcal{I}}_2 = \frac{\begin{vmatrix} Z_r + Z_o + Z_6 & \mathcal{E} \\ -(Z_6 + \dot{\alpha}Z_k) & 0 \end{vmatrix}}{\Delta} = \frac{\Delta_2}{\Delta}, \quad (12.11)$$

где

$$\Delta = \begin{vmatrix} Z_r + Z_g + Z_0 & -Z_0 \\ -(\alpha Z_n + Z_0) & Z_0 + Z_n + Z_n \end{vmatrix} \quad (12.12)$$

— определитель системы уравнений (12.7) и (12.9).

Коэффициент передачи тока схемы с ОБ. Из (12.10) и (12.11) нетрудно получить выражение для коэффициента передачи схемы с ОБ по току:

$$\mathcal{K}_I = \frac{\dot{I}_2}{\dot{I}_1} = \alpha \frac{1 + (Z_0/\alpha Z_n)}{1 + (Z_0/Z_n) + (Z_n/Z_n)} \quad (12.13)$$

Обсуждение формулы (12.13). 1. Рассмотрим условие, при котором в выражении (12.13) можно не учитывать влияние сопротивления базы. Очевидно, что при этом должно выполняться неравенство $\text{mod}(Z_0/Z_n) \ll 1$.

Положив $Z_0 = r'_0$, $Z_n = 1/(j\omega C_n)$, перепишем это неравенство в виде $\omega r'_0 C_n \ll 1$, т. е. $f \ll f_0$, где

$$f_0 = 1/2\pi r'_0 C_n \quad (12.14)$$

При этом (12.13) примет вид

$$\mathcal{K}_I \simeq \frac{\alpha}{1 + Z_n/Z_n} \quad (12.15)$$

Как будет видно из дальнейшего, условие $f \ll f_0$ реализуется практически в полном диапазоне частот, при которых применяются БТ.

2. На весьма низких частотах $Z_n \approx r_n$. Для этого должно выполняться условие $f \ll f_k$, где

$$f_k = 1/2\pi r_n C_n \quad (12.15a)$$

При $Z_n = R_n$ будет справедливо выражение

$$\mathcal{K}_I = \frac{\alpha_0}{1 + R_n/r_n} \quad (12.16)$$

поскольку выполнение условия $f \ll f_k$ заведомо гарантирует справедливость неравенства $f \ll f_0$. Обычно $R_n/r_n \ll 1$, так что на весьма низких частотах $\mathcal{K}_I \approx \alpha_0$.

3. На низких частотах справедливость $\mathcal{K}_I \approx \alpha_0$ сохраняется и при дальнейшем повышении частоты, когда условие $f \ll f_k$ окажется нарушенным, но будет выполнено соотношение $\text{mod}(Z_n/Z_n) \ll 1$. Считая $Z_n = R_n$, $Z_n = 1/(j\omega C_n)$, получаем $\omega R_n C_n \ll 1$, т. е. $f \ll f_n$, где

$$f_n = 1/2\pi \tau_n = 1/2\pi R_n C_n \quad (12.17)$$

4. На средних частотах нижняя граница этого диапазона определяется неравенством $f \gg f_k$. При этом $Z_n = 1/(j\omega C_n)$. Считая $Z_n = R_n$ и подставляя в (12.14) выражение (12.5), справедливое при $f \ll f_0$, получим

$$\mathcal{K}_I = \frac{\alpha_0}{1 - \omega^2 R_n C_n \tau_n + j\omega \tau_0} \quad (12.18)$$

Если $\omega^2 R_H C_K \tau \ll 1$, то

$$f \ll \sqrt{f_T f_{\text{нр}}} \quad (12.19)$$

где

$$f_H = 1/(2\pi R_H C_K); \quad C_K = 1/(2\pi \tau_H); \quad (12.19a)$$

$$\mathcal{H}_I = \alpha_0 / (1 + j\omega\tau_0); \quad (12.20)$$

$\tau_0 = \tau_T + R_H C_K$ — эффективная постоянная времени каскада, оценивающая влияние сопротивления нагрузки R_H и емкости коллектора C_K на частотные свойства БТ; ей соответствует эффективная граничная частота

$$f_0 = 1/(2\pi\tau_0) = 1/[2\pi(\tau_T + R_H C_K)].$$

Таким образом, диапазон средних частот определяется неравенствами

$$f_K \ll f \ll \min[f_\alpha, f_0, \sqrt{f_T f_{\text{нр}}}] \quad (12.21)$$

где f_0 , f_K , f_T , f_H определяются формулами (12.14), (12.15a), (12.6), (12.19a).

Чтобы учесть влияние второго полюса, следует отказаться от неравенства (12.19), что соответствует работе в диапазоне частот

$$f_K \ll f \ll \min[f_\alpha, f_0]. \quad (12.22)$$

При этом передаточная функция может быть представлена в виде

$$\mathcal{H}_I = \frac{\alpha_0}{(1 + j\omega\tau_T)(1 + j\omega R_H C_K)}. \quad (12.23)$$

Пример. Для каскада с $R_H = 200$ Ом на транзисторе с $f_T = 500$ МГц, $C_K = 2$ пФ, $r_K = 1$ МОм, $r'_0 = 25$ Ом найти постоянные времени и соответствующие им граничные частоты и определить диапазоны частот, в которых справедливы выражения (12.20) и (12.23).

Решение. Имеем

$$\tau_K = r_K C_K = 10^9 \cdot 2 \cdot 10^{-12} = 2 \text{ мкс};$$

$$f_H = \frac{1}{2\pi r_K C_K} = \frac{1000}{2\pi} \approx 80 \text{ кГц};$$

$$\tau_H = R_H C_K = 200 \cdot 2 \cdot 10^{-12} = 0,4 \text{ нс};$$

$$f_H = \frac{1}{2\pi\tau_H} = 398 \text{ МГц}; \quad \tau_T = \frac{1}{2\pi f_T} = 0,318 \text{ нс};$$

$$\tau_0 = \tau_T + \tau_H = 0,718 \text{ нс};$$

$$f_0 = \frac{1}{2\pi\tau_0} = \frac{1000}{2\pi \cdot 0,718} = 222 \text{ МГц};$$

$$\tau_0 = r'_0 C_K = 0,05 \text{ нс}; \quad f_0 = \frac{1}{2\pi\tau_0} = 3184 \text{ МГц}.$$

Считая $\kappa = 0,44$, найдем

$$\tau_{\alpha} = \tau_r / (1 + \kappa) = 0,318 / 1,44 = 0,221 \text{ нс};$$

$$f_{\alpha} = f_r (1 + \kappa) = 500 \cdot 1,44 = 720 \text{ МГц};$$

$$f_d = f_{\alpha} / \kappa = 1,64 \text{ ГГц},$$

Выражение (12.20) справедливо при выполнении неравенств (12.21)

$$80 \text{ кГц} \ll f \ll \sqrt{f_r f_n} = 446 \text{ МГц},$$

т. е. в диапазоне частот 0,5 ... 100 МГц. Для справедливости двухполюсной функции (12.23) необходимо выполнение условий (12.22), т. е.

$$80 \text{ кГц} \ll f \ll \min[720 \text{ МГц}; 3,1 \text{ ГГц}],$$

что равносильно диапазону $f = 0,5 \dots 500 \text{ МГц}$.

Входное сопротивление цепи с ОБ. Из (12.10) для $Z_{вх} = (\mathcal{E} - I_1 Z_r) / I_1$ нетрудно получить

$$Z_{вх} = \frac{\Delta}{Z_{\sigma} + Z_{\kappa} + Z_{\text{н}}} - Z_r,$$

т. е.

$$Z_{вх} = Z_{\sigma} + Z_{\sigma} \left[1 - \frac{\alpha + Z_{\sigma} / Z_{\kappa}}{1 + Z_{\sigma} / Z_{\kappa} + Z_{\text{н}} / Z_{\kappa}} \right]. \quad (12.24)$$

Учтя (12.13), получим

$$Z_{вх} = Z_{\sigma} + Z_{\sigma} (1 - \mathcal{K}_I). \quad (12.25)$$

Обсуждение формулы (12.25). 1. На весьма низких частотах в диапазоне $f \ll f_n$ справедливо $\mathcal{K}_I \approx \alpha_0$, так что при $Z_{\sigma} = r_{\sigma} = \varphi_r / I_{\sigma}$

$$Z_{вх} = R_{вх} = r_{\sigma} + r_{\sigma} / (\beta_0 + 1), \quad (12.26)$$

где $\beta_0 = \alpha_0 / (1 - \alpha_0)$; $\beta_0 + 1 = 1 / (1 - \alpha_0) \approx \beta_0$.

Пример. Пусть $I_{\sigma} = 3 \text{ мА}$, $r'_{\sigma} = 200 \text{ Ом}$, $\beta_0 = 100$. Имеем $r_{\sigma} = \varphi_r / I_{\sigma} = 9 \text{ Ом}$, $R_{вх} = 9 + 2 = 11 \text{ Ом}$.

2. В диапазоне средних частот, определяемом условиями (12.21), справедлива формула (12.20), так что

$$1 - \mathcal{K}_I = \frac{(1 - \alpha_0) [1 + j \omega \tau_{\alpha} / (1 - \alpha_0)]}{1 + j \omega \tau_{\sigma}} \approx \frac{1 + j \omega \beta_0 \tau_{\sigma}}{\beta_0}.$$

Таким образом, на средних частотах

$$Z_{вх} = r_{\sigma} + r'_{\sigma} / \beta_0 + j \omega \tau_{\sigma} r'_{\sigma}. \quad (12.27)$$

Формула (12.27) соответствует модели (рис. 12.1,з) входной цепи, содержащей индуктивность

$$L = \tau_{\sigma} r'_{\sigma} \quad (12.28)$$

с добротностью

$$Q = \frac{\omega L}{r_{\sigma} + r'_{\sigma} / \beta_0} = \frac{f}{f_{\sigma}} \frac{r'_{\sigma}}{r_{\sigma} + r'_{\sigma} / \beta_0}. \quad (12.29)$$

Пример. При числовых данных, уже использованных в предыдущих вычислениях, найти L , r , Q цепи с ОБ. Принято $I_0 = 3$ мА, $\beta_0 = 100$, а рабочую частоту $f = 50$ МГц.

Решение. Имеем

$$r_0 = r_0 / I_0 = 25 / 3 = 8,3 \text{ Ом};$$

$$r_0 + r'_0 / \beta_0 = 8,3 + 0,25 = 8,55 \text{ Ом}.$$

При $r_0 = 0,718$ нс, $r'_0 = 25$ Ом индуктивность и добротность составит

$$L = 0,718 \cdot 10^{-9} \cdot 25 = 0,018 \text{ мкГн}.$$

$$Q = \frac{50 \cdot 25}{222 \cdot 8,55} = 0,66.$$

Крутизна. Определим комплексную крутизну цепи (см. рис. 12.1,б) выражением

$$\dot{S} = \frac{\dot{I}_2}{\dot{I}_1} = \frac{\dot{I}_2}{\dot{I}_1 (Z_{вх} + Z_r)} = \frac{\mathcal{K}_1}{Z_{вх} + Z_r}. \quad (12.30)$$

Используя (12.25), получаем

$$\dot{S} = \left[\frac{Z_a + Z_r + Z_б}{\mathcal{K}_1} + Z_б \right]^{-1}. \quad (12.31)$$

Обсуждение формулы (12.31). 1. Низкие и весьма низкие частоты соответствуют диапазону $f \ll f_0$, так что

$$\mathcal{K}_1 \approx \alpha_0.$$

Считая $Z_r = R_r$, из (12.31) найдем

$$\dot{S} = S_0 = \frac{1}{r_0 + R_r + (r'_0 / \beta_0)}. \quad (12.32)$$

2. Средние частоты. При выполнении неравенства (12.21) справедливо выражение (12.20), подставив которое в (12.31) при $Z_a = r_0$, $Z_б = r'_0$, $Z_r = R_r$, получим

$$\dot{S} = \frac{1}{r_0 + R_r + r_б \left[\frac{1}{\alpha_0} - 1 + j \omega \tau_0 \right]}$$

или

$$\dot{S} = S_0 / (1 + j \omega \tau_S), \quad (12.33)$$

где S_0 определяется выражением (12.32), а

$$\tau_S = \tau_0 \frac{r'_0}{r_0 + R_r + r'_0 / \beta_0} = \frac{1}{2\pi f_S}. \quad (12.34)$$

Назовем

$$f_S = f_0 \frac{r_0 + R_r + r'_0 / \beta_0}{r'_0} \quad (12.35)$$

граничной частотой по крутизне, τ_s — постоянной времени крутизны.

Как видно из (12.35), граничная частота f_s подчиняется неравенству $f_\beta < f_s < f_\alpha$ и зависит от сопротивления генератора R_r и тока I_β , определяющего величину r_β .

Усиление по напряжению. Определим коэффициент усиления по напряжению выражением

$$\dot{\mathcal{K}}_U = \dot{U}_2 / \mathcal{E} = \dot{I}_2 Z_{\text{н}} / \mathcal{E} = \dot{\mathcal{S}} Z_{\text{н}}.$$

В диапазоне низких и средних частот при $Z_{\text{н}} = R_{\text{н}}$ имеем

$$\dot{\mathcal{K}}_U = \frac{S_0 R_{\text{н}}}{1 + j(f/f_s)}.$$

Пример. При параметрах БТ, использованных в двух предыдущих примерах, найти комплексную передаточную функцию усиления по напряжению при $R_r = 10$ Ом.

Решение. При $r_\beta + (r'_\beta/\beta_0) = 8,55$ Ом имеем

$$S_0 = 1/(8,55 + 10) = 54 \text{ мА/В};$$

$$K_{U0} = S_0 R_{\text{н}} = 54 \cdot 0,2 = 10,8;$$

$$f_s = (18,55/25) 222 = 165 \text{ МГц}.$$

Таким образом,

$$\dot{\mathcal{K}}_U = \frac{10,8}{1 + j(f/165 \cdot 10^6)}.$$

Выходное сопротивление и обратная передача сигнала в схеме с ОБ. Определение этих параметров связано с анализом обобщенной схемы в случае, когда источник малого синусоидального напряжения с амплитудой \mathcal{E} перенесен в выходную цепь, а внутреннее сопротивление этого источника Z_r включено во входную цепь (см. рис. 12.1, д). Такой прием позволяет следующим образом определить выходное комплексное сопротивление схемы: $Z_{\text{вых}} = \mathcal{E} / \dot{I}_2$.

Аналогично определяется выходная проводимость

$$Y = \dot{I}_2 / \mathcal{E} = 1 / Z_{\text{вых}}.$$

Параметры обратной передачи найдем с помощью следующих формул:

$$\dot{Y}_{12} = \dot{I}_1 / \mathcal{E} \text{ при } Z_r = 0 \text{ (обратная крутизна);}$$

$$H_{12} = U_1 / \mathcal{E} \text{ при } Z_r = \infty \text{ (коэффициент обратной передачи напряжения).}$$

Составим уравнения Кирхгофа для цепи, изображенной на рис. 12.1, д:

$$\left. \begin{aligned} 0 &= \dot{I}_1 (Z_r + Z_3 + Z_6) + \dot{I}_2 Z_6; \\ \mathcal{E} &= \dot{I}_1 (Z_6 + \alpha Z_k) + \dot{I}_2 (Z_6 + Z_k), \end{aligned} \right\} \quad (12.36)$$

откуда

$$\dot{y}_1 = \frac{\begin{vmatrix} 0 & Z_6 \\ \mathcal{E} & Z_6 + Z_K \end{vmatrix}}{\Delta}; \quad (12.37)$$

$$y_2 = \frac{\begin{vmatrix} Z_r + Z_9 + Z_6 & 0 \\ -(Z_6 + \alpha Z_K) & \mathcal{E} \end{vmatrix}}{\Delta}; \quad (12.38)$$

$$\Delta = \begin{vmatrix} Z_r + Z_9 + Z_6 & Z_6 \\ -(Z_6 + \alpha Z_K) & Z_6 + Z_K \end{vmatrix}. \quad (12.39)$$

Для вычисления выходного сопротивления $Z_{\text{вых}} = \mathcal{E} / \dot{y}_2$ используем выражение (12.38):

$$Z_{\text{вых}} \approx (Z_K + Z_6) \left[1 - \frac{Z_6}{Z_6 + Z_9 + Z_r} \right]. \quad (12.40)$$

Параметры обратной передачи \dot{Y}_{12} и \dot{H}_{12} можно найти, устремив Z_r к предельным значениям (0 или ∞). Имеем

$$\begin{aligned} \dot{Y} = \frac{\dot{y}_1}{\mathcal{E}} &= \frac{1}{(Z_9 + Z_6)(Z_K + Z_6) - Z_6(\alpha Z_K + Z_6)} \approx \\ &\approx \frac{1}{Z_K[1 - \alpha + Z_9/Z_6]}; \end{aligned} \quad (12.41)$$

$$\dot{H}_{12} = \frac{\dot{y}_1}{\mathcal{E}_1} = \frac{\dot{y}_1 Z_r}{\mathcal{E}} = \frac{1}{1 + Z_K/Z_6}. \quad (12.42)$$

Обсуждение формул (12.40) — (12.42). 1. Низкие частоты. Считая $Z_K = r_K \gg \text{mod } Z_6 = r_6$, получаем

$$Z_{\text{вых}} = \frac{r_K}{1 + r_6/(R_r + r_6)}; \quad (12.43)$$

$$Y_{12} = \frac{\beta_0}{r_K(1 + r_6\beta_0/r_6)}; \quad (12.44)$$

$$H_{12} = \frac{1}{1 + r_K/r_6} \approx \frac{r_6}{r_K}. \quad (12.45)$$

Из выражения (12.43) следует, что при работе от генератора тока ($R_r = \infty$)

$$Z_{\text{вых}} = r_K.$$

2. Средние частоты. В диапазоне, определяемом неравенствами (12.21), выражения (12.40) — (12.42) можно представить так:

$$Z_{\text{вых}} = \frac{r_6 + (1/j\omega C_K)}{1 + r_6/(r_6 + R_r)}; \quad (12.46)$$

$$\dot{Y}_{12} = j\omega C_K \beta_V \frac{1 + j\omega\tau_r}{1 + j\omega\tau_r(\beta_V + 1)}, \quad (12.47)$$

где

$$\beta_y = \frac{\alpha_y}{1 - \alpha_y}; \quad \alpha_y = \frac{\alpha_0}{1 + r_0/r'_0}; \quad (12.48)$$

$$\dot{H}_{12} = j\omega r'_0 C_K / (1 + j\omega r'_0 C_K). \quad (12.49)$$

Из выражения (12.46) видно, что, поскольку $f \ll f_0$,

$$Z_{\text{вых}}' \approx \left\{ j\omega \left[C_K / \left(1 + \frac{r_0}{r_0 + R_T} \right) \right] \right\}^{-1}; \quad (12.50)$$

$$\dot{H}_{12} = j\omega r'_0 C_K. \quad (12.51)$$

Таким образом, выходное сопротивление цепи с ОБ на средних частотах носит емкостный характер. Выходная емкость $C_{\text{вых}} = C_K$ максимальна при $R_T \rightarrow \infty$. Считая, что $R_T \rightarrow \infty$, можно изобразить эквивалентную схему выходной цепи (рис. 12.1,е) для низких и средних частот. Более полная модель выходной цепи (рис. 12.1,б) для частот, близких к f_T , содержит индуктивность вывода L_B , активное сопротивление

$$r_{\text{вых}} = \frac{r_0}{1 + r_0/(r_0 + R_T)} \quad (12.52)$$

и емкость

$$C_{\text{вых}} = C_K [1 + r'_0/(r_0 + R_T)]. \quad (12.53)$$

Цепи обратной передачи сигнала при $R_T \rightarrow \infty$ соответствуют выражение (12.51) и эквивалентная цепь на рис. 12.1,ж. На формуле (12.51) базируется метод экспериментального определения произведения $r'_0 C_K$, при котором сигнал подается в выходную цепь каскада с ОБ, а измеряется в эмиттерной цепи, включенной в режиме холостого хода. При этом рабочая частота f выбирается из условия (12.19). Включая последовательно с базовым выводом резистор R_I , можно двумя замерами (при включенном и замкнутым резисторе) обеспечить определение r'_0 и C_K .

Характерные частоты БТ. Чтобы систематизировать введенные выше характерные частоты, на рис. 12.3 приведена диаграмма, показывающая диапазоны использования БТ. Эта диаграмма основывается на приведенном выше анализе цепи с ОБ, однако ее можно использовать в двух других основных включениях БТ. С этой целью на диаграмму нанесены характерные частоты $f_\beta = f_T/(\beta_0 + 1)$ и f_α . Частоты f_S для включений с ОБ и ОЭ имеют различные числовые значения (как это будет показано ниже). Пояснение понятия о максимальной частоте генерации f_{max} , нанесенной на диаграмму рис. 12.3, будет дано ниже.

Применение БТ с ОБ в ВЧ диапазоне. Под ВЧ диапазоном использования БТ мы в соответствии с рис. 12.3 будем понимать частотную область, в которой рабочая частота f соизмерима с характерными частотами f_S , f_T , f_α . При использовании БТ в СВЧ диапазоне необходимо учитывать индуктивность выводов БТ и монтажа и паразитную емкость соединений.

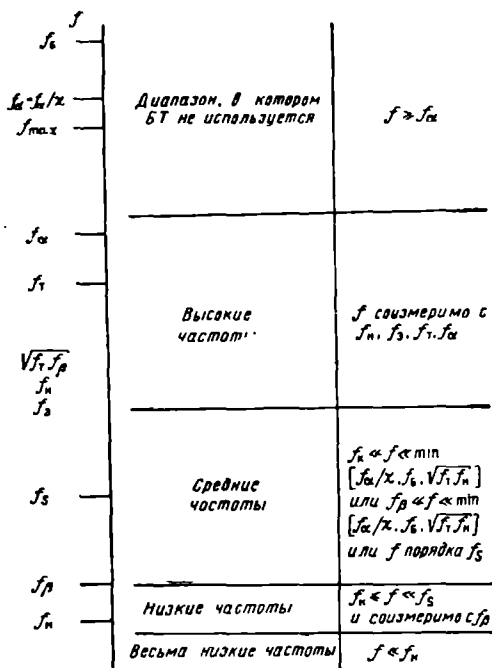


Рис. 12.3. Характерные частоты биполярного транзистора

Схемы замещения каскадов, учитывающие все перечисленные выше факторы, отличаются большой сложностью, поэтому для различных участков частотного диапазона эти схемы упрощают. В качестве примера на рис. 12.4,а показана схема замещения для включения с ОБ в СВЧ диапазоне колебаний. Номиналы элементов этой цепи определяют экспериментально с помощью измерителей полных сопротивлений.

Для согласования полных сопротивлений в СВЧ каскадах применяют добавочные реактивные элементы (рис. 12.4,б). При $f < 1$ ГГц их реализуют в виде элементов с сосредоточенными постоянными (напыленных индуктивностей и емкостей). При $f \geq 1$ ГГц используют распределенные структуры в виде микрополосковых линий. В СВЧ ИС чаще всего применяются несимметричные микрополосковые линии (рис. 12.4,в), состоящие из диэлектрической подложки 1 с большим и дозированным значением диэлектрической проницаемости ϵ . Нижняя поверхность подложки покрывается слоем металлизации 2. На верхнюю поверхность подложки наносится проводник 3 (обычно медь).

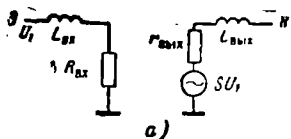
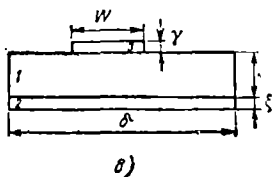
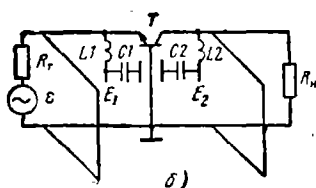


Рис. 12.4 Биполярный транзистор в ВЧ и СВЧ диапазонах:

a — схема замещения; *б* — согласование реактивных сопротивлений с помощью добавочных элементов; *в* — поперечный разрез несимметричной микрополосковой линии



Геометрические размеры (на рис. 12.4, *в* γ , h , ξ , δ , W) микрополоскового элемента определяются технологией его изготовления и топологическим расчетом СВЧ ИС.

12.2. ПРОСТЫЕ КАСКАДЫ

Анализ биполярного транзистора в схеме с общим эмиттером в радиочастотном диапазоне. Рассмотрим включение высокочастотной модели БТ (см. рис. 12.1, *а*) в схему с ОЭ (рис. 12.5, *а*). Составим для цепи на рис. 12.5, *а* уравнения Кирхгофа:

$$\left. \begin{aligned} \mathcal{E} &= \dot{I}_1 (Z_{\Gamma} + Z_{\sigma} + Z_{\theta}) + \dot{I}_2 Z_{\theta}; \\ 0 &= \dot{I}_1 (-\dot{\alpha} Z_{\kappa} + Z_{\theta}) + \dot{I}_2 [Z_{\kappa}(1 - \dot{\alpha}) + Z_{\sigma} + Z_{\Pi}]. \end{aligned} \right\} \quad (12.54)$$

Эти уравнения решим аналогично тому, как это уже делалось в § 12.1. Имеем

$$\dot{I}_1 = \frac{\begin{vmatrix} \mathcal{E} & Z_{\theta} \\ 0 & Z_{\kappa}(1 - \dot{\alpha}) + Z_{\sigma} + Z_{\Pi} \end{vmatrix}}{\Delta};$$

$$\dot{I}_2 = \frac{\begin{vmatrix} Z_{\Gamma} + Z_{\sigma} + Z_{\theta} & \mathcal{E} \\ -\dot{\alpha} Z_{\kappa} + Z_{\theta} & 0 \end{vmatrix}}{\Delta};$$

$$\Delta = \begin{vmatrix} Z_{\Gamma} + Z_{\sigma} + Z_{\theta} & Z_{\theta} \\ \dot{\alpha} Z_{\kappa} + Z_{\theta} & Z_{\kappa}(1 - \dot{\alpha}) + Z_{\sigma} + Z_{\Pi} \end{vmatrix}.$$

Коэффициент усиления цепи с ОЭ составит

$$\dot{\mathcal{K}}_1 = \frac{\dot{I}_2}{\dot{I}_1} = \frac{\dot{\alpha} Z_{\kappa} - Z_{\theta}}{Z_{\kappa}(1 - \dot{\alpha}) + Z_{\sigma} + Z_{\Pi}}. \quad (12.55)$$

Считая $|Z_{\theta}| \ll |Z_{\kappa}(1 - \dot{\alpha})|$, будем иметь

$$\dot{\mathcal{K}}_1 = \frac{\dot{\alpha}}{1 - \dot{\alpha} + (Z_{\theta}/Z_{\kappa})}. \quad (12.56)$$

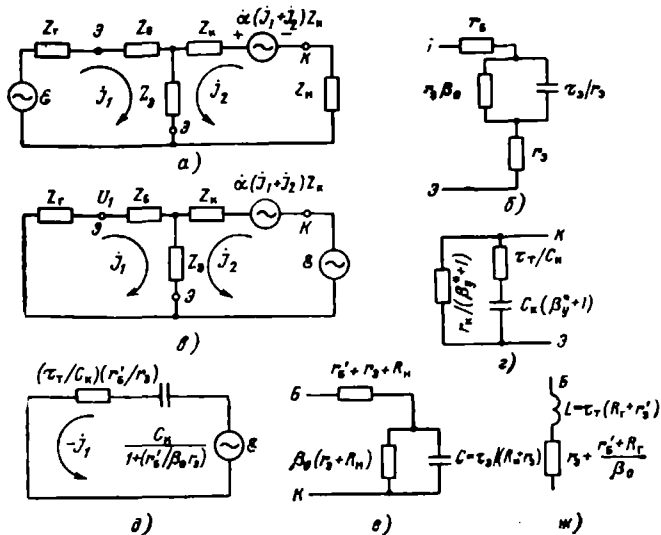


Рис. 12.5. Биполярный транзистор в схеме с общим эмиттером в радиочастотном диапазоне

Обсуждение формулы (12.56). 1. Короткозамкнутая нагрузка. Считая $Z_H=0$, найдем

$$\dot{\mathcal{K}}_1 = \frac{\beta_0}{1 + j\omega\tau_\beta} = \frac{\beta_0}{1 + j(f/f_\beta)}, \quad (12.57)$$

где

$$\tau_\beta = \tau_T(1 + \beta_0); \quad (12.58)$$

$$f_\beta = f_T/(1 + \beta_0). \quad (12.59)$$

2. Весьма низкие частоты. При $f \ll f_k$ и $f \ll f_\beta$

$$\dot{\mathcal{K}}_1 = \frac{\beta_0}{1 + [R_H(1 + \beta_0)/r_k]}. \quad (12.60)$$

3. Низкие частоты. В диапазоне

$$f_k \ll f < (f_\beta/\beta_0) \quad (12.61)$$

при $Z_H=R_H$, $\beta_0 \gg 1$, $Z_H = \frac{1}{j\omega C_H}$ будем иметь

$$\dot{\mathcal{K}}_1 = \beta_0/(1 + j\omega\tau_\beta\beta_0). \quad (12.62)$$

4. Средние частоты. При $\omega\tau_\beta\beta_0 \gg 1$, т. е. в диапазоне частот

$$\frac{f_0}{\beta_0} \ll f \ll \min[f_\alpha, f_\beta, \sqrt{f_T f_H}], \quad (12.63)$$

модуль $\text{mod } \mathcal{K}_I$ составит

$$\mathcal{K}_I = f_\alpha / f. \quad (12.64)$$

При $R_H = 0$

$$\mathcal{K}_I = f_\tau / f, \quad (12.65)$$

что можно использовать для экспериментального определения f_α .

Входное сопротивление. Имеем

$$Z_{вх} = \frac{\mathcal{S}}{\dot{J}_1} - Z_r = Z_0 + Z_0 + Z_0 \frac{\alpha Z_K - Z_0}{Z_H(1 - \alpha) + Z_0 + Z_H}. \quad (12.66)$$

Считая

$$\text{mod } Z_0 \ll \text{mod} [Z_K(1 - \alpha)], \quad (12.67)$$

получаем

$$Z_{вх} = Z_0 + Z_0(1 + \mathcal{K}_I). \quad (12.68)$$

Обсуждение формулы (12.68). 1. Весьма низкие частоты. При $f \ll f_K$, $f \ll f_\beta$, $Z_0 = r_0$ и $Z_0 = r_0 = \varphi_T / I_0$, используя (12.60), будем иметь

$$Z_{вх} = R_{вх} \approx r_0 + \frac{r_0 \beta_0}{1 + (1 + \beta_0) R_H / r_H}. \quad (12.69)$$

Входное сопротивление схемы с ОЭ значительно больше, чем схемы с ОБ. Оно больше, чем прямое сопротивление перехода эмиттер-база, за счет усилительных свойств выходной цепи.

2. Низкие частоты. С повышением частоты модуль входного сопротивления схемы с ОЭ за счет уменьшения величины $|\mathcal{K}_I|$ падает. Используя выражение (12.61), будем иметь

$$Z_{вх} = r'_0 + r_0 [1 + \beta_0 / (1 + j\omega\beta_0\tau_0)], \quad (12.70)$$

что соответствует эквивалентной цепи на рис. 12.5,б. Как видно из рисунка, полное входное сопротивление схемы $Z_{вх}$ носит емкостный характер и падает с повышением частоты.

3. Средние частоты. В диапазоне (12.63) при $Z_0 = r'_0$, $Z_0 = r_0$ с учетом (12.64) найдем

$$Z_{вх} = r'_0 + r_0 + \frac{1}{j\omega(\tau_0/r_0)}. \quad (12.71)$$

Выражению (12.71) соответствует цепь на рис. 12.5,б при отсутствующем резисторе $\beta_0 r_0$.

Крутизна. Определим, как и выше, комплексную крутизну

$$\mathcal{S} = \dot{J}_2 / \mathcal{E} = \mathcal{K}_I / (Z_{вх} + Z_r). \quad (12.72)$$

Для включения с ОЭ имеем

$$\mathcal{S} = \frac{1}{Z_0 + (Z_0 + Z_r) / (1 - \mathcal{K}_I)}. \quad (12.73)$$

Обсуждение формулы (12.73). 1. Весьма низкие частоты. При $f \ll f_\beta$ имеем

$$\dot{S} = S_0 = \frac{1}{r_\alpha + (R_r + r'_\delta)/\beta_0}. \quad (12.74)$$

Сравнив (12.74) с (12.32), нетрудно видеть, что в цепи с ОЭ крутизна значительно больше. Разница в крутизне между включениями с ОБ и ОЭ проявляется тем сильнее, чем больше R_r .

2. Низкие частоты. В диапазоне (12.61) справедливо выражение (12.62). Положив $Z_r = R_r$, $Z_\alpha = r_\alpha$, $Z_\delta = r'_\delta$, найдем

$$\dot{S} = S_0 / (1 + j\omega\tau_S). \quad (12.75)$$

Здесь S_0 определяется формулой (12.74), а

$$\tau_S = \tau_\alpha \frac{r'_\delta + R_r}{r_\alpha + (r'_\delta + R_r)/\beta_0} = \frac{1}{2\pi f_S}. \quad (12.76)$$

Граничная частота ОЭ по крутизне

$$f_S = f_\alpha \frac{r_\alpha + (r'_\delta + R_r)/\beta_0}{r'_\delta + R_r} \quad (12.77)$$

зависит от R_r и максимальна при $R_r = 0$:

$$f_S(R_r = 0) = f_\alpha \frac{r_\alpha + (r'_\delta/\beta_0)}{r'_\delta}. \quad (12.78)$$

Если $R_r \rightarrow \infty$, то $f_S = f_\alpha/\beta_0 = f_\beta$.

Усиление по напряжению определяется известным выражением $\mathcal{K}_U = S R_H$. На весьма низких частотах при $f \ll f_S$

$$\dot{\mathcal{K}}_U = \mathcal{K}_U = S_0 R_H.$$

Выходное сопротивление и обратная передача схемы с ОЭ. Исходная схема для сопротивления уравнений Кирхгофа изображена на рис. 12.5, в. Имеем

$$\left. \begin{aligned} 0 &= \dot{Y}_1(Z_r + Z_\delta + Z_\alpha) + \dot{Y}_2 Z_\alpha; \\ \mathcal{E} &= \dot{Y}_1(Z_\alpha - \dot{\alpha} Z_K) + \dot{Y}_2(Z_K - Z_\alpha - \dot{\alpha} Z_K), \end{aligned} \right\} \quad (12.79)$$

откуда

$$\left. \begin{aligned} \dot{Y}_1 &= \frac{\begin{vmatrix} 0 & Z_\alpha \\ \mathcal{E} & Z_K(1 - \dot{\alpha}) + Z_\alpha \end{vmatrix}}{\Delta}; \\ \dot{Y}_2 &= \frac{\begin{vmatrix} Z_r + Z_\delta + Z_\alpha & 0 \\ Z_\alpha - \dot{\alpha} Z_K & \mathcal{E} \end{vmatrix}}{\Delta}, \end{aligned} \right\} \quad (12.80)$$

где

$$\Delta = \begin{vmatrix} Z_r + Z_\delta + Z_\alpha & Z_\alpha \\ Z_\alpha - \dot{\alpha} Z_K & Z_K(1 - \dot{\alpha}) + Z_\alpha \end{vmatrix}.$$

Имеем

$$Z_{\text{вых}} = \frac{\mathcal{E}}{i_2} = Z_{\kappa} (1 - \dot{\alpha}) + Z_3 + \frac{(\dot{\alpha} Z_{\kappa} - Z_3) Z_3}{Z_{\Gamma} + Z_6 + Z_3} \approx$$

$$\approx Z_{\kappa} (1 - \dot{\alpha}) + \dot{\alpha} \frac{Z_{\kappa} Z_3}{Z_{\Gamma} + Z_6 + Z_3}. \quad (12.81)$$

Положив

$$\dot{\xi} = Z_3 / (Z_3 + Z_6 + Z_{\Gamma}), \quad (12.82)$$

из (12.81) найдем

$$Z_{\text{вых}} / Z_{\kappa} = 1 - \dot{\alpha}^*_{\nu}, \quad (12.83)$$

где $\dot{\alpha}^*_{\nu} = \dot{\alpha} (1 - \dot{\xi})$.

При $Z_3 = r_3$, $Z_{\Gamma} = R_{\Gamma}$, $Z_6 = r_6$ имеем

$$\dot{\alpha}^*_{\nu} = \frac{\dot{\alpha}}{1 + r_3 / (r'_6 + R_{\Gamma})}. \quad (12.84)$$

На частотах $f \ll f_{\alpha}$

$$\frac{Z_{\text{вых}}}{Z_{\kappa}} = 1 - \dot{\alpha}^*_{\nu} \approx 1 - \frac{\alpha_0}{1 + r_3 / (r'_6 + R_{\Gamma})}. \quad (12.85)$$

Эквивалентная схема выходной цепи изображена на рис. 12.5,г. Ее элементы зависят от коэффициента

$$1 / (\beta^*_{\nu} + 1) = 1 - \alpha^*_{\nu} \approx \frac{1 - \alpha_0 + r_3 / (r'_6 + R_{\Gamma})}{1 + r_3 / (r'_6 + R_{\Gamma})}. \quad (12.86)$$

Очевидно, при $R_{\Gamma} = \infty$ справедливо $\alpha^*_{\nu} = \alpha_0$, $\beta^*_{\nu} = \beta_0$. С уменьшением R_{Γ} величины α^*_{ν} и β^*_{ν} уменьшаются. При $R_{\Gamma} = 0$

$$\alpha^*_{\nu} = \alpha_{\nu}, \quad \beta^*_{\nu} = \beta_{\nu},$$

где α_{ν} и β_{ν} определяются полученными ранее выражениями (12.48).

Постоянная времени выходной цепи $\tau_{\tau} (\beta^*_{\nu} + 1)$ на средних частотах соответствует граничной частоте $f_{\tau} (1 - \alpha^*_{\nu})$, примерно равной f_S для ОЭ при $R_{\pi} = 0$.

Обратная передача сигнала. Из (12.79) найдем

$$\dot{Y}_1 = \frac{-\mathcal{E} Z_3}{(Z_{\Gamma} + Z_6 + Z_3) [Z_{\kappa} (1 - \dot{\alpha}) + Z_3] + Z_3 (\dot{\alpha} Z_{\kappa} - Z_3)}. \quad (12.87)$$

Пренебрегая $|Z_3|$ по сравнению с $|Z_{\kappa} (1 - \dot{\alpha})|$ и проведя преобразования, для $\dot{Y}_{12} = \frac{\dot{Y}_1}{\mathcal{E}} \Big|_{Z_{\Gamma}=0}$ будем иметь

$$\dot{Y}_{12} = - \frac{1}{Z_{\kappa}} \frac{1}{1 + r_6 / r_3 \beta_0} \frac{1}{1 + j \omega \tau_{\tau} [(1 / \beta_0) + (r_3 / r'_6)]^{-1}}. \quad (12.88)$$

Построенная в соответствии с этим выражением цепь (рис. 12.5, д) для вычисления тока \mathcal{I}_1 (знак минус определяет направление тока, см. рис. 12.5, в, д) отвечает формуле

$$-\frac{1}{Y_{12}} = \frac{\tau_T}{C_K} \frac{r'_6}{r_9} + \frac{1 + r'_6/\beta_0 r_9}{j\omega C_K}. \quad (12.89)$$

Пример. Оценка предельных усилительных свойств транзистора по критерию максимальной частоты генерации. Для оценки транзистора применяется еще один критерий — максимальная частота генерации. Этот параметр соответствует той максимальной частоте, при которой наступает срыв колебаний в усилителе, охваченном положительной ОС. При этом считается, что внутренняя ОС в усилителе отсутствует (каскад нейтрализован), внешняя ОС чисто реактивная и обеспечивает требуемое фазирование и полное согласование сопротивлений. Коэффициент усиления каскада для ОС по мощности K_P , полученный при таких предположениях, зависит только от параметров транзистора.

Для получения K_P используем формулы (12.64), (12.75) в предположении $f \gg f_s$, $j \gg j_0$. При этом

$$\mathcal{K}_P = |\mathcal{K}_I| |\mathcal{K}_U| = \frac{f_0}{f} \frac{f_s}{f} R_H S_0. \quad (12.90)$$

В выражении (12.90) следует положить $R_H = \tau_T / C_K$ (из условий согласования на высоких частотах, см. рис. 12.5, з), при этом

$$\tau_9 = \tau_T + R_H C_K = 2\tau_T, \quad f_0 = \frac{f_\alpha}{2(1+\kappa)}. \quad (12.91)$$

В соответствии с (12.74), (12.77), (12.91) при $R_T = 0$ максимальное значение $S_0 f_s$ составит

$$(S_0 f_s)_{max} = \frac{f_\alpha}{2(1+\kappa)r'_6}, \quad (12.92)$$

откуда

$$\mathcal{K}_P max = \frac{f_\alpha}{8\pi f^2 (1+\kappa) r'_6 C_K}. \quad (12.93)$$

При $\mathcal{K}_P = 1$, $f = f_{max}$ имеем

$$f_{max} = \sqrt{\frac{f_\alpha}{8\pi(1+\kappa)r'_6 C_K}}. \quad (12.94)$$

т. е.

$$f_{max} = \frac{1}{2} \sqrt{f_T f_0}. \quad (12.95)$$

Пример. Подставив в (12.94) $f_\alpha = 720$ МГц, $\kappa = 0,41$, $r_6 = 25$ Ом, $C_K = 2$ пФ, получим

$$f_{max} \approx \sqrt{\frac{720 \cdot 10^6}{25 \cdot 1,44 \cdot 25 \cdot 2 \cdot 10^{-12}}} = 632 \text{ МГц.}$$

Максимальная частота генерации f_{max} нанесена на шкалу характерных частот БТ (см. рис. 12.3).

Анализ биполярного транзистора в схеме с общим коллектором. Формулы для включения транзистора с общим коллектором (ОК) могут быть получены распространением на этот случай результатов анализа схем с ОБ и ОЭ. В частности, заменив в числителе выражения (12.55) Z_0 на $Z_0 + Z_{\text{н}}$, получим для $\dot{\mathcal{K}}_I$ при включении с ОК

$$\dot{\mathcal{K}}_I = \frac{\dot{\alpha} Z_{\text{н}} - Z_0 - Z_{\text{н}}}{Z_{\text{к}}(1 - \dot{\alpha}) + Z_{\text{н}} + Z_0} \approx \frac{\dot{\alpha} - (Z_{\text{н}}/Z_{\text{к}})}{1 - \dot{\alpha} + (Z_{\text{н}}/Z_{\text{к}})}. \quad (12.96)$$

Произведя такую же замену в (12.68), будем иметь

$$Z_{\text{вх}} = Z_0 + (Z_0 + Z_{\text{н}})(1 + \dot{\mathcal{K}}_I), \quad (12.97)$$

откуда видно, что входное сопротивление каскада с ОК растет с увеличением сопротивления нагрузки и может быть сделано довольно большим.

Частный случай. Низкие и средние частоты. При

$$f_{\text{н}} \ll f \ll \min[f_{\alpha}, f_{\beta}, \sqrt{f_{\text{T}} f_{\text{н}}}],$$

считая $Z_0 = r'_0$, $Z_0 = r_0$, $Z_{\text{н}} = R_{\text{н}}$, $\tau_0 = \tau_{\text{T}} + R_{\text{н}}C_{\text{к}}$, найдем

$$\dot{\mathcal{K}}_I = \frac{\beta_0}{1 + j\omega\tau_0\beta_0}; \quad (12.98)$$

$$Z_{\text{вх}} = r'_0 + r_0 + R_{\text{н}} + (r_0 + R_{\text{н}}\beta_0)/[1 + j\omega\tau_0\beta_0], \quad (12.99)$$

что соответствует модели на рис. 12.5,е.

Для нахождения $Z_{\text{вых}}$ каскада с ОК рассмотрим рис. 12.1,б для входной цепи с ОБ. Из выражения (12.24), считая $Z_{\text{н}} = 0$ и заменив Z_0 на $Z_0 + Z_{\text{T}}$, получим

$$Z_{\text{вых}} = Z_0 + (Z_0 + Z_{\text{T}}) \left[1 - \frac{\dot{\alpha} + (Z_0 + Z_{\text{T}})/Z_{\text{к}}}{1 + (Z_0 + Z_{\text{T}})/Z_{\text{к}}} \right]. \quad (12.100)$$

Из рис. 12.1,г упомянутой выше заменой можно получить модель выходной цепи ОК (рис. 12.5,ж), из которой видно, что выходное сопротивление каскада с ОК мало и имеет индуктивный характер; наименьшее значение $Z_{\text{вых}}$ соответствует $Z_{\text{T}} = R_{\text{T}} = 0$; с увеличением R_{T} выходное сопротивление каскада с ОК увеличивается.

12.3. КАСКАДЫ НА СОСТАВНЫХ ТРАНЗИСТОРАХ В РАДИОТЕХНИЧЕСКИХ СХЕМАХ И СУБСИСТЕМАХ

Основным недостатком простых каскадов является существенная *внутренняя обратная связь* (прохождение сигнала с выхода на вход усилится). Борьба с этим явлением обусловлена необходимостью обеспечить устойчивость усилительных каскадов; наи-

более радикальным средством уменьшения внутренней ОС является применение составных БТ¹. Использование составных БТ также позволяет улучшить свойства радиочастотных ИС.

Каскадное включение является наиболее распространенным вариантом применения составных БТ. На рис. 12.6,а показана конфигурация каскада вместе с нагрузкой — колебательным LC-контуром и двумя источниками питания (E_1 и E_2) с соответствующими фильтрами ($R1C1$, $R2C2$). Емкости конденсаторов $C1$ и $C2$ выбираются такими, чтобы на рабочей частоте f обеспечить эффективное заземление сигнала. Поэтому на частоте f цепь на рис. 12.6,а является двухкаскадным усилителем; первый каскад на транзисторе $VT1$ включен по схеме с ОЭ, второй каскад (транзистор $VT2$) — по схеме с ОБ.

На частоте, близкой к резонансной ($\omega_0 = 1/\sqrt{LC}$) контур LC можно заменить активной нагрузкой R_n , учитывающей суммарные потери, вносимые в контур выходным сопротивлением транзистора и потребителем сигнала, подключенным к контуру (рис. 12.6,б).

Для коллекторной цепи $VT1$ эмиттерный вход $VT2$ в диапазоне низких и средних частот практически представляет собой короткое замыкание. Поэтому входная емкость τ_T/r_3 каскада на рис. 12.6 меньше соответствующей величины τ_3/r_3 каскада с ОЭ. Крутизна S , входящая в цепь на рис. 12.6,б, соответствует короткому замыканию выхода каскада с ОЭ, в этом случае f_S максимальна и равна

$$f_S = f_T [r_3 + (r'_e + R_T) / \beta_0] / (r'_e + R_T), \quad (12.101)$$

т. е. больше, чем f_S в схеме с ОЭ [см. формулу (12.77)].

В то же время для каскада на транзисторе $VT2$ выходная цепь $VT1$ практически является холостым ходом, т. е. соответ-

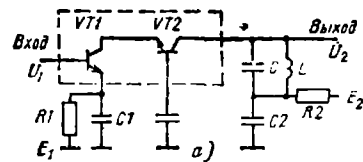
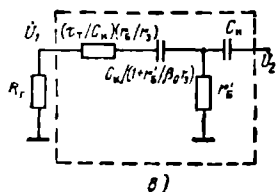
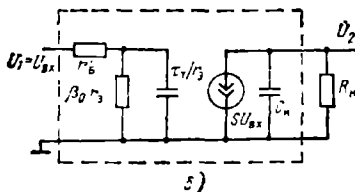


Рис. 12.6. Каскадное включение биполярного транзистора в радиочастотном диапазоне



¹ Альтернативой составным БТ служат малонадежные цепи нейтрализации внутренней ОС, требующие индивидуальной подстройки; в современной МЭА нейтрализация практически не используется.

стывает $R_r = \infty$. При этом ток коллектора $VT2$ можно считать равным току коллектора $VT1$, выходная емкость $VT2$, как видно из (12.50), не превышает C_k (рис. 12.6,б).

Цепь обратной передачи сигнала в каскаде (рис. 12.6,в) является двузвенным фильтром. Правое звено $r'_6 C_k$ соответствует передаче сигнала каскадом с ОБ при холостом ходе на его входе. Левое звено на рис. 12.6,в соответствует передаче сигнала цепью ОЭ при малых значениях R_r . Таким образом, составной транзистор ослабляет обратную передачу в соответствии с коэффициентами передачи двух фильтров, изображенных на рис. 12.6,в (практически в 50...100 раз по сравнению с простыми каскадами).

Каскод как многоцелевая радиочастотная ИС. Распространенный схемотехнический вариант каскодной ИС радиочастотного диапазона изображен на рис. 12.7,а. Гибридные ИС, построенные по такой конфигурации — элементная основа трактов радиоприемников в диапазоне 0,5...800 МГц (рис. 12.7,б). На рис. 12.7,а показано включение широкополосной ИС в схему резонансного усилителя (колебательный контур и входной транзистор являются навесными). Такие же ИС могут быть использованы в схемах смесителя (рис. 12.7,в) и кварцованного гетеродина (рис. 12.7,г).

Высокочастотные подсистемы. На основе структуры, подобной рис. 12.7,а, могут быть построены сложные аналоговые подсистемы (рис. 12.8) радиоприемных устройств, выполненных по супергетеродинной схеме.

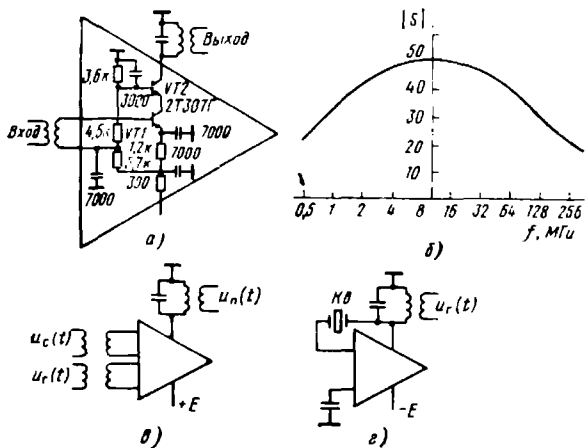


Рис. 12.7. Каскодное включение биполярного транзистора в многоцелевой радиочастотной микросхеме:

а — электрическая цепь гибридной ИС; б — амплитудно-частотная характеристика; в — включение в цепь смесителя; г — включение в цепь кварцованного автогенератора

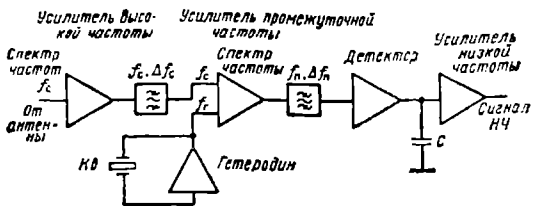


Рис. 12.8. Высокочастотная подсистема радиоприемного устройства

Для простоты на рисунке показана подсистема с однократным преобразованием частоты. Значения частот f_c (сигнал), f_r (гетеродин) и f_n (промежуточная частота) связаны друг с другом выражением

$$f_n = |mf_c \pm nf_r|,$$

зависят от условий решаемой аппаратурной задачи и соответствуют трем фильтрам (сигнала, промежуточной и низкой частот).

Усилители, показанные на рис. 12.8, выполнены на основе однотипной многоцелевой ИС и не содержат элементов селекции частот f_c , f_r , f_n . Таким образом, на основе многоцелевого усилителя можно построить множество различных вариантов приемников, в том числе супергетеродинных с многократным преобразованием частоты, приемников прямого усиления и др.

Полупроводниковые ИС, предназначенные для построения высокочастотных каскадов, часто выполняются в виде дифференциальных усилителей, дополненных каскодными схемами, включенными на выходе. Такое включение позволяет добиться сочетания хороших частотных свойств, присущих дифференциальной схеме, с высоким входным сопротивлением каскодного включения и малой величиной внутренней ОС. Последнее обстоятельство упрощает настройку усилительных цепей и повышает их стабильность. На рис. 12.9 приведена структура высокочастотного резонансного усилителя. В основе конфигурации лежит активный прибор, выполненный в виде полупроводниковой схемы и состоящий из трех транзисторов ($VT1-VT3$) и одного диода VD (обведены штриховой линией).

В целом резонансный усилитель выполнен в виде микросборки. Входом усилителя является база транзистора $VT1$. Этот транзистор работает в активном режиме за счет смещения, получаемого от источника E_1 , резистора $R1$ и диода VD . Диод включен для компенсации изменения напряжения между базой и эмиттером

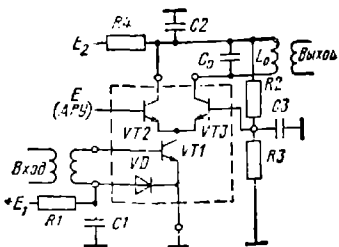


Рис. 12.9. Полупроводниковая высокочастотная ИС в схеме резонансного усилителя

транзистора $VT1$ в температурном диапазоне. Конденсатор $C1$ является блокировочным. Транзисторы $VT1$ и $VT3$ образуют каскадную пару, на выход которой включен колебательный контур L_0C_0 . Делителем $R2R3$ задается рабочая точка транзистора $VT3$. Коллекторное питание осуществляется источником E_2 . Цепочка $R4C2$ является фильтром. Транзистор $VT2$ использован для автоматической регулировки усиления (АРУ). Напряжение АРУ подается на базу транзистора $VT2$ и изменяет ток, текущий через него. При этом эмиттерный ток транзистора $VT1$ не изменяется. Такой способ осуществления АРУ позволяет добиться постоянства входного сопротивления схемы, тем самым ликвидируется возможность расстройки высокочастотных цепей и поддерживается неизменность полосы пропускания во всем диапазоне работы АРУ.

КОНТРОЛЬНЫЕ ВОПРОСЫ И УПРАЖНЕНИЯ

1. Какие модели биполярного транзистора, пригодные для радиочастотного диапазона, Вы знаете?
2. Каковы специфические параметры радиотехнических каскадов на основе БТ? Как их вычислить и измерить?
3. Каковы характерные частоты и постоянные времени радиочастотных каскадов на БТ?
4. Каковы методы уменьшения обратной передачи сигнала в каскадах на БТ?
5. Как рассчитать параметры входной и выходной цепей при включениях БТ в схемы с общим эмиттером, общей базой, общим коллектором?
6. Каковы оценки усилительных свойств БТ в радиочастотном диапазоне?
7. С какой целью применяются каскады с составными БТ?
8. Какие основные блоки радиопередающих устройств Вы знаете?

СПИСОК РЕКОМЕНДУЕМОЙ ЛИТЕРАТУРЫ

1. Степаненко И. П. Основы микроэлектроники. — М.: Сов. радио, 1980. — 424 с.
2. Ефимов И. Е., Горбунов Ю. И., Козырь И. Я. Микроэлектроника. Физические и технологические основы, надежность. — М.: Высшая школа, 1986. — 464 с.
3. Ефимов И. Е., Горбунов Ю. И., Козырь И. Я. Микроэлектроника. Проектирование, виды микросхем, новые направления. — М.: Высшая школа, 1987. — 312 с.
4. Наумов Ю. Е., Аваев Н. А., Фролкин В. Т. Основы микроэлектроники. — М.: Радио и связь, 1988.
5. Технология СБИС: В 2-х кн.: Пер. с англ./Под ред. С. Зи. — М.: Мир, 1986. — 404 с.
6. Броудай И., Мерей Дж. Физические основы микротехнологии. — М.: Мир, 1985. — 494 с.

7. Тарун Я. Основы технологии СБИС. — М.: Радио и связь, 1985. — 479 с.
8. Преснухин Л. Н., Воробьев Н. В., Шишкевич А. А. Расчет элементов цифровых устройств. — М.: Высшая школа, 1982. — 384 с.
9. Шагурин И. И. Транзисторно-транзисторные логические схемы. — М.: Сов. радио, 1974. — 160 с.
10. Шагурин И. И., Петросянц К. О. Проектирование цифровых микросхем на элементах инжекционной логики. — М.: Радио и связь, 1984. — 232 с.
11. Быстродействующие матричные БИС и СБИС/Под ред. Б. И. Файзулаева и И. И. Шагурина. — М.: Радио и связь, 1989. — 304 с.
12. Тилл У., Лаксон Дж. Интегральные схемы: материалы, приборы, изготовление. — М.: Мир, 1985. — 504 с.
13. Титце У., Шенк К. Полупроводниковая схемотехника. — М.: Мир, 1982. — 512 с.
14. Применение интегральных микросхем в электронной вычислительной технике: Справочник/Под ред. Б. И. Файзулаева и Б. В. Тарабрина. — М.: Радио и связь, 1987. — 384 с.
15. Хвощ С. Т., Варлинский Н. И., Попов Е. А. Микропроцессоры и микро-ЭВМ в системах автоматического управления. — Л.: Машиностроение, 1987. — 640 с.
16. Поспелов Д. А. Логические методы анализа и синтеза схем. — М.: Энергия, 1974. — 368 с.
17. Микропроцессоры. В 3-х кн./Под ред. Л. Н. Преснухина. — М.: Высшая школа, 1986.
18. Уокерли Д. Архитектура и программирование микро-ЭВМ: В 2-х кн. — М.: Мир, 1984.
19. Сobotка З., Стары Я. Микропроцессорные системы. — М.: Энергоиздат, 1981. — 496 с.
20. Будинский Я. Логические цепи в цифровой технике. — М.: Связь, 1977. — 392 с.
21. Караханян Э. Р. Динамические элементы ЭВМ со структурой МДП. — М.: Сов. радио, 1979. — 254 с.
22. Интегральные схемы на МДП-транзисторах: Пер. с англ./Под ред. А. И. Кармазинского. — М.: Мир, 1975. — 527 с.
23. Букреев И. Н., Мансуров Б. М., Горячев В. И. Микроэлектронные схемы цифровых устройств. — М.: Сов. радио, 1975. — 368 с.
24. Норенков И. П., Маннчев В. Б. Системы автоматизированного проектирования электронной и вычислительной аппаратуры. — М.: Высшая школа, 1983. — 272 с.
25. Системы автоматизированного проектирования в радиоэлектронике: Справочник/Под ред. И. П. Норенкова. — М.: Радио и связь, 1986. — 368 с.
26. Барянов С. И. Синтез микропрограммных автоматов. — Л.: Энергия, 1979. — 232 с.
27. Кармазинский А. И. Синтез принципиальных схем цифровых элементов на МДП-транзисторах. — М.: Радио и связь, 1983. — 256 с.
28. Фридман А., Менон П. Теория и проектирование переключательных схем. — М.: Мир, 1978. — 580 с.
29. Автоматизация схемотехнического проектирования/Под ред. В. Н. Ильина. — М.: Радио и связь, 1987. — 368 с.
30. Баранов С. И., Скляр В. А. Цифровые устройства на программируемых БИС с матричной структурой. — М.: Радио и связь, 1986. — 272 с.
31. Проектирование цифровых систем на комплектах микропрограммируемых БИС/Под ред. В. Г. Колесникова. — М.: Радио и связь, 1984. — 240 с.
32. Полупроводниковые запоминающие устройства и их применение/Под ред. А. Ю. Гордонова. — М.: Радио и связь, 1981. — 343 с.
33. Валиев К. А., Орликовский А. А. Полупроводниковые интегральные схемы памяти на биполярных транзисторах. — М.: Сов. радио, 1979. — 256 с.
34. Схемотехника БИС постоянных запоминающих устройств/О. А. Петросянц, И. Я. Козырь, Л. А. Коледов, Ю. И. Шетинин. — М.: Радио и связь, 1987. — 304 с.

35. Алексенко А. Г., Галицын А. А., Иваников А. Д. Проектирование электронной аппаратуры на микропроцессорах. — М.: Радио и связь, 1984. — 272 с.
36. Балашов Е. П., Григорьев В. Л., Петров Г. А. Микро- и мини-ЭВМ. — Л.: Энергоатомиздат, 1984. — 376 с.
37. Хоуп Г. Проектирование цифровых вычислительных устройств на интегральных схемах. — М.: Мир, 1984. — 400 с.
38. Голдсуорт Б. Проектирование цифровых логических устройств. — М.: Машиностроение, 1985. — 288 с.
39. Киносита К., Асада К., Карацу О. Логическое проектирование СБИС: Пер. с япон. — М.: Мир, 1988. — 309 с.
40. Мурга С. Системное проектирование СБИС: В 2-х кн. — М.: Мир, 1985.
41. Черняев В. Н. Технология производства интегральных микросхем и микропроцессоров. — М.: Радио и связь, 1987. — 464 с.
42. Березин А. С., Мочалкина О. Р. Технология и конструирование интегральных микросхем. — М.: Радио и связь, 1983. — 232 с.
43. Калабеков Б. А., Мамзев И. А. Цифровые устройства и микропроцессорные системы. — М.: Радио и связь, 1987. — 400 с.
44. Алексенко А. Г., Колумбет Е. А., Стародуб Г. И. Применение прецизионных аналоговых микросхем. — 2-е изд. — М.: Радио и связь, 1985. — 224 с.
45. Фолкенберри. Применение операционных усилителей и линейных ИС: Пер. с англ. — М.: Мир, 1985. — 572 с.
46. Функциональные устройства на микросхемах/В. З. Найдеров, А. И. Голованов, З. Ф. Юсупов и др. — М.: Радио и связь, 1985. — 127 с.
47. Данилин В. Н., Кушниренко А. И., Петров Г. В. Аналоговые полупроводниковые интегральные схемы СВЧ. — М.: Радио и связь, 1985. — 192 с.
48. Макромоделирование аналоговых интегральных микросхем/А. Г. Алексенко, Б. И. Зуев, В. Ф. Ламекки, И. А. Романов. — М.: Радио и связь, 1983.
49. Херли М. Аналоговые интегральные схемы: Пер. с англ. — М.: Радио и связь, 1983. — 416 с.
50. Хоровиц П., Хилл У. Искусство схемотехники: В 2-х т.: Пер. с англ. — М.: Мир, 1983.
51. Мигулин Н. Н., Чаповский М. З. Интегральные микросхемы в радиоэлектронных устройствах. — 2-е изд. — Киев: Техника, 1985. — 232 с.
52. Булычев А. Л., Галкин В. И., Прохоренко В. А. Аналоговые интегральные схемы: Справочник. — Минск: Беларусь, 1985. — 285 с.
53. Угрюмов Е. П. Проектирование элементов и узлов ЭВМ. — М.: Высшая школа, 1987. — 318 с.

ОГЛАВЛЕНИЕ

Предисловие	3
Введение	4
Глава 1. ОСНОВЫ ЦИФРОВОЙ ТЕХНИКИ	11
1.1. Способы представления информации	12
1.2. Выполнение арифметических операций	18
1.3. Основы булевой алгебры	23
1.4. Преобразования логических функций	31
1.5. Структура и элементная база цифровых систем	42
Контрольные вопросы и упражнения	51
Глава 2. БАЗОВЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ	53
2.1. Основные параметры и характеристики логических элементов	53

2.2. Общая методика схемотехнического проектирования логических элементов	62
2.3. Элементы транзисторно-транзисторной логики (ТТЛ)	74
2.4. Элементы эмиттерной связанной логики (ЭСЛ)	89
2.5. Элементы на комплементарных МДП-транзисторах (КМДПТЛ)	106
2.6. Элементы на полевых транзисторах с барьером Шотки	117
Контрольные вопросы и упражнения	125
Глава 3. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ КОМБИНАЦИОННОГО ТИПА	125
3.1. Методика проектирования комбинационных узлов	126
3.2. Преобразователи кодов, шифраторы и дешифраторы	131
3.3. Мультиплексоры и демультплексоры	138
3.4. Одноразрядный сумматор	145
3.5. Схемы сравнения (двоичные компараторы)	149
3.6. Программируемые логические матрицы (ПЛМ)	151
Контрольные вопросы и упражнения	155
Глава 4. ТРИГГЕРЫ И ДИНАМИЧЕСКИЕ ЭЛЕМЕНТЫ	156
4.1. Структура и классификация статических триггеров	157
4.2. Структурные варианты триггеров и методы их проектирования	163
4.3. Асинхронные и синхронизируемые уровнем триггеры	175
4.4. Триггеры, синхронизируемые фронтом	183
4.5. Двухфазные динамические элементы и триггеры	190
4.6. Четырехфазные динамические элементы и триггеры	200
Контрольные вопросы и упражнения	203
Глава 5. ЦИФРОВЫЕ ФУНКЦИОНАЛЬНЫЕ УЗЛЫ ПОСЛЕДОВАТЕЛЬНОСТНОГО ТИПА	204
5.1. Структура и методы проектирования	204
5.2. Регистры	215
5.3. Счетчики	218
5.4. Генераторы кодов	228
5.5. Функциональные узлы на динамических элементах	233
Контрольные вопросы и упражнения	237
Глава 6. МИКРОСХЕМЫ ПАМЯТИ	239
6.1. Классификация и основные параметры микросхем памяти	240
6.2. Структура микросхем памяти	243
6.3. Статические микросхемы ОЗУ	247
6.4. Динамические микросхемы ОЗУ	257
6.5. Микросхемы ПЗУ и РПЗУ	261
Контрольные вопросы и упражнения	270
Глава 7. ФУНКЦИОНАЛЬНЫЕ БЛОКИ ЦИФРОВЫХ СИСТЕМ	271
7.1. Сумматоры	272
7.2. Арифметико-логические устройства	276
7.3. Умножители	279
7.4. Регистровые блоки	283
7.5. Последовательностные функциональные блоки	286
7.6. Микропрограммные контроллеры	295
7.7. Реализация функциональных блоков в виде матричных БИС	301
Контрольные вопросы и упражнения	306
Глава 8. МИКРОПРОЦЕССОРЫ И МИКРОПРОЦЕССОРНЫЕ СИСТЕМЫ	307
8.1. Общая структура и классификация микропроцессоров и микропроцессорных систем	308
8.2. Однокристальные микропроцессоры	317
	495

8.3. Интерфейсные устройства и организация ввода-вывода	326
8.4. Контроллеры прерываний и прямого доступа	338
8.5. Секционированные микропроцессоры с микропрограммным управлением	343
Контрольные вопросы и упражнения	348
Глава 9. АНАЛОГОВЫЕ ПРОЦЕССЫ, ФУНКЦИИ И ПОДСХЕМЫ	349
9.1. Концепции идеализации и макро моделирования структур	350
9.2. Основные и специальные аналоговые функции. Эталоны. Номенклатура аналоговых микросхем	352
9.3. Два принципа схемотехники аналоговых микросхем. Дифференциальные каскады	358
9.4. Эталоны тока	370
9.5. Подсхемы аналоговых микросхем	375
9.6. Простейший операционный усилитель	381
9.7. Стандартный операционный усилитель	382
Контрольные вопросы и упражнения	384
Глава 10. ИНТЕГРАЛЬНЫЕ ОПЕРАЦИОННЫЕ УСИЛИТЕЛИ И ИХ ПРИМЕНЕНИЕ	385
10.1. Два основных включения операционного усилителя	385
10.2. Варианты применения операционного усилителя	388
10.3. Пассивные RC-цепи, их представление асимптотическими диаграммами	388
10.4. Активные RC-фильтры	398
10.5. Преобразователи полного сопротивления	409
10.6. Автогенератор синусоидальных колебаний	410
10.7. Минимизация ошибок операционного усилителя	413
Контрольные вопросы и упражнения	435
Глава 11. ИНСТРУМЕНТАЛЬНЫЕ АНАЛОГОВЫЕ И ЦИФРО-АНАЛОГОВЫЕ МИКРОСХЕМЫ И ИХ ПРИМЕНЕНИЕ	436
11.1. Интегральные компараторы	436
11.2. Схемотехника и параметры реальных микросхем компараторов	438
11.3. Импульсные цепи на основе микросхем компараторов	440
11.4. Цифро-аналоговые микросхемы. Простейший цифро-аналоговый преобразователь	443
11.5. Пассивные микросхемы резисторных матриц	444
11.6. Цифро-аналоговые преобразователи с матрицами $R-\delta R$	448
11.7. Простейший аналого-цифровой преобразователь	450
11.8. Высокочастотный АЦП с двойным интегрированием	452
11.9. Алгоритмические методы сокращения времени преобразования АЦП	453
11.10. Параллельный АЦП	453
11.11. Интегральные стабилизаторы. Простейший стабилизатор напряжения	455
11.12. Простейший стабилизатор тока	458
11.13. Типы стабилизаторов тока	460
11.14. Ключевой стабилизатор напряжения	461
11.15. Интегральные аналоговые перемножители	462
11.16. Радиотехнические преобразования на основе аналоговых перемножителей	465
Контрольные вопросы и упражнения	470
Глава 12. ИНТЕГРАЛЬНЫЕ РАДИОЧАСТОТНЫЕ ЦЕПИ И ИХ АППАРАТУРНОЕ ИСПОЛЬЗОВАНИЕ	471
12.1. Инерционные свойства биполярных транзисторов в радиочастотном диапазоне. Включение с общей базой	471
12.2. Простые каскады	482
12.3. Каскады на составных транзисторах в радиотехнических схемах и подсистемах	488
Контрольные вопросы и упражнения	492